

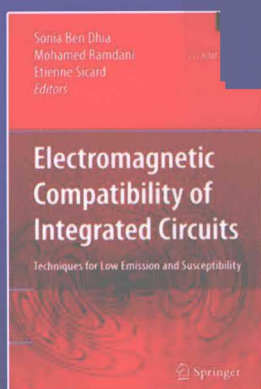
国外电子与通信教材系列

 Springer

集成电路的电磁兼容

——低发射、低敏感度技术

Electromagnetic Compatibility of Integrated Circuits
Techniques for Low Emission and Susceptibility



[法] Sonia Ben Dhia
Mohamed Ramdani 等编著
Etienne Sicard

王洪博 孙倩 李炜 等译



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

集成电路的电磁兼容 —— 低发射、低敏感度技术

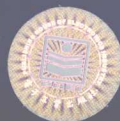
Electromagnetic Compatibility of Integrated Circuits Techniques for Low Emission and Susceptibility

集成电路的电磁兼容是一个相对较新的学科，目前我国还没有这方面的专著。本书结合了众多业界专家的专业知识、技术和丰富经验，悉心编排了涉及集成电路电磁兼容领域的主要技术内容，给出了集成电路发射和敏感度的历史与现状、基本概念及原理，并通过各种案例给出了详细的建模方法、测量方法，以及一些企业和科研实验室的仿真与测量结果。本书译者通过精心研读原著并结合自身对集成电路电磁兼容的专业知识，为广大集成电路电磁兼容的专家、学者、设计工程师、电子工程学爱好者提供了一本难能可贵的参考书籍，可帮助集成电路和电子系统设计人员在实际设计中减少IC和电子系统的寄生发射，以及对射频干扰的敏感度。

 Springer



策划编辑：窦 昊
责任编辑：侯丽平
责任美编：李 雯



本书贴有激光防伪标志，凡没有防伪标志者，属盗版图书。

国外电子与通信教材系列

集成电路的电磁兼容

——低发射、低敏感度技术

Electromagnetic Compatibility of Integrated Circuits
Techniques for Low Emission and Susceptibility

[法] Sonia Ben Dhia Mohamed Ramdani 等编著
Etienne Sicard

倩、李 炜 等译

電子工業出版社

Publishing House of Electronics Industry

北京 • BEIJING

内 容 简 介

本书的宗旨是综述集成电路的电磁兼容现象, 介绍最新的 EMC 测量方法和 EMC 建模方法。

本书给出了集成电路辐射和敏感度的历史与现状、基本概念及原理, 并通过各种案例给出了详细的建模方法、测量方法, 以及一些企业和科研实验室的仿真与测量结果, 有助于集成电路和电子系统设计人员减少 IC 和电子系统的寄生发射, 以及对射频干扰的敏感度。

本书是在集成电路的 EMC 方面的专门的信息汇总, 希望能够为广大集成电路电磁兼容的专家、学者、设计工程师、电子工程学爱好者提供帮助。

Translation from the English language edition:

Electromagnetic Compatibility of Integrated Circuits: Techniques for Low Emission and Susceptibility

by Sonia Ben Dhia, Mohamed Ramdani, Etienne Sicard

Copyright © 2006 Springer-Verlag Berlin Heidelberg Springer is a part of Springer Science + Business Media

All rights Reserved

本书中文简体版专有出版权由 Springer-Verlag GmbH 授予电子工业出版社, 专有出版权受法律保护。

版权贸易合同登记号 图字: 01-2007-2003

图书在版编目 (CIP) 数据

集成电路的电磁兼容: 低发射、低敏感度技术 / (法) 齐亚 (Dhia, S.B.) 著; 王洪博等译. —北京: 电子工业出版社, 2010.4

书名原文: Electromagnetic Compatibility of Integrated Circuits: Techniques for Low Emission and Susceptibility
ISBN 978-7-121-10579-1

I. ①集… II. ①齐… ②王… III. ①集成电路—电磁兼容性 IV. ①TN402

中国版本图书馆 CIP 数据核字 (2010) 第 049936 号

策划编辑: 窦 昊

责任编辑: 侯丽平 文字编辑: 谭丽莎

印 刷: 北京智力达印刷有限公司

装 订: 北京中新伟业印刷有限公司

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787×1092 1/16 印张: 18.5 字数: 494 千字

印 次: 2010 年 4 月第 1 次印刷

印 数: 4 000 册 定价: 49.00 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010) 88254888。

质量投诉请发邮件至 zltz@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线: (010) 88258888。

译者序

当今，集成电路的电磁兼容性已经越来越受到人们的重视。电子设备和系统的生产商正努力改进他们的产品以满足电磁兼容规范，降低电磁发射，增强抗干扰能力。过去，集成电路生产商关心的只是成本、应用领域和使用性能，几乎很少会考虑到电磁兼容的问题。虽然单片集成电路通常不会产生较大的辐射，但它还是经常成为电子系统辐射发射的根源。当大量的数字信号瞬间同时切换时便会产生许多高频分量。近年来，集成电路的频率越来越高，集成的晶体管数目越来越多，集成电路的电源电压越来越低，加工芯片的特征尺寸进一步减小，越来越多的功能，甚至是一个完整的系统都能够被集成到单个芯片之中，这些发展都使得芯片级电磁兼容显得尤为突出。因此，集成电路生产商也需要考虑自己的产品在电磁兼容方面的问题了。

由于集成电路的电磁兼容是一个相对较新的学科，国内这方面的书籍还不够全面和详尽，Sonia Ben Dhia, Mohamed Ramdani 和 Etienne Sicard 等编著的《*Electromagnetic Compatibility of Integrated Circuits*》一书，结合了国外众多业界专家的专业技术和经验，精心编排了涉及集成电路电磁兼容领域的热点章节，给出了集成电路辐射和敏感度的历史与现状、基本概念及原理，并通过各种案例给出了详细的测量方法、建模方法，以及一些企业和科研实验室的仿真与测量结果之间的比较，对于研究和学习集成电路电磁兼容的专家、学者、设计工程师、电子工程学爱好者来说都是一本难能可贵的好书。

电子工业出版社秉承“洋为中用”的原则，一直致力于引进国外优秀的专业书籍，并独具慧眼地选择了本书的外文原版。译者承蒙编辑部之约请，将本书译为中文版，愿与国内的专家、学者、工程技术人员共同学习进步。

参加本书翻译的有王洪博、齐殿元、孙倩、李炜、程琪、林浩、林军、杨军、刘宝殿、周镒、万艳、张博钧、余纵瀛等。译者在电磁兼容、微波与无线通信领域有着丰富的研发经验，并主导制定了多项国际标准、国家标准及通信行业标准。面对内容如此浩瀚博大的英文巨著，虽然译者尽其所能，力求做到最好，但是译书中难免会有译词欠妥、言语疏误之处，敬请广大读者朋友批评指正。

王洪博
于北京

序 言

2004 年，在法国昂热（Angers）的国际电磁兼容（EMC）研讨会（EMC Compo 2004）上，与会者提出写一本关于集成电路电磁兼容专著的计划。经过大家的共同努力，终于把这本专著呈现在读者面前。按照各自的专长，共有三十多位专家应邀参加了本书相关章节的编写。编者把专家们的技术贡献收集起来，就本领域的热点话题，尽最大的努力整理成自我完备的章节，即测量方法、系统建模手段及低发射设计技术。几个测试案例专门收录在“案例研究”一章。本专著的技术内容旨在帮助集成电路（IC）和电子系统设计人员减少 IC 和电子系统的寄生发射，以及对射频干扰的敏感度。

本书是难得的一本专门收集集成电路电磁兼容的书籍。书中给出了集成电路发射和敏感度的历史与现状、基本概念和相应的理论，并通过各种案例详细阐述了标准的测量方法。通过在传导开关噪声、信号完整性、近场和辐射噪声中的应用，作者对内核、输入/输出（I/Os）、电源网络和封装的 EMC 模型进行了阐述。本书给出了来自不同企业和科研实验室的案例研究，主要有对集成电路的深刻描述、测试布置、测量与仿真之间的比对等内容。本书也给出了经验丰富的 EMC 专家在获得低发射、低敏感度方面的具体准则。

目 录

第 1 章 集成电路电磁兼容的基本概念	1
1. 集成电路的电磁兼容	1
1.1 芯片内的 EMC	1
1.2 外部耦合的 EMC	4
2. 集成电路的电磁兼容测量基础	7
2.1 骚扰测量	7
2.2 抗扰度试验	9
3. IC 的 EMC 模型	10
4. 总结	10
5. 参考文献	10
第 2 章 历史与现状	12
1. 早期的研究工作	12
2. 1990—1995 年间 ICS 在集成电路 EMC 方面的研究	14
3. 集成电路的敏感度（从 1995 年开始）	16
4. 集成电路的寄生发射	18
5. 集成电路 EMC 的标准化	22
5.1 测量方法	22
5.2 器件的 EMC 模型	23
5.3 趋于融合	25
6. 特别事件和出版物	25
7. IC 的发展历程	25
8. 封装蓝图	29
9. EMC 问题	31
10. 总结	33
11. 参考文献	33
12. 参考标准	36
第 3 章 基础和理论——EMC 现象的数学背景	38
1. 基本电磁场理论	38
1.1 电磁辐射的物理概念	38
1.2 电偶极子的计算公式	39
1.3 磁场环的辐射	39

1.4	辐射功率	40
1.5	讨论	41
2.	傅里叶分析	41
3.	传输线	44
3.1	传输线模型	45
3.2	电报方程	45
3.3	信号在无损耗线路上的传播	46
3.4	负载条件	47
3.5	集成电路中的传输线	47
3.6	史密斯图	48
4.	RLC 表达式	48
4.1	介绍	48
4.2	分布式模型和集总模型	50
4.3	集总模型的限制	50
4.4	趋肤效应	52
4.5	互连线	56
5.	S 参数	61
5.1	S 参数的影响	62
5.2	S 参数的定义	62
5.3	S_{11} , S_{12} , S_{21} 和 S_{22} 的测量	63
5.4	S 矩阵的特性	64
5.5	S 参数的测量	65
6.	总结	66
7.	参考文献	66
第 4 章	测量方法——集成电路的发射和敏感度	67
1.	简介	67
2.	TEM/GTEM 小室方法	68
2.1	简述	68
2.2	TEM 小室内 IC 发射测量的配置	70
2.3	使用 TEM 小室测量微处理器的辐射	71
2.4	GTEM: TEM 小室的高频变体	72
2.5	不同小室测量结果的相关性	74
3.	近场扫描方法	74
3.1	扫描仪和定位系统	75
3.2	近场扫描使用的探头	76
3.3	集成电路发射	78
3.4	讨论	79
4.	1 Ω /150 Ω 传导法	79
5.	工作台法拉第笼法	80

5.1	WBFC 方法的适用范围	81
5.2	工作台法拉第笼法的基本观念	81
5.3	功率匹配	83
5.4	耦合去耦网络	84
5.5	测量	84
5.6	讨论	85
6.	大电流注入法 (BCI)	85
6.1	RF 输入系统的校准	86
6.2	测试配置	87
6.3	干扰	88
6.4	BCI 测试算法	88
6.5	不合格判据检测	89
6.6	PCB 和其他硬件设置	90
6.7	BCI 测试结果	90
7.	直接功率注入法 (DPI)	91
7.1	DPI 测试算法	92
7.2	DPI 测试结果	93
8.	集成电路的瞬态抗扰度	93
8.1	动机	93
8.2	耦合路径	94
8.3	瞬态抗扰度环境	94
8.4	集成电路的测试方法	95
8.5	新兴的 IC 测试方法	98
8.6	讨论	104
9.	电波暗室内的发射和抗扰度测试	105
9.1	IC 的远场发射	105
9.2	测量 IC 的远场电场	106
9.3	电波暗室内的发射测量	106
9.4	IC 辐射的抗扰度测试	107
9.5	电波暗室内的抗扰度测试	107
9.6	混响室内的发射和抗扰度测试	109
9.7	讨论	110
10.	片上测量	111
10.1	片上示波器	111
11.	集成电路的 EMC 测试计划	113
11.1	标准发射电平	113
11.2	抗扰度电平	115
12.	讨论和总结	116
13.	参考文献	117

第 5 章 EMC 建模——集成电路中骚扰发射和抗扰度现象的建模概览	119
1. 静电放电模型	119
1.1 简介	119
1.2 ESD 测试模型	120
1.3 人体模型 (HBM)	120
1.4 机器模型 (MM)	122
1.5 带电器件模型 (CDM)	123
1.6 传输线脉冲模型 (TLP)	125
2. 内部电流整流	126
2.1 起因	126
2.2 寄生发射的基本原理	127
3. 印制电路板模型	129
3.1 PCB 概述	129
3.2 PCB 的标准形状和特征	129
4. 封装	135
4.1 标准 IC 封装技术	135
4.2 等效封装电路的计算	135
4.3 例 1: 中等功率 IC 封装	137
4.4 例 2: Cesame 芯片封装	138
5. 发射模型	138
5.1 简介	138
5.2 ICEM 模型	139
5.3 IBIS 模型	150
5.4 IMIC 模型——集成电路的 I/O 界面模型	156
5.5 LECCS 模型: 线性等效电路和电流源模型	162
6. 输入/输出模型	166
6.1 简介	166
6.2 I/O 的模块描述	166
6.3 缓冲器模型	166
6.4 I/O 模块模型	168
6.5 LECCS-I/O 模型	168
7. 抗扰模型	170
7.1 简介	170
7.2 仿真模型元素的介绍	170
7.3 仿真的设置	172
7.4 失败判据的定义	172
7.5 仿真与测量结果的比较	175
7.6 抗扰 LECCS 模型	177
7.7 内部抗扰分析	177

8. 串音效应.....	180
8.1 数学模型.....	180
8.2 串音引起功率消耗的增加: 仿真分析.....	181
8.3 实验测量步骤.....	183
9. 辐射发射的模拟.....	185
9.1 TEM 小室测量方法的模拟.....	185
9.2 近场扫描.....	186
10. 总结.....	189
11. 附件.....	189
12. 参考文献.....	192
13. 参考标准.....	195
第 6 章 案例研究——EMC 测试芯片、低发射的微控制器.....	198
1. 用于表征传导和辐射发射特性的意法半导体公司的测试芯片.....	198
1.1 概述.....	198
1.2 基于 ICEM 的模型.....	199
1.3 测量.....	200
1.4 测量和仿真间的比较.....	202
1.5 结论.....	203
2. 飞利浦测试芯片: SI 和 EMC 测量疑问的多参数分析.....	203
2.1 目标.....	203
2.2 测试芯片介绍.....	203
2.3 统计法.....	204
2.4 可测量的参数.....	205
2.5 参数范围的编码和译码.....	205
2.6 彻底分析.....	207
2.7 结论.....	207
3. 用于内部转换电流分析的英飞凌测试芯片.....	208
3.1 目标.....	208
3.2 介绍.....	208
3.3 发射模型的结构.....	208
3.4 TASC 组成模块.....	210
3.5 TASC 电流传感器.....	211
3.6 TASC 测试装置.....	212
3.7 TASC 模块的仿真.....	213
3.8 时域和频域的测量.....	214
3.9 结论.....	215
4. 飞思卡尔微控制器的传导发射特性.....	216
4.1 概述.....	216
4.2 微控制器建议模型.....	216

4.3	传导测量和仿真	217
4.4	结论	219
5.	爱特梅尔 (ATMEL) 微控制器的传导发射特性	219
5.1	概述	219
5.2	ICEM 模型	220
5.3	仿真	221
5.4	结论	224
6.	集成反相器对高频干扰的敏感度	224
6.1	概述	224
6.2	被测设备	224
6.3	模型描述	225
6.4	干扰测试平台	228
6.5	测量	230
6.6	结论	232
7.	飞思卡尔微控制器的敏感度	232
7.1	概述	232
7.2	设计约束条件	233
7.3	执行微控制器抗扰度测量的设置	234
7.4	结论	238
8.	飞利浦抗扰度实例研究	238
8.1	概述	238
8.2	低频研究	238
8.3	模拟电路关于 RF 信号的非线性性能	241
8.4	仿真和测量的结果	242
8.5	结论	242
9.	电子控制单元设计流程的 LECCS 模型的应用	243
9.1	概述	243
9.2	LSI 外围电路级的分析	243
9.3	产品板级的分析	245
9.4	产品板级的抗扰度分析	247
9.5	结论	248
10.	总结	248
11.	参考文献	249
12.	参考标准	250
第 7 章	准则——用于改进 EMC 的规程	251
1.	低发射准则	251
1.1	内核供电噪声准则	251
1.2	片上电容准则	256
1.3	布局	257

1.4 输入/输出缓冲器	259
1.5 衬底噪声	260
2. 改进抗扰性准则	261
2.1 概述	261
2.2 片上去耦	261
2.3 防御性软件	262
2.4 防御性软件举例	266
2.5 通过设计改进抗扰性	269
3. 总结	271
4. 参考文献	271
附录 A 有用的相关表格	273
附录 B 术语集——用于集成电路电磁兼容领域的缩写	277

第 1 章 集成电路电磁兼容的基本概念

摘要：本章介绍与集成电路（IC）的电磁兼容（EMC）有关的关键性概念，说明基本的测量方法，并提供用于 EMC 预测的 IC 模型的概貌。本章也将简要地叙述电、磁场耦合、传导和辐射骚扰及抗扰度。

关键词：电磁兼容；电场；磁场；耦合；同时开关噪声；串音；辐射骚扰；传导骚扰；EMC 模型；EMC 测量方法

1. 集成电路的电磁兼容

集成电路（IC）往往在电子系统的电磁兼容（EMC）中扮演着重要角色。通常，IC 是产生干扰的信号与噪声的根源，它们会把供给的直流（DC）电源转化为作用于无意发射和耦合的高频电流和电压。

电磁干扰最大的牺牲者也往往是集成电路。在典型电子系统的所有器件中，集成电路最易因过电压和过电流条件而损坏。即使没有损坏，耦合到 IC 的输入或电源引脚的噪声也可能使它们发生故障。

虽然 IC 通常是 EMC 问题的根源或牺牲者，但是绝大多数与 EMC 相关的研究和解决的问题的焦点都在 IC 封装之外。传统上，EMC 工程师把他们的努力集中在了电路板、机壳和线缆的设计上。除了一些值得注意的例外（例如，过电压保护和转换速率控制），EMC 在集成电路本身的设计中没有发挥主要作用。

伴随集成电路的 EMC 问题一般分为“芯片内”或“外部耦合”。当一个或多个电路里产生的信号或噪声与同一芯片内的另一个电路的运行彼此干扰时，就产生了芯片内的 EMC 问题。当集成电路里产生的信号或噪声干扰芯片外的电路或器件时，或者反之，当外部产生的噪声干扰集成电路的正常工作时，就产生了外部耦合的 EMC 问题。

1.1 芯片内的 EMC

两个最普遍的芯片内的 EMC 问题是串音和同时开关噪声。当一个电路中的电压或电流无意地耦合到另一个电路中时，就产生了串音。如果耦合足够强，耦合的信号还会影响被干扰电路接收到的信号幅度和定时，从而引起电路故障或使其功能异常。

1.1.1 串音

两个电路的串音（Crosstalk）一般定义为被干扰电路负载上呈现的无意电压与干扰源电路上信号电压的比值。它通常用 dB 表示，即

$$\text{串音 (dB)} = 20 \log \left| \frac{\text{电路2中接收机上呈现的耦合电压}}{\text{电路1中的信号电压}} \right| \quad (1-1)$$

因为耦合电压一般比信号电压小，故以 dB 表示的串音通常是负值。

在集成电路中，一般有三类耦合会导致串音：公共阻抗耦合、电场耦合、磁场耦合。公共阻抗耦合（也叫传导耦合）发生在两个电路的部分电流路径共享同一导体时（例如，同一接地金属）。这类耦合的一个例子见图 1-1，该图中，具有源 V_{S1} 和 V_{S2} 的两个电路共享一个电阻为 R_{RET} 的公共导体。

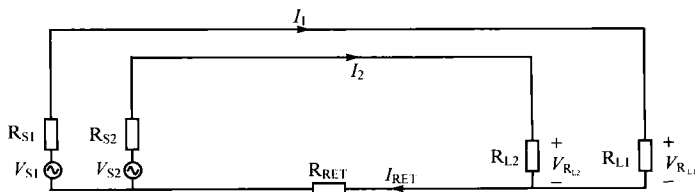


图 1-1 两个电路共享一个公共电流回路

请注意，公共导体的有限的阻抗会导致在两个电路上都出现电压降。一般来说，耦合的电压与公共阻抗和源电流的乘积成正比。

当电力线起始于一个电路的导体，终止于另一个电路的导体时，电场耦合（也叫容性耦合）就产生了。这可以用两个导体间的寄生电容概略地描述。这类耦合的一个典型例子是如图 1-2 所示的空间上非常靠近的两个导体间的耦合。通常，电场耦合会在被干扰电路中感应出一个与源信号的时间导数成正比的电流（ $C dV/dt$ ）。

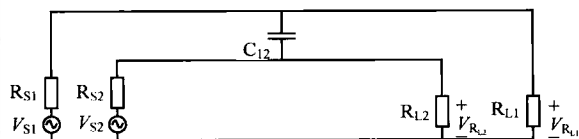
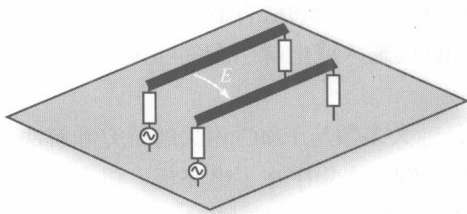


图 1-2 信号导体间的电场耦合

在集成电路中，磁场耦合（或感性耦合）也是串音的一个重要根源。当源电路的时变电流产生的磁场“耦合”到第二个电路（即穿过第二个电路的环形区域）中时，磁场耦合就产生了。这与变压器初、次级之间的耦合类似。如图 1-3 所示是两个有重叠环形区域的电路之间的磁场耦合。磁场耦合会在被干扰电路上产生一个与源电路信号电流的时间导数成正比的电压（ $L di/dt$ ）。

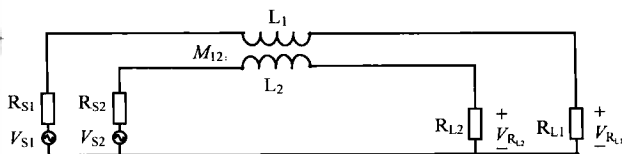
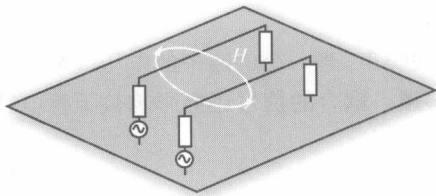


图 1-3 信号导体间的磁场耦合

表 1-1 列出了导致集成电路中的电路之间串音的三种基本耦合机制，以及产生每种耦合的条件和可能的应对措施。集成电路中的串音问题一般可以通过遵循在芯片上布线的基本准则来避免。跟踪每个信号的电流路径和电压是非常重要的。

表 1-1 集成电路串音的基本耦合机制

耦合类型	条 件	措 施
公共阻抗耦合	低频率	隔离电流路径
	低阻抗	减小公共路径的阻抗
电场耦合	高频率	分离电路
	高阻抗源	用地导体隔离电路
		减小信号电压

1.1.2 同时开关噪声

同时开关噪声可能是与 IC 设计有关的最恶劣的 EMC 问题。同时开关噪声也叫做地弹、电源反冲或 ΔI 噪声。它是很多芯片失效的根源，过去有些芯片直到完全投产时才发现这类问题。

同时开关噪声基本上是一个公共阻抗耦合问题，是由于在一个集成电路中各种电路共享同一个电源分布总线产生的。当一个电路从电源总线吸纳电流时，在总线上会产生一个小的电压降。电源总线上的这个电压降会影响与总线相连的所有电路。

图 1-4 阐述了同时开关噪声的基本概念。假设有两个图腾电极输出级在一个 CMOS 电路中共享电源分布路径，回到信号源的电源路径电阻是 $R_{DD} + R_{SS}$ 。如果第一个电路输出 V_{SIG1} 处于高电平状态，那么 $V_{SIG1} = V_{DD} - V_{SS}$ 。

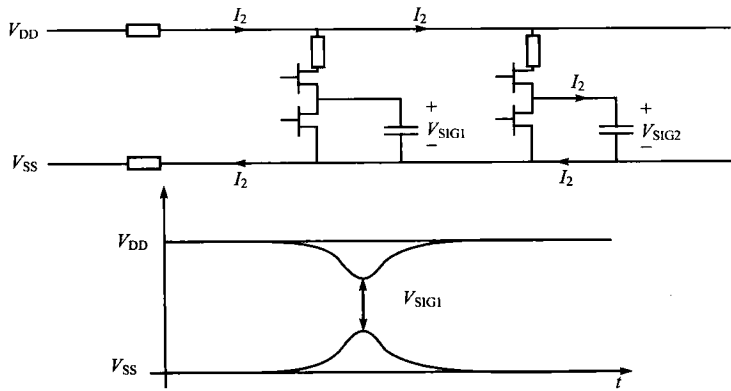


图 1-4 两个图腾电极 CMOS 驱动程序共享一个电源总线

当第二个电路从低电平切换到高电平时，从电源总线的 V_{DD} 侧吸纳电流 I_2 并流向电源总线的 V_{SS} 侧。电流 I_2 仅仅流到恰好给与信号 2 (V_{SIG2}) 有关的电容充电。然而，由于 I_2 被拉过电源总线的电阻，对两个电路来说都有个瞬时电压降。此时电压 V_{SIG1} 将取一个新值： $V_{SIG1} = V_{DD} - V_{SS} - I_2(R_{DD} + R_{SS})$ 。

一方面如果电阻为几毫欧，峰值电流为安培量级，则电压波动只有几毫伏。另一方面，如果同时切换的电路数目很大，从电源总线吸纳的电流峰值会高到足以使输出波动几伏，从而引起原本稳定的输出状态的改变。

同时开关噪声可以通过在 IC 上提供低阻抗电源分布总线来减小。高速 VLSI 设计也使用芯片上的去耦电容来防止同时开关产生的问题。芯片上的去耦电容是连接在 V_{DD} 和 V_{SS} 之间的电容，为附近的电路同时切换所需电流提供暂时的电荷来源。图 1-5 说明了附近的去耦电容是如何防止由于同时切换而使电流从电源总线被吸纳的。当一个电路切换时，开始给信号电容充电所需的峰值

电流首先由附近较大的去耦电容吸纳而不是由电源总线电阻吸纳。电流需求的最初高峰过后，去耦电容就慢慢地被电源总线充电了。

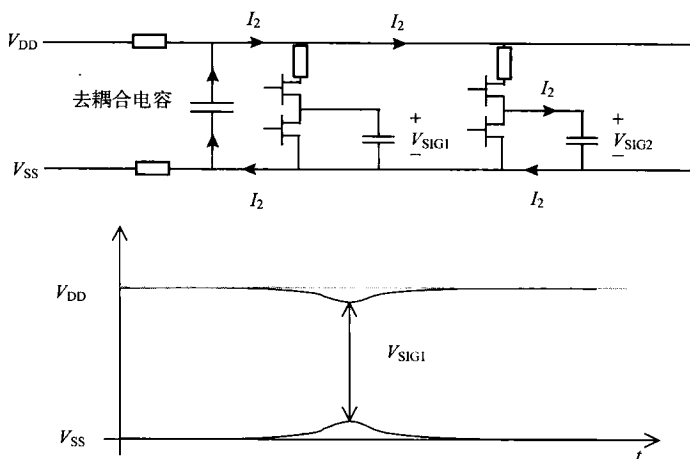


图 1-5 两个图腾电极 CMOS 驱动程序附近有去耦电容

1.2 外部耦合的 EMC

绝大多数集成电路设计在量产前都进行了完整的测试，即器件在置入真正的产品之前，通常已经将芯片内的 EMC 问题都彻底解决了。

然而，由于耦合进或出芯片封装的噪声，没有芯片内部问题的半导体器件仍然有可能是 EMC 问题的根源（或敏感体），如图 1-6 所示。

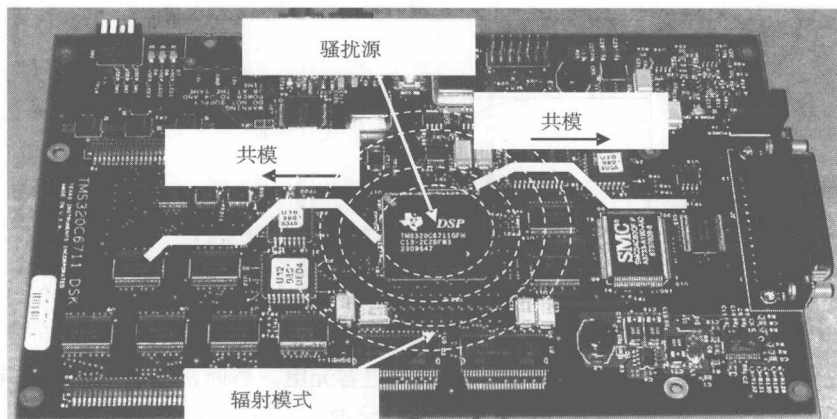


图 1-6 由于集成电路内部开关行为引起的传导和辐射骚扰

电磁噪声耦合进或出集成电路有四种可能的机制。与器件内的串音类似，外部耦合的噪声可以通过导体路径、电场或磁场来传递。另外，芯片或其封装也可能直接辐射能量。

1.2.1 传导耦合

噪声耦合进或出集成电路最明显的途径是封装引线或引脚。一个高频输入/输出接口与一个低频输入/输出接口之间的串音是噪声传导耦合的途径之一。同时开关噪声是另一个常见的高频噪声

源。因为同时开关噪声在电源总线上是一个波动电压，如果在芯片或者封装上的去耦不充分，则所有以某个特定电源总线为参考的器件引脚都可能存在高频电压波动。IC 基底上的电压跌落也会导致连接到芯片不同区域的引脚之间有电压差。

图 1-7 是一个 RAM 内存器件的磁场近场扫描结果。器件的时钟频率是 200 MHz，磁场也是在 200 MHz 下测量的。当引线框上的电流最强时，磁场也最强。如图 1-7 所示，最强的电流在 V_{CC} 和 GND 引脚流过，这是一个同时开关噪声的例子。通过这些引脚传导的高频电流会导致使用这种特殊器件的任何印制电路板均产生显著的辐射骚扰。

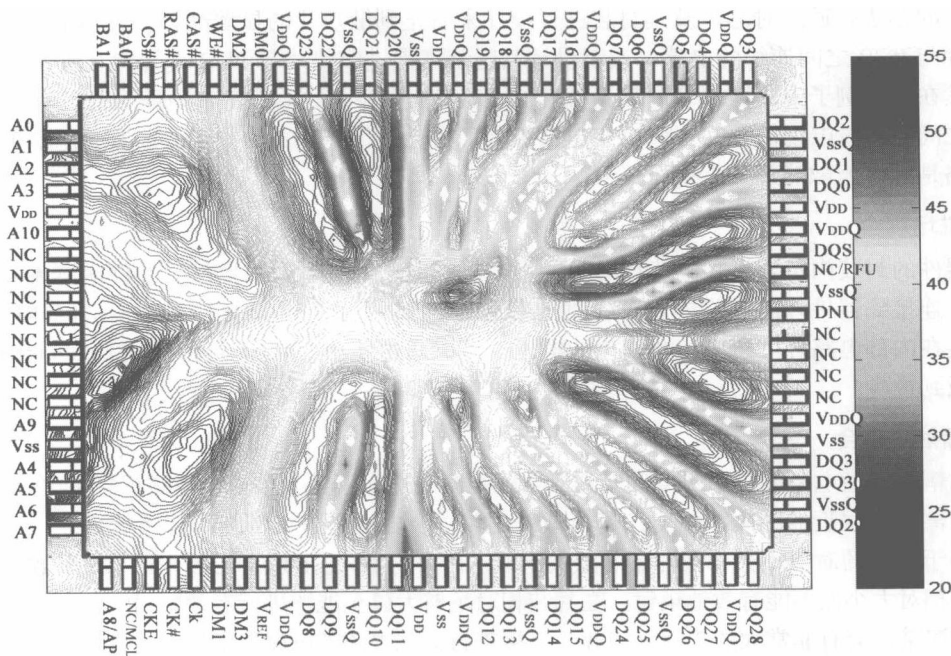


图 1-7 一个 RAM 内存模块在 200 MHz 下的表面磁场扫描结果

在连接到集成电路的所有引脚上观察到的内部时钟谐波是很普遍的。但这在板级看来是一个困难的问题，因为有必要把所有连到那个 IC 的轨线当做高频线来布置。另外，像这样的噪声问题可以通过有效的片上去耦技术来减小，相对来讲这并不昂贵。

1.2.2 电场耦合

能量可能会通过电场耦合进或耦合出集成电路。当一个电压跨过一个器件，引起两个外导体上出现电压时，就发生了电场耦合。通常，当金属物体（如散热片或电缆）非常靠近芯片封装表面时，这类耦合就会发生。

大的散热片在几百兆赫兹的频率可能变成相对有效的天线。当屏蔽壳体内部的电路板上带有散热片时，散热片能够加强能量的耦合，以致使壳体谐振 (Li, 2001)。

如图 1-8 所示，由于信号电压本身或器件与电路板之间连线上的电压跌落，半导体器件表面的平均电压会与 PCB 表面的电压不同。针对这类问题，一种可能的解决办法是尝试把散热片连接到 PCB 上；另一种可能的解决办法是尝试偏移 PCB/散热结构的谐振，使其不与外壳的谐振频率相当 (Huang, 2001)。这两种办法要以可靠而且经济有效的方式来实现都有困难。

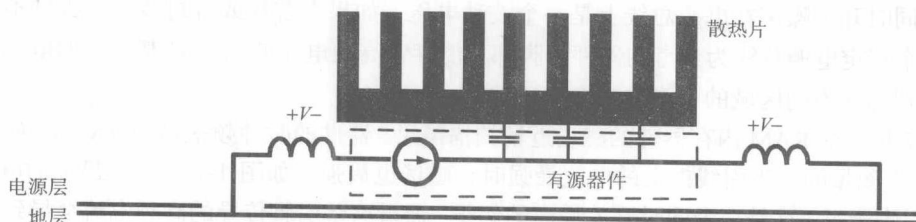


图 1-8 器件电压耦合到散热片

更好的办法是通过对芯片及其封装进行设计来防止到散热片的显著耦合。具体的解决方法是减小芯片与 PCB 之间连线的电感，或者设计其封装来促进散热片与 PCB 之间的有效连接。

虽然在这个例子中，场最终是辐射出去了，但我们并不把这看成集成电路自身的辐射。IC 与散热片之间是通过电场耦合的，而 IC 与电路板之间是通过传导耦合的。辐射来自电路板和散热片。集成电路是源，但散热片/电路板是天线。

1.2.3 磁场耦合

当器件的封装内包含高频电流环时，能量也能够通过磁场耦合出器件。器件内电流环的磁通量可能会连接到器件外的电路环上。这种互感能在外部环路上产生非期望的电压。同样地，外部磁通也能在内部电路环上感应出非期望的电压。可以通过使功率和信号环路面积尽可能小来将磁场耦合减到最少。

1.2.4 辐射场耦合

辐射耦合是指电磁能量通过空间转移，空间距离一般大于几个波长（电磁远场）。在这样的距离上，与离开源很近的距离时相比，场衰减得比较慢。电场和磁场都需要传播能量。

远小于波长的对象不会构成非常有效的天线。在大约 10 GHz 以下的频率时，大多数集成电路由于封装相对太小而不能有效地辐射。在封装相对足够大以至能够进行有效辐射时的频率下，封装中细的金属结构会有非常大的损耗。因此，直接来自集成电路的电磁能量辐射通常不是主要问题。

许多文献资料中提到的集成电路器件的辐射，实际上是指噪声耦合出集成电路，然后被其他东西辐射出去。如果构成天线的导体位于集成电路或其封装之内，则可认为该器件可以进行辐射。然而，如果一个器件只是耦合到位于封装之外的实际有效天线上，则应该把该耦合看做传导的电场或磁场耦合。通过仔细阐述和理解耦合机制，可以更好地处理由这类耦合引起的任何问题。

解决集成电路辐射电磁噪声问题最好的办法通常是通过确认充当有效天线的结构而开始的。如果辐射显著，构成天线的导电面或线一般在尺寸上是波长的十分之一到四分之一或更大。一般来讲，需要有两个大的结构和噪声源一起，噪声源可以驱动其中之一与另一个相关。一旦天线被确认，可进行下面的步骤。

- ① 减小噪声源的幅度。
- ② 使噪声源与天线脱开联系，或
- ③ 消除天线的一部分。

例如，考虑图 1-8 的散热片辐射问题。IC 是源，散热片是天线的一半，电路板电源/地平面是天线的另一半。耦合机制一部分是传导耦合（连接到面偶的电源引脚），一部分是电场耦合（芯片表面到散热片）。

通过提供更好的芯片上或封装上的去耦，可以减小从电源端子吸入的高频电流，从而能够减小噪声源的幅度。

通过减小 IC 与散热片之间的电容, 或者给电源面偶与 IC 电源端子之间的连线滤波, 可以使噪声源与天线脱开联系。

2. 集成电路的电磁兼容测量基础

设计周到的集成电路在设计周到的系统中很少表现出显著的电磁兼容问题。但要用设计很差的集成电路来做一个系统, 要满足基本的电磁兼容要求, 处理起来是很困难而且昂贵的。不幸的是, 基于数据表或简单的模型, 很难说出设计好的和差的集成电路有什么差异。

目前已有几种测量技术力图从电磁兼容的角度来量化集成电路设计的优缺点。这些技术可以分成骚扰测量和抗扰度试验两种。

2.1 骚扰测量

由于产生辐射骚扰的天线可能不是集成电路封装的一部分(这使事情变得复杂), 所以测量集成电路的骚扰可能是一个艰难的工作。量化集成电路的骚扰, 有点像量化一群发射机的辐射, 而并不知道哪些发射机接了天线, 或者根本不知道那些天线是什么样的。

因为对可能会用到 IC 的每一个电路板或系统进行仿真模拟是不可能的, 我们所能做的最好的办法是尽力衡量出 IC 驱动各种天线的能力。这一般包括测量引脚上的电流或被测器件附近的场。有三种基本方法可用来评估集成电路成为辐射电磁骚扰源的潜在可能性的大小, 即横电磁波小室的测试, 引脚电流的测量及近磁场扫描。

横电磁波小室本质上是扩大了传输线, 支持横电磁波(TEM)的传播。放在 TEM 小室中的辐射体在小室中产生 TEM 波并传播到端接在传输线上的负载。

在合适的条件下, 在小室中耦合到 TEM 波中的功率可以与该辐射体在小室外的辐射功率相关联。

如图 1-9 所示是一个设计用来测量 IC 的 TEM 小室(IEC 61967—2, 2001)。IC 安装在印制电路板上, 然后把印制电路板安装到 TEM 小室的壁上。维持 IC 工作的必要器件和转接头安装在电路板上与 IC 相对的另一面。电路板上 IC 所在的一侧对着小室的内表面, 以确保 IC 表面上方的场在小室内。

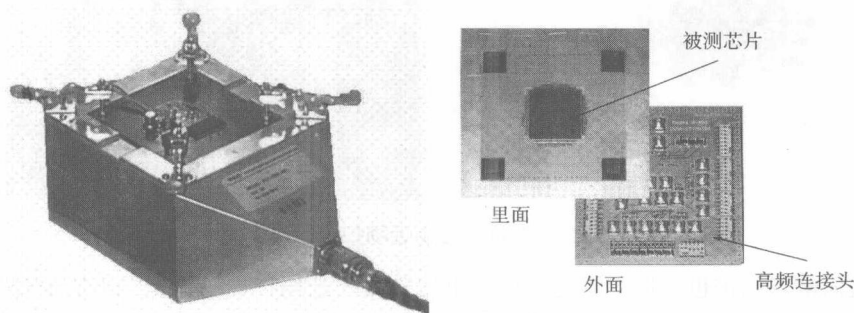


图 1-9 集成电路的 TEM 小室

理论上, 在 TEM 小室端点上测量的电压给出了 IC 产生辐射骚扰能力的指示。TEM 小室测量的优点是操作起来相对简单, 能够以类似于 IC 在产品电路板上的安装方式来安装, 测量装置对流动在 IC 上的电流没有显著的影响。然而, 这种方式并不能直接测量从 IC 引脚传导的噪声电流。

因为用 TEM 小室做测量, 对被测器件来说, 既不是远场, 也不是很近的场, 所以用 TEM 小室测

量的结果可能与近场或远场辐射骚扰测量的结果不能很好地关联起来。基于这些原因, TEM 小室的测量结果只是从 EMC 的角度来衡量 IC 设计好坏与否的指标之一, 但不是唯一(或最好)的指标。

评估集成电路的另一种办法是测量每个引脚的传导噪声电流。其中一种做法是在引脚上串联一个电阻(IEC 61967—4, 2001), 测量电阻上的电压降(如图 1-10 所示)。由于大多数与芯片设计有关的骚扰问题始于通过引脚传导到芯片封装之外的噪声, 所以这种测量是衡量芯片在实际产品中工作情况好坏的一个很好的指标。然而, 这一方法也有缺点。例如, 它在实践中难以实施, 尤其是当 IC 有很多引脚时。另外, 设计通过电阻来测量引脚电流的电路板在每个引脚上一定有特别长的走线, 这些引脚连线的电阻和电感可能会显著地改变被测电流。

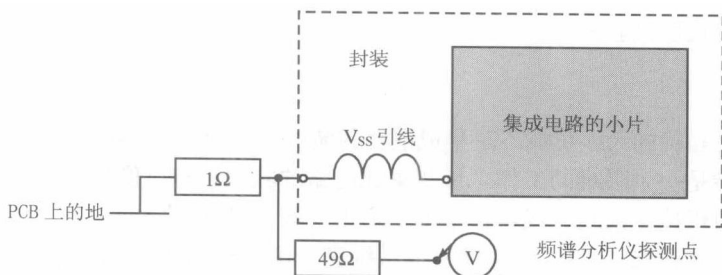


图 1-10 1/150 Ω 传导模式的测量方法

另一种方法是测量靠近电流路径的磁场(如图 1-11 所示)。近磁场测量可以提供大量有关 IC 封装里电流流经之处的信息, 而不会显著地改变那些电流。如在图 1-6 中, 通过在表面用一个小的磁场探头进行扫描, 可以创建出封装内流动的电流的“地图”。

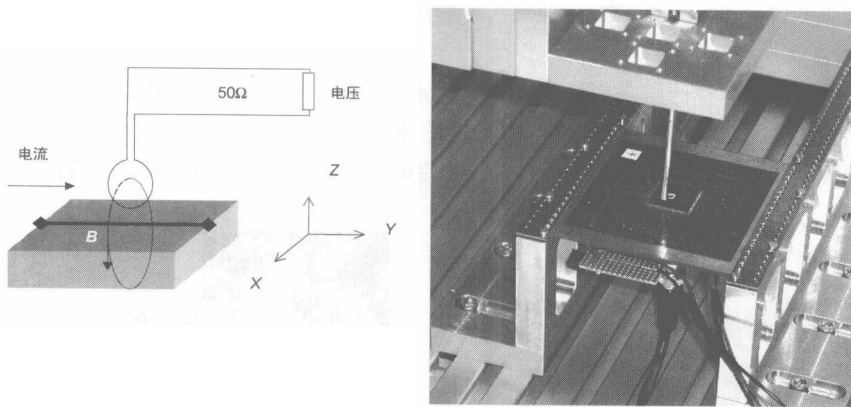


图 1-11 磁场近场扫描原理

通过表面电场扫描也可以得到芯片内的电压分布。近场扫描的优点是不需要建立专门的电路板。绝大多数 IC 可以在自然的工作环境下进行测量。近场扫描的缺点是需要专门的设备, 而这些设备相对很贵, 用途也不多。而且虽然用近场扫描做相对测量很好, 但要量化测得的电流很困难。从磁场测量结果转换到电流要求, 需要测量者对涉及的相关几何学知识有相当详细的了解。

因此, 没有单一的测量技术能够告诉我们关于集成电路产生辐射噪声骚扰能力的所有信息, 而很可能经常会使用上面所讲的各种技术的组合来确定各种器件的相对优缺点。这些技术的经验积累得越多, 就越容易从辐射骚扰的角度来区分好的设计和坏的设计。

2.2 抗扰度试验

当然, IC 的 EMC 不仅仅是低的辐射骚扰。多年来, 对电磁噪声的敏感度的分析在集成电路的设计中起着很重要的作用。早期的集成电路很容易被门电路输入端的瞬态电压损坏, 少量的噪声可能使它们封闭或复位。今天, 大多数集成电路都有内嵌的瞬态保护, 并且可以在电源和信号输入引脚上承受中等量级的电噪声。然而, 对于不同的 IC 设计, 引起失效的噪声的量不相同。为了选择特殊用途的 IC, 能够量化各种器件的相对电磁抗扰度是非常重要的。

为了评估集成电路的电磁抗扰度(或敏感度), 已经提出了几种测量程序(IEC 61967—4, 2002)。这些测量总的来说可以分为三类: 大电流注入、直接功率注入、场耦合。大电流注入的目的是把噪声电流耦合到与 IC 引脚相连的一条或多条走线或连线上。电流一般通过如图 1-12 所示的磁场耦合。

对于一个 IC, 可以给包括输出引脚在内的任一引脚规定大电流注入的限值。对于差分输入, 应将信号定义成一个引脚相对另一个引脚的电压。可以同时两个输入引脚进行大电流注入试验来测量该器件的共模噪声抑制能力。

为了评估高阻抗输入的引脚, 一般来说, 在引脚上引入噪声电压比引入噪声电流更合适。直接功率注入测量是指通过如图 1-13 所示的电场把电压耦合到输入端。这些测量通常实施起来比较容易, 因为不要求探头必须把注入点包起来。可以通过把电场探头放在印制电路板的走线上, 甚至是放在正常工作环境下器件封装的引脚上来实现直接功率注入。

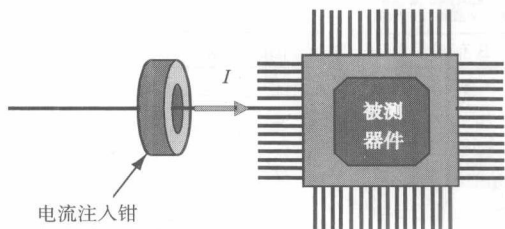


图 1-12 大电流注入试验

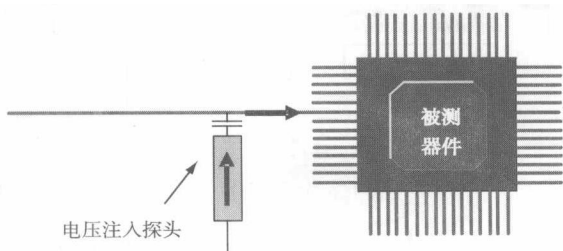


图 1-13 直接功率注入试验

第三类敏感度测量方法是将整个 IC 器件暴露在强的电或磁场中, 而不是力求耦合到单个引脚上。这种测量的一个例子是操作台法拉第笼试验, 即将 IC 安装在印制电路板上, 并放置于如图 1-14 所示的金属屏蔽箱内。其他的场耦合测试包括使用 TEM 小室或 GTEM 小室测量 IC 的技术(更多信息见第 4 章)。

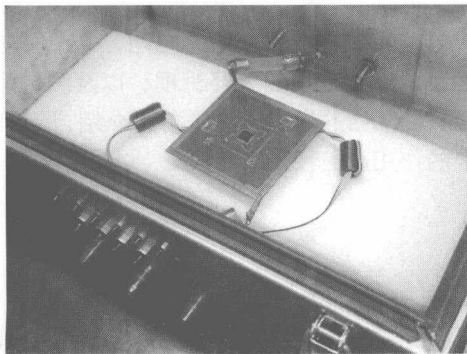


图 1-14 操作台法拉第笼试验

3. IC 的 EMC 模型

当把更多的注意力集中在 IC 的 EMC 设计和测量时,开发适当的模型对采用这些 IC 系统的行为进行仿真也是十分重要的。IBIS 工作组 (IBIS, 2002) 基于 IC 接口方面的非保密数据提出了输入/输出描述标准。作为世界范围内描述 IC 到 PCB 接口的标准,IBIS 被 IC 厂商广泛采用。

虽然 IBIS 模型提供的信息对于描述电磁骚扰特性是有用的,但是以前开发这个标准的主要目的是为信号完整性建模。因此,为 EMC 建模所必需的许多参数并没有包括在 IBIS 规范中。

一个叫做 ICEM (IEC, 2002) 的集成电路电磁模型最近被提出来,并作为 IEC 的草案标准发布了。ICEM 的目标是提供一个相对简单但仍然精确的模型,以在 1 MHz ~ 1 GHz 范围内对寄生电磁骚扰进行预测。关于这一模型的更多信息和类似的方法详见本书第 5 章。

如图 1-15 所示,可以通过把 IBIS 数据和 PCB 布线信息相结合来进行信号完整性的分析。增加一个 EMC 内核模型,可以使系统设计师拥有进行寄生电磁骚扰和抗射频干扰仿真的能力。

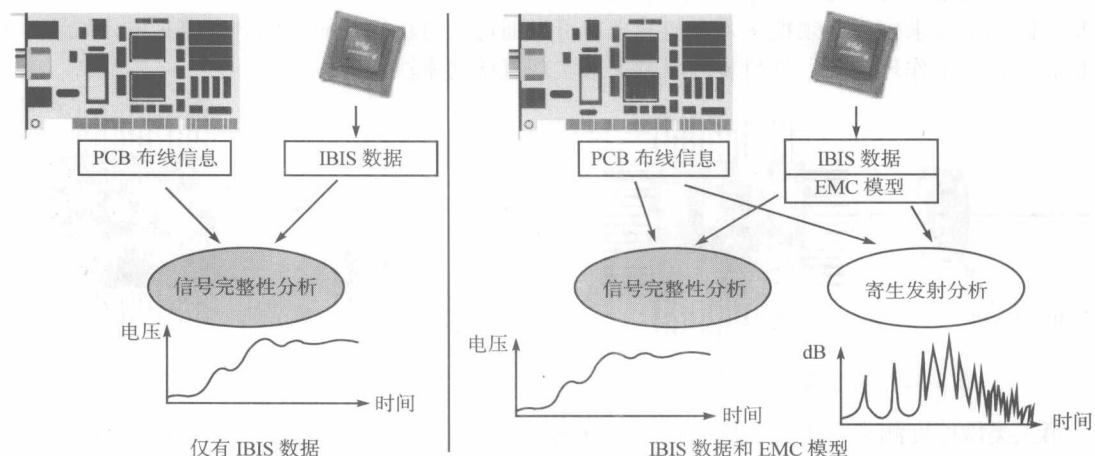


图 1-15 用 EMC 模型进行传导或辐射骚扰仿真

4. 总结

本章概括地讲述了与集成电路的电磁兼容相关的问题,介绍了芯片内和外部耦合的概念,讲述了集成电路产生传导和辐射模式寄生骚扰的主要机理,以及测量的标准方法。本章还从一般意义上对集成电路的电磁敏感度及最常用的描述方法进行了介绍,最后还提纲挈领地介绍了 EMC 模型在电磁骚扰和敏感度仿真中的作用。

5. 参考文献

- [1] Li, M., Drewniak, J., Radu, S., Nuebel, J., Hubing, T., DuBroff, R. and Van Doren, T., 2001, An EMI estimate for shielding-enclosure evaluation, *IEEE Transactions on Electromagnetic Compatibility*, 43(3): 295-304.

-
- [2] Huang, Y., Butler, J., De Sorigo, M., DuBroff, R., Hubing, T., Drewniak, J. and Van Doren, T., 2001, EMI considerations in selecting heat-sink-thermal-gasket materials. *IEEE Transactions on Electromagnetic Compatibility*, 43(3): 254-260.
 - [3] IBIS, 2002, I/O Buffer Information Specification, *ANSI/EIA-656-A standard*, <http://www.eigroup.org/ibis>.
 - [4] IEC 61967—2, 2001, Integrated circuits, measurement of radiated electromagnetic emissions, DC to 1 GHz, TEM cell method, *IEC standard*, <http://www.iec.ch>.
 - [5] IEC 61967—4, 2001, Integrated circuits, measurement of conducted electromagnetic emissions, 150 kHz to 1 GHz, 1Ω method, *IEC standard*, <http://www.iec.ch>.
 - [6] IEC 62014—3, 2002, Models of integrated circuits for EMI behavioral simulation, *IEC standard*, <http://www.iec.ch>.
 - [7] IEC 62132, 2002, Integrated circuits, measurements of susceptibility, *IEC standard*, <http://www.iec.ch>.

第 2 章 历史与现状

摘要：本章对集成电路电磁兼容领域的研究历史做了一个较详细的回顾。在最近几年中，涌现了大量的研究成果，本章则主要介绍新技术、工具及测量方法是怎样出现的，同时还将介绍集成电路和封装的发展历程，以及面临的 EMC 问题。

关键词：历史；寄生发射；敏感度；建模；标准；工艺；封装；问题

1. 早期的研究工作

1965 年，英特尔的创始人之一戈顿·摩尔（Gordon Moore）发表了一篇关于集成电路发展演进趋势的远景报告。基于对集成电路复杂性趋势的认识，他把这一趋势进行了外推并预测微处理器的可用内存和计算速度将呈指数增长，即每年将翻一倍（Moore, 1965）。做一个小小的修正（也就是每 18 个月翻一倍，见图 2-1），摩尔定律仍然成立。

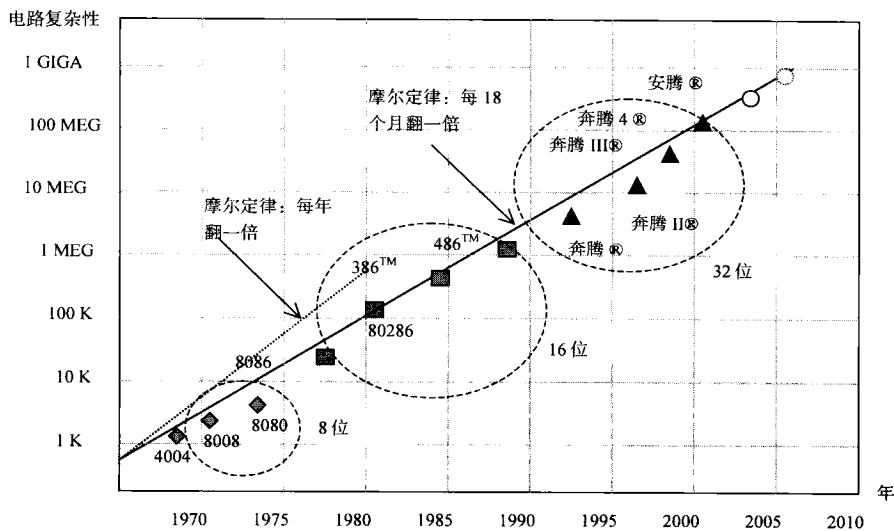


图 2-1 摩尔定律和英特尔处理器复杂性（1970—2005 年）的对比

美国军方是研究集成电路电磁兼容（EMC）方面的先驱，早在 1965 年，美国新墨西哥州柯特兰的特种武器中心就开始研究核爆炸时所激发的电磁场对导弹发射基地的电子设备的影响，并取得了实际性的进展。为了仿真核辐射对电子器件的影响（Sedore, 1967b），IBM 公司开发了仿真软件 SPECTRE（Sedore, 1967a）（如图 2-2 所示）。通过这个软件，就可以把仿真结果与在电磁脉冲测试平台上的实验测量关联起来。

在电子设备级，已经开发了防护技术来应对无线电广播、电视发射信号、雷达和核电磁脉冲的耦合。美国在这方面发布了几个军标，如军标 BE Mil-STD 461 规定了设备必须保持的干扰等级（Mil-std, 1967）；另外，军标 Mil-STD 462 规定了电磁干扰特性的测量方法。

SCEPTRE: A Program for Automatic Network Analysis*

Abstract: This paper describes the mathematical formulation of a computer program for automatic transient analysis of electronic networks. The formulation is based on the "state-variable" approach to network analysis and differs from other such programs primarily in the way that the network equations are manipulated to produce a solution. SCEPTRE includes a number of features aimed at providing greater flexibility and convenience for users of the program. Important among these features is that no prescribed equivalent circuit for active elements is required for program operation. Also, linearly dependent voltage and current sources in a network can be handled by the program, and provision has been made to allow a free-form format for input data. The paper includes a discussion of the program's ability to solve networks containing time-varying passive elements, and considers the factors that influence program running time.

* Work supported by the Air Force Weapons Laboratory under contract AF 29(601)-6832. Dissemination of the SCEPTRE program is controlled by the Air Force Weapons Laboratory, Attn: WLRET (Capt. Gary Pritchard), Kirtland Air Force Base, New Mexico 87117.

627

IBM JOURNAL · NOVEMBER 1967

图 2-2 最初设计的进行电子设备辐射仿真的 SPECTRE 软件

最早的关于集成电路仿真的学术出版物之一是 Wooley (1971) 发表的关于 741 集成运算放大器的文章。他使用伯克利大学的仿真软件 CANCER (著名的模拟电路仿真器 SPICE 的前身), 成功地对这一集成电路的不同层级进行了仿真。

在美国纽约州的布法罗, 纽约州立大学的副教授 James J. Whalen 是集成电路 EMC 领域的另一个先驱。1975 年, 他发表了关于分立式晶体管器件的射频脉冲敏感度的研究成果 (Whalen, 1975)。《IEEE 电磁兼容学报》邀请 Whalen 教授组织出版了一个特刊, 专门刊登了一系列关于集成电路射频干扰的论文 (Whalen, 1979) (如图 2-3 所示)。

Whalen 在他的评论中, 通过甚高频 (VHF, 30 ~ 300 MHz)、超高频 (UHF, 300 MHz ~ 3 GHz) 和极高频雷达 (XHF, 3 ~ 30 GHz) 电磁源之间干扰上升的风险, 证实了特刊对这一领域关注的兴趣。


		IEEE TRANSACTIONS ON	
ELECTROMAGNETIC		COMPATIBILITY	
NOVEMBER 1979	VOLUME EMC-21	NUMBER 4	(ISSN 0018-9375)
A PUBLICATION OF THE IEEE ELECTROMAGNETIC COMPATIBILITY SOCIETY			
SPECIAL ISSUE ON RF INTERFERENCE EFFECTS IN SEMICONDUCTOR DISCRETE DEVICES AND INTEGRATED CIRCUITS			
GUEST EDITORIAL			
Predicting RFI Effects in Semiconductor Devices at Frequencies Above 100 MHz			J. J. Whalen 281
SPECIAL ISSUE PAPERS			
Equipment EMC			
A Modified Ebers-Moll Transistor Model for RF-Interference Analysis			C. E. Larson and J. M. Roe 283
Computer-Aided Analysis of RFI Effects in Digital Integrated Circuits			J. J. Whalen, J. G. Tront, C. E. Larson, and J. M. Roe 291
Computer-Aided Analysis of RFI Effects in Operational Amplifiers			J. G. Tront, J. J. Whalen, C. E. Larson, and J. M. Roe 297
Modeling of Low-Level-Rectification RFI in Bipolar Circuitry			R. E. Richardson, Jr. 307
Microwave-Rectification RFI Response in Field-Effect Transistors			M. L. Forcier and R. E. Richardson, Jr. 312
Response Coefficients of a Double-Balanced Diode Mixer			M. A. Maluzzo and S. H. Cameron 316

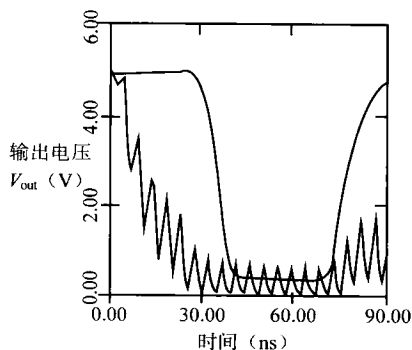
图 2-3 关于集成电路射频干扰的特刊

这个特刊专门讨论了干扰对半导体器件的影响,以及采用专门的仿真工具对这些行为进行了预测。曾经提出双极晶体管模型改进意见的 C. E. Larson (1979),表示需要对当时可得到的器件模型进行修正,以便把射频干扰不同寻常的情况考虑进来。

一年后,Chen 和 Whalen (1980)提出了一种加速仿真的宏观模式的方法。在处理日益复杂的集成电路时,为了使仿真时间合理化,很多工程师和科学家愿意把他们的想法付诸实践。

20 世纪 80 年代初期,瑞士电信的 Bersier (1981)最早提出了使用紧凑方式进行传导 RF 抗扰度测量的观念。之后,他成功开发了用于音视频产品 RF 抗扰度测量的方法,而且不需要大的半电波暗室和高功率射频信号源。他发现在线缆上感应的共模电流和外部产生的电磁场之间的关系大约是 $1 \sim 5 \text{ mA/V/m}$ 。此外,他还发现仪器在共模状态下看到的共模阻抗为 150Ω 左右,这与其他作者发现的共模值非常接近。

关于 MOS 器件的敏感度分析最早发表于 1980 年,在分析中涉及了存储电路。J.N. Roach (1981)描述了 1KB 的 NMOS 存储器的敏感度特性。几年以后,他发表了有关在 $100 \sim 200 \text{ MHz}$ 射频干扰下 8085 处理器行为的研究 (Tront, 1985)。他使用 SPICE 仿真软件再现了在测量中观察到的一些现象 (如图 2-4 所示)。



$V_M=20 \text{ V}$ 和 $f=220 \text{ MHz}$ 时的输出电压 V_{out} /时间图,未受扰的 V_{out} 图在曲线上是重叠的

图 2-4 仿真得到的未受扰和受扰的信号 (Tront, 1985)

为了对结构完整性进行检查,在微处理器中增加了看门狗电路 (Lu, 1982)。后来发现看门狗电路对于遭受电磁干扰后处理器的恢复和安全重置有着非常重要的意义。

2. 1990—1995 年间 ICS 在集成电路 EMC 方面的研究

1990 年, Bakoglu 编辑了一个非常有名的关于集成电路、封装和印制电路板寄生效应的值得注意的概要,他把不同的问题与时钟有源边沿的瞬态电流消耗联系起来,详细地说明了集成电路谐振的基本机理,并给出了 Dual-In-Line (DIL), Quad-flat-pack (QFP) and Pin-Grid-Array (PGA) 系列的封装模型。

同年, Kenneally 给出了基于 CMOS 和 TTL 工艺的简单集成电路的测量结果,并指出在 $1 \sim 200 \text{ MHz}$ 的范围内,随着射频干扰的增加,敏感度会降低。

因制造工艺不同,CMOS 电路和 TTL 电路显示出了显著的差异。在所有场合,CMOS 电路不如 TTL 电路稳健 (如图 2-5 所示)。多伦多大学的一位博士生 Laurin (1991)发表了关于射频扰动对用在摩托罗拉 6809 处理器中的振荡器电路的影响的研究成果。当把一个电流环路置于振荡器附近时,他观察到了时钟的抖动,微处理器的功能丧失,串行数据总线的数据丢失 (如图 2-6 所示)。

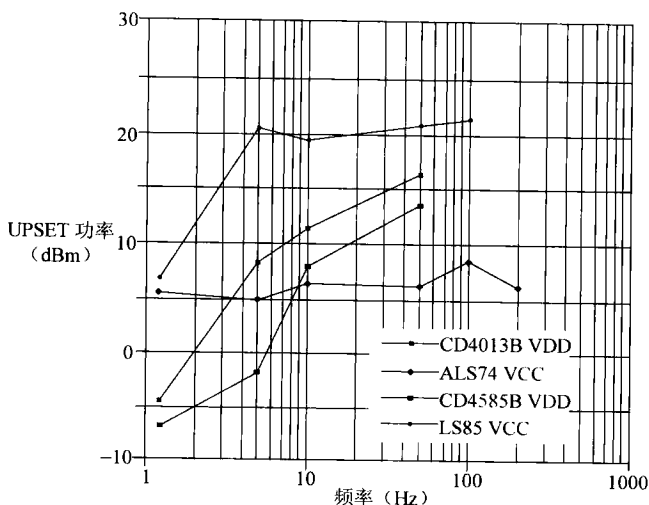


图 2-5 敏感度阈值因工艺而异

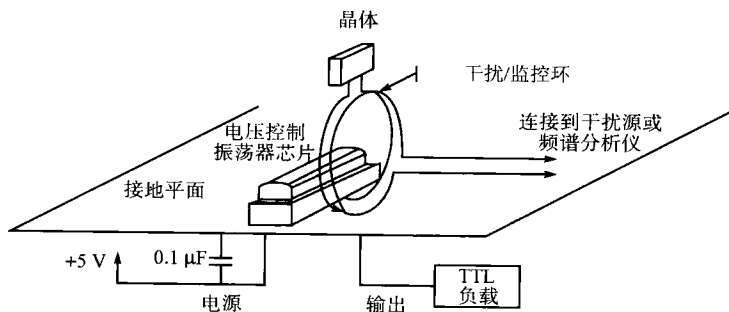


图 2-6 使用磁场探头对振荡器进行扰动 (Laurin, 1991)

同样与微处理器有关,新加坡大学的 Tang (1993) 指出电磁干扰能够引起非致命性的故障而导致微处理器计算得不准确。他进行了传导和辐射敏感度测量,演示了在一个计算器的最重要字节上的字节交换问题导致了严重的计算误差。他提出了基于软件修正和 PCB 布局改善的解决方案,并指出低速系统与高速系统一样都容易受到 EMI 的影响。

20 世纪 90 年代早期,出版了许多关于 EMC 的书籍,它们主要是针对印制电路板的 EMC 进行介绍的。但大多数书籍只对集成电路的特定问题给出了一些见解。Weston (1991) 在他所著的《EMC 原理及应用》一书的第 3 章,比较了各类集成电路的开关特性,以及它们对辐射和传导骚扰的影响。

Graffi (1991) 发表了他的研究成果,研究的是在正常信号上叠加一个 200 kHz ~ 50 MHz 的干扰信号后,741 运算放大器的行为特性。使用能够将计算速度加快 50 倍的简化了的宏观模式仿真方法后,他的实验测量和仿真结果得到了很好的吻合。

在甚高频,时域反射计 (TDR) 被用来对封装的行为特性进行描述 (Hauwermeiren, 1992)。对于无引线片式载体 (LCC) 和引脚网格阵列 (PGA) 也有了基于分立的 R、L、C 元件的简单模型。该方法与 IBIS 小组后来为封装建模提出的方法非常接近。

对 EMC 和信号完整性工程师来说,同时开关噪声是最值得注意的芯片级问题。关于这一话题的最早的出版物之一是一篇关于去耦电容效应的特性描述的论文,其内容包括片上去耦和集成电路附近的去耦 (Downing, 1993)。

3. 集成电路的敏感度（从 1995 年开始）

Laurin (1995) 分析了电磁波耦合到 PCB 走线的效应, 以及这一耦合在简单电路上造成的后果。当场强高达 200 V/m 时, 在器件上没有观察到扰动或故障。

增加长度为干扰频率上的半波长的金属线时, 即使场强低到 2 V/m, 由于不正确的开关也会导致严重的故障 (如图 2-7 所示)。作者对稳态和瞬态进行了区别对待。在稳态情况下, 只有高能量的扰动影响逻辑电平; 在瞬态情况下, 即使只有微弱的扰动, 也能影响开关延迟和电路门限。

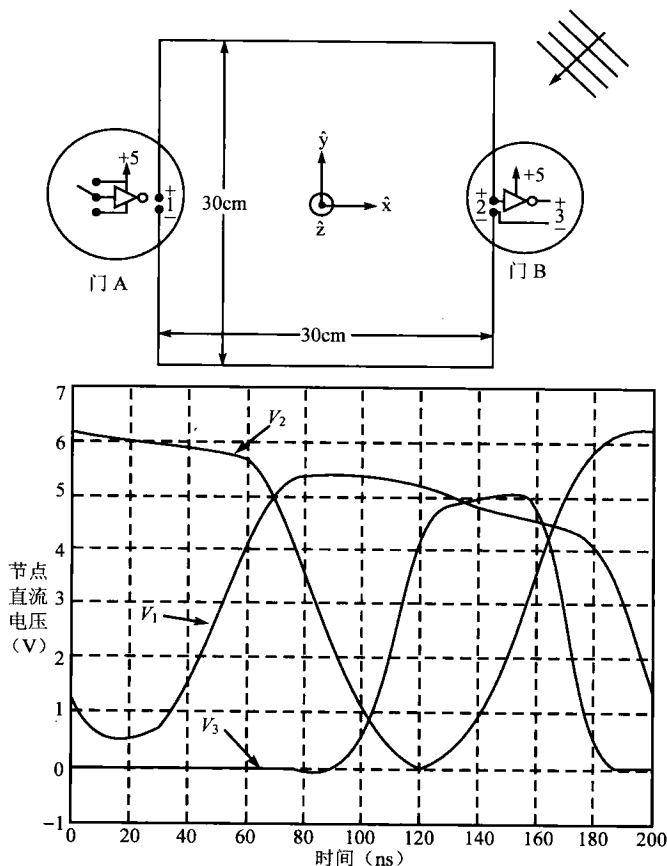


图 2-7 连接在一根充当 2 V/m 场接收天线的长金属线 (近端 V_1 , 远端 V_2) 上的反相电路输出 (V_3) 的寄生转换

Chappel (1997) 论述了强化集成电路抗电磁干扰能力的可能性, 在 1 ~ 10 MHz 频率范围内, 使用专门的设计工艺可以使 IC 的抗扰度电平从低的 1.5 V 提高到 5 V 以上 (如图 2-8 所示)。他也提出了另外几个对射频干扰有高抗扰度的电路, 包括施密特触发器、低压差分摆动电路和延时不敏感结构。

相对时域分析而言, Hattori (1998) 演示了频域仿真的优势, 这一方法已被证实对快速获取模拟电路的动作响应, 尤其是频率的偏移变分是非常有效的。

当移动通信的需求蓬勃发展时, 却没有对 GHz 频段干扰下集成电路的行为做出广泛的研究。2000 年, NASA 出版了最新版本的《集成电路电磁抗扰度手册》(Sketoe, 2000), 给高达 10 GHz

的简单集成电路的抗扰度提供了非常有价值的信息。而在本书第4章中,通过与20世纪80年代早期类似的测量进行有趣的对比,给出了有关简单元器件的测量结果,频率范围是10 MHz~10 GHz。从图2-9中的结果可以看出,近年来的元器件抗扰度电平经证实比20世纪70年代的高,这可以用输入/输出保护的改进来解释。

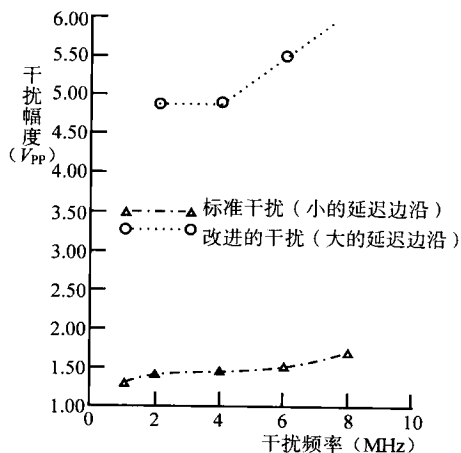


图 2-8 两个功能相同但抗扰度不同的电路

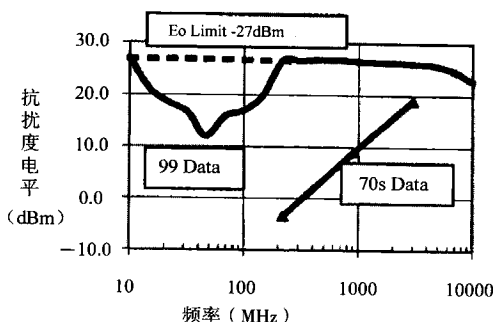


图 2-9 74LS00 与非门的抗扰度

通过在很多种微处理器和微控制器中获得的经验,有些工程师开始研发对基于微处理器的系统进行加固的策略。Coulson (1997) 明确了一些容易受到干扰影响的点,并给出了一些专门的电路(如电源监视或看门狗)和一些基于软件的技术(如存储器完整性检查、令牌传送、冗余编码)。Campbell (1998) 声称通过一个简单的防御性软件程序设计,就可以用低的实现成本使微控制器的抗干扰性能提高一个数量级。

Ong (2001) 研究了基于软件的技术对处于 EMI 环境下嵌入式应用的可靠性的影响。不容乐观的是,他发现基于功能令牌的“防卫软件”无效,而且一般并不适用。相反,在未使用的存储器中写入空操作指令(NOP),却能够对系统的可靠性产生积极的影响。

最近, Fiori (2002) 发表了关于射频干扰对模拟放大器(上到 2 GHz)影响的研究。在测量布置中,他将微波探头直接定位到了芯片上,以便维持从测量设备到集成电路的 $50\ \Omega$ 的阻抗(如图 2-10 所示)。他观察到功率放大器偏移的 DC 变化是增加的,并且从 100 MHz 到 2 GHz 的射频干扰幅度几乎保持恒定。Robinson (2003) 模拟了在集成电路中由于电磁攻击导致的信号传播时延

的变化。尽管试验频率只达到 200 MHz（如图 2-11 所示），但是可以看出在高于被测设备设计的工作频率之上时，元器件对射频干扰的敏感度趋于随频率降低。

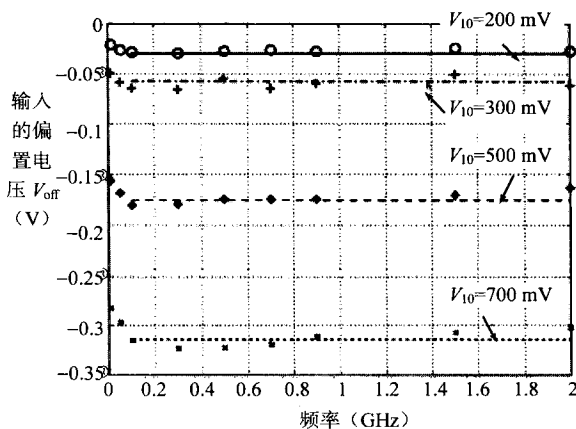


图 2-10 通过微波探头直接在芯片上施加 100 MHz ~ 2 GHz 的射频干扰时的运算放大器的响应

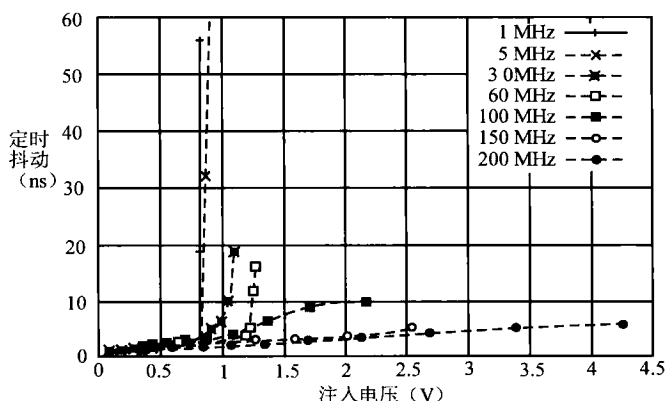


图 2-11 作为幅度和干扰频率函数的开关时延的修正模型

4. 集成电路的寄生发射

Goodman (1995) 发表了关于信号在引脚网格阵列封装 (PGAs) 中传播的测量和仿真的比对结果。他提出了与封装的引脚有关的信号传输的各种有害影响，探究了地信号的延迟，并且在更高的频率处使用了简单的 R、L、C 元件 (Hauwermeiren, 1992)。

在使用 R、L、C 分立元件为封装引线、焊接、集成的输入/输出结构建模的同时，对于印制电路板上的轨线，他使用了传输线的分析方法，这使得模型在高达 4 GHz 的频率时仍然有效。

集成电路复杂性的持续增长要求有更高引脚密度的封装和更宽的带宽。使用分布电流源、片上和封装上的去耦电容模型及串联电感，McCredie (1996) 成功地为装在紧凑球形门阵列封装 (BGA) 上约有 1000 个 I/O 引脚的 ASIC 的开关噪声建立了模型（如图 2-12 所示）。同年，T. Williams 出版了一本非常实用的关于 EMC 设计的书，其中有一章是专门针对集成电路进行描述的 (Williams, 1996)。

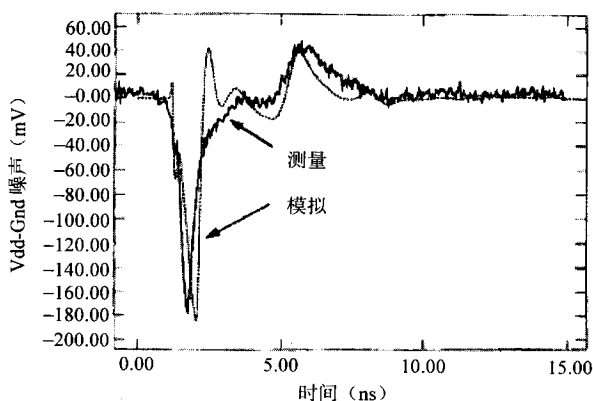


图 2-12 关于高复杂性 PGA 开关噪声的测量与仿真

在美国, 汽车工程协会 (SAE) 提出了用 TEM 小室测量集成电路辐射发射的方法 (如图 2-13 所示)。Slattery (1997) 发表了关于 8 位和 16 位微控制器的非常有趣的比较性研究结果, 阐明了技术差异、封装和温度对频谱的影响。

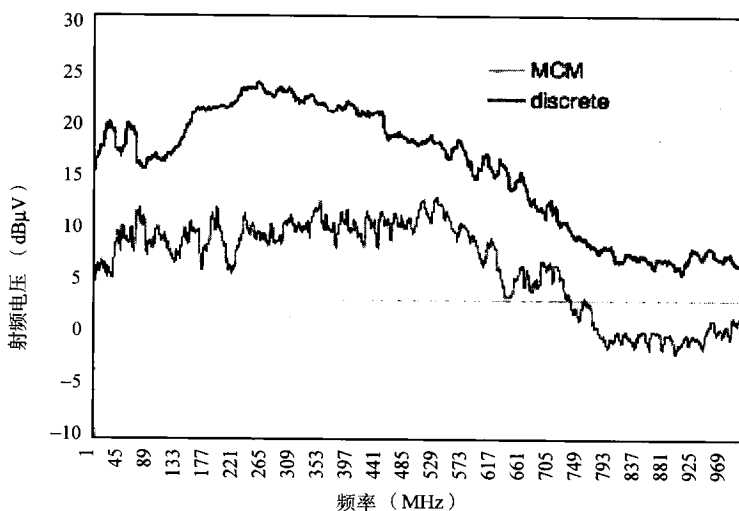


图 2-13 在 TEM 小室中测得的封装对辐射骚扰的影响 (横轴为频率 MHz, 纵轴为射频电压 dBμV)

Robinson (1998) 比较了不同的逻辑电路族产生的辐射骚扰。他在开阔场上距离被测试的电路板 3 m 的距离上架设接收天线, 给出了简单电路的结果。例如, 从各种逻辑族中选出的反相器和与非门: ACT (高级 CMOS-TTL)、FCT (高速 CMOS)、HC (高速 CMOS) 和 HCT (高速 CMOS-TTL)。如图 2-14 所示, 可以观察到显著的行为差异。

Robinson 指出在测量的频谱上, 电场 E 的峰值幅度可以由下面的公式近似表示:

$$E = kAf_{\max}^{0.7} \quad (2-1)$$

式中, k 为与集成电路设计和工艺有关的常数; A 为电源幅度 (V); f_{\max} 为工作频率 (Hz)。

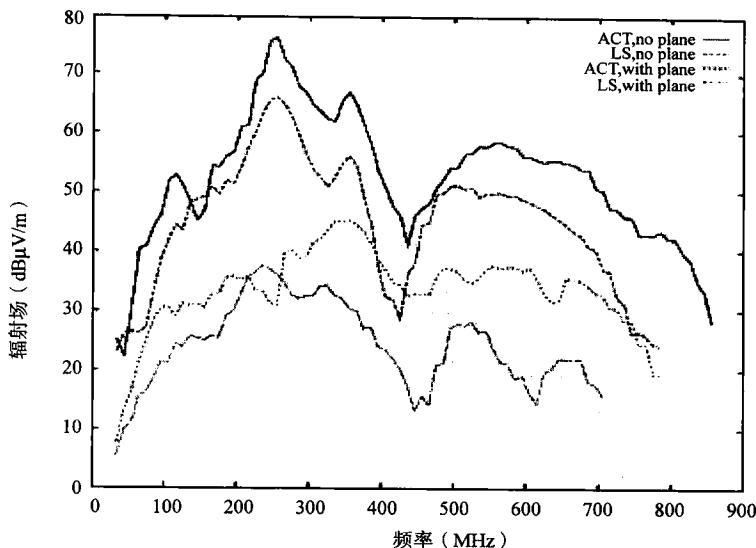


图 2-14 在 3 m 距离测得的由工艺不同的简单 IC 产生的远场骚扰 (50 ~ 900 MHz)

Jonghoon (1998) 介绍了复杂处理器在有和没有本地去耦电容时用 TEM 小室进行的测量。这一测量技术在本书第 4 章将有详细的描述。观察到的片上去耦电容的效果非常显著 (如图 2-15 所示)。随后不久, 其他几个人的著作也相继发表了 (Steinecke, 2000; Van Wershoven, 2000), 他们证实了采用大的嵌入式电容 (依工艺和晶核的尺寸电容值为 1 ~ 50 nF) 是减少骚扰发射的非常有效的方法。Slattery 也用 TEM 小室 (1999) 对几种微处理器的骚扰特性进行了比较。

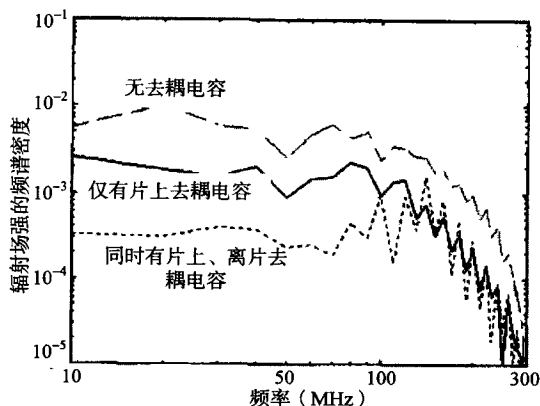


图 2-15 片上和离片去耦电容对辐射骚扰的影响

Van Wershoven (2000) 提出使用主动转换速率控制可以进一步减少辐射骚扰。Kim Soo-Hyung 提出了另一种方法, 他还分析了吸波材料, 如与环氧胶混合的铁氧体对辐射骚扰的影响 (Soo-Hyung, 2000), 可以观察到它会使谐波有 3 ~ 20 dB 的减小, 尤其是在频率为 300 MHz 以上时, 效果更明显。

近场扫描于 1995 年被 K. Slattery 修改用于解决集成电路的问题, 他当时是克莱斯勒公司的咨询顾问。Slattery (1999) 设计和制造了第一台具有足够高分辨率, 可用来绘制集成电路封装上场

分布的近场扫描仪（如图 2-16 所示是它进行近场扫描的一个图像）。许多潜心于芯片级 EMC 研究的实验室现在都在使用基于 Slattery 设计的近场扫描仪。

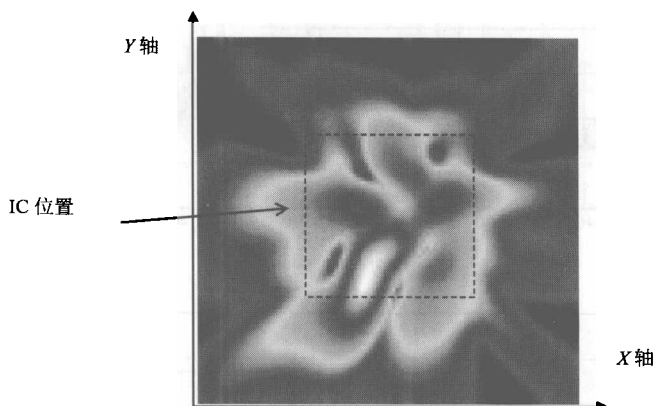


图 2-16 近场扫描

在低骚扰的处理器生产方面，尤其是汽车应用方面，日本的集成电路供应商处于世界领先地位。因此，在这个领域的科技出版物中的日本作者很多。例如，Hayashi（2000）阐述了低噪声 ASIC 设计的方法，而 Takahata（1999）提出了基于电源阻抗的电路设计模型，这为标准模型的建议（IMIC, 2001）奠定了基础。

实现低骚扰的其他替代方法

Lexmark 公司的 Hardin 和他的同事可能是最早提出以控制的方式使时钟周期波动来减少时钟频率谐波峰值骚扰的人（Hardin, 1994）。这种方法可用如图 2-17 所示的图形来表示。

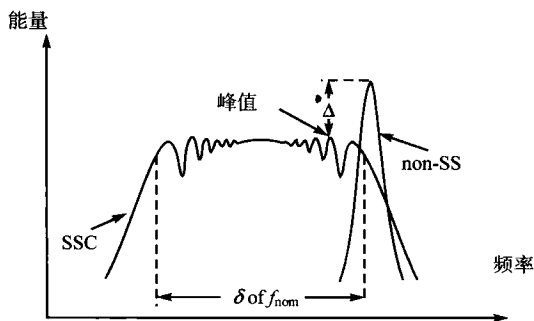


图 2-17 扩展频谱技术有利于减少辐射骚扰

集中在带宽非常窄的单谐波上的能量被重新分布到大的频带上了。这种减少噪声的技术已经应用在了开关电源上（Feng, 1994）。起初，一些专家把它看成辐射骚扰测试程序的一种“欺诈的方法”。但是（Slattery, 2001）发表的实验结果表明这种技术实际上减少了电子系统干扰的风险。

在异步电路设计中可以发现一种有趣的减小骚扰的替代方法。Furber 发表了他的实验结果（1999），即在 ARM60 处理器的异步版本中，峰值谐波（在 180 MHz 附近）及高频谐波都有显著的减小，如图 2-18 所示。关于异步设计技术的重要参考文献是 Sparso（2001）著写的书。

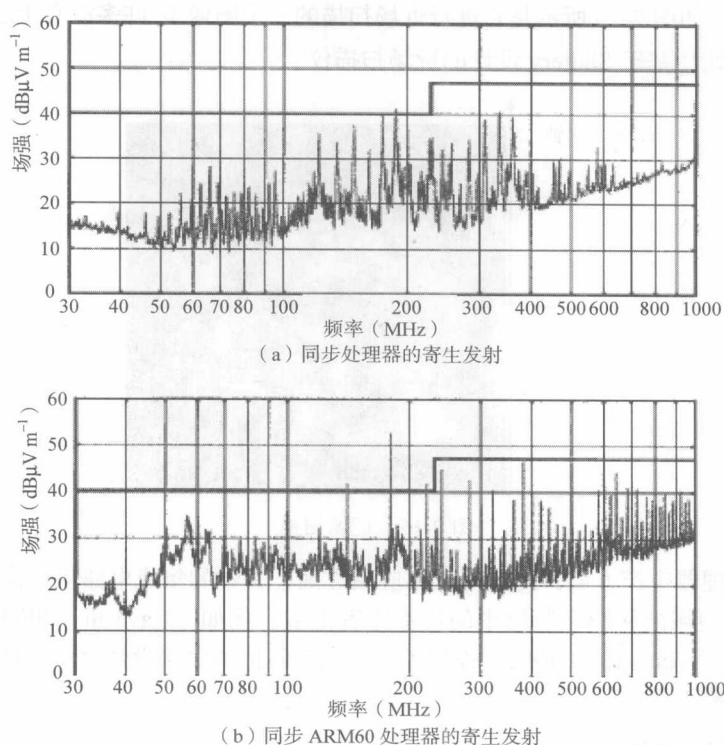


图 2-18 同步处理器与同步 ARM60 处理器寄生发射的比较

5. 集成电路 EMC 的标准化

1996 年，一套重要的 EMC 法规开始在欧盟实施，在欧洲激起了研究者和工程师对这一课题的兴趣。欧洲法规为大多数电子设备设置了寄生发射电平的最大允许限值，以及抗扰度电平的最小允许限值。

在器件级，最重要的标准是在国际电工委员会（IEC）的管理下开发出来的。IEC 主要负责监督 100 多个重要技术委员会的标准化活动。在这些技术委员会中，TC47A 早在 1990 年就开始专注于集成电路，该委员会的主要任务是专门为逻辑电路、存储器、转换器和混合模块准备国际标准。稍后成立了另一个子委员会 TC93，它专门负责 IC 设计自动化方面的标准。

5.1 测量方法

在 20 世纪 90 年代，有很多国家都开发了各种电磁骚扰和抗扰度的测量方法，主要有法国、德国、意大利、荷兰、美国和日本。这些标准的制定由汽车工业牵头。在当时，由于车载电子设备的增加，汽车工业面临着非常频繁的电磁干扰问题，其中一个最普遍的问题是由嵌入式微控制器的开关噪声产生的 FM 频段的干扰。

汽车工程协会（SAE）提出了一个用 TEM 小室（如图 2-19 所示）测量辐射骚扰的方法。荷兰的一个工作组提出了一种基于法拉第笼工作台（WBFC）的传导测量方法。德国的标准化组 VDE 提出了一种使用 1Ω 电阻把元器件串联到地的传导测量方法。日本的研究人员提出了磁环探测技术。SAE 也提出了近场扫描技术。

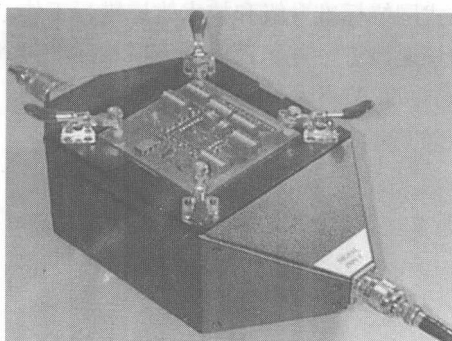


图 2-19 美国标准化的 TEM 小室 (SAE, 1995)

1997 年 10 月, IEC 的 TC47A 决定成立一个新的工作组 (WG9), 对建议的集成电路测量方法进行分析。该工作组在 1998—2000 年间举行了几次会议, 比较著名的是在首尔和巴黎举行的会议。经过仔细的讨论之后, 会议上确立了制定一整套“评估集成电路的 EMC”标准的工作方针, 这套标准包括五种测量方法, 即 TEM 小室测量、表面扫描技术、 $1\ \Omega/150\ \Omega$ 方法、WBFC 测量及磁场探头方法。这些测量程序集中在标准文件 IEC 61967 “集成电路——150 kHz 到 1 GHz 电磁骚扰的测量” (IEC, 2001) 中。

- 第一部分: 通用条件和定义。
- 第二部分: 辐射骚扰测量——TEM 小室方法。
- 第三部分: 辐射骚扰测量——表面扫描方法。
- 第四部分: 传导骚扰测量—— $1\ \Omega/150\ \Omega$ 直接耦合方法。
- 第五部分: 传导骚扰测量——法拉第笼工作台方法。
- 第六部分: 传导骚扰测量——磁场探头方法。

Lubineau (1999) 发表了对这些测量技术进行比较研究的结果, Fiori (2003) 用这些方法对同一器件进行了实验测量。这两位研究者对测量的布置和局限性提供了非常有价值的建议。在 Stone (2003) 编辑的《无线电科学回顾》中, 有一章专门列出了集成电路 EMC 方面近期的出版物, 着重强调了测量技术、建模、寄生发射的减小等问题, 以及对有关数字和模拟器件敏感度的研究活动进行了回顾。

抗扰度试验的标准测量程序也已经开发出来, 它们集中在包括五部分内容的标准文件 IEC 62132 “集成电路——电磁抗扰度测量” (IEC, 2002) 中。

- 第一部分: 通用条件和定义。
- 第二部分: 辐射抗扰度测量——TEM 小室方法。
- 第三部分: 传导抗扰度测量——大电流注入方法 (BCI)。
- 第四部分: 传导抗扰度测量——直接功率射入方法 (DPI)。
- 第五部分: 传导抗扰度测量——法拉第笼工作台方法。

5.2 器件的 EMC 模型

在器件的 EMC 建模方面, 第一个做出重要贡献的是 IBIS (I/O 缓冲区信息规范) 工作组, 它提出了集成电路输入/输出结构电特性的标准描述 (如图 2-20 所示是 IBIS 网站的首页)。IBIS 格式由英特尔集团在 20 世纪 90 年代早期创立, 并在后续的版本中进行了改进。

1993 年, 基于自愿性贡献和组织的形式, 成立了一个名为 IBIS 开放论坛的工作组。1995 年, 它成为电子工业联盟 (EIA) 的一个分支机构。这个论坛每月进行一次电话会议, 并通过 BIRDs

（缓冲器问题决议文件）的方式围绕标准升级和技术改进进行工作。该论坛的协调人 Bob Ross，几年来一直帮助协调该技术的快速改进，并积极促进该格式标准得到世界范围的认可。IBIS 规范于 1995 年被批准成为美国国家标准 ANSI/EIA-656 版本 1.1。

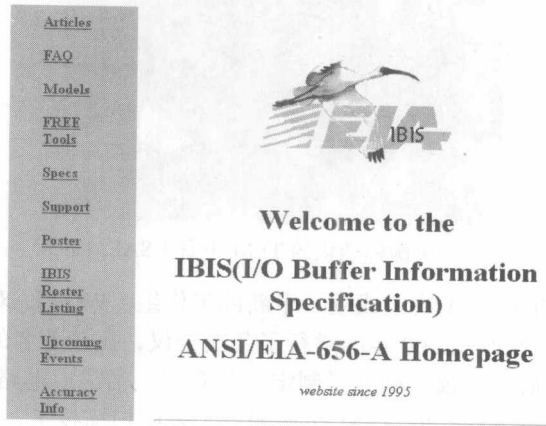


图 2-20 IBIS 网站的首页

从 1995 年起，IBIS 标准就一直不断地升级（IBIS, 2001），2004 年批准发布了 4.1 版。在本书的第 5 章给出了 IBIS 格式的详细说明。从电磁兼容的观点来看，IBIS 给出了集成电路的输入、输出信息，而这在以前的数据表中是找不到的。然而，它并没有给出任何有关内核噪声或电源引脚高频电流的信息。1997 年，IEC 决定成立 EMC 特别小组——第六工作组（WG6），目标是促进集成电路建模和仿真的研究。WG6 必须提出集成电路器件的 EMC 模型，并提交给国家委员会讨论和审议。

1997—2000 年，在法国图卢兹，一群研究和工业领域的伙伴发起了一个研究计划，目标是为预测器件骚扰的标准模型建立基础，之后再把这个模型用于抗扰度预测（频率范围为 1 MHz ~ 1 GHz）。他们从简单器件的特性着手（Lubineau, 1999），以 ICEM（集成电路骚扰模型）的名义提出了适用于 ASIC 和微控制器等复杂集成电路的一般模型（Bendhia, 2002）。法国的 UTE 小组围绕基于 ICEM 的标准提案开展工作，并把这一方法应用到了商用器件中（Lochot, 2003）。2002 年年底，ICEM 标准以“IEC 62014—3：用于 EMI 行为仿真的集成电路模型”出现在 IEC 的网站上（如图 2-21 所示）。

93/146/CDV

DRAFT TECHNICAL REPORT

Project number 62014-3/TR/Ed.1	
IEC/TC or SC TC 93	Secretariat U.S.A.
Distributed on 2001-11-30	Voting terminates on 2002-05-03

Also of interest to the following committees

Supersedes document

Functions concerned

☐ Safety

☒ EMC

☐ Environment

☐ Quality assurance

Titre: CEI 62014.3: CEM des composants - Partie 3 : Modèle électrique des circuits intégrés (ICEM)

Title: IEC 62014-3: EMC for Component - Part 3: Integrated circuits Electrical Model (ICEM).

THIS DOCUMENT IS STILL UNDER STUDY AND SUBJECT TO CHANGE. IT SHOULD NOT BE USED FOR REFERENCE PURPOSES.

RECIPIENTS OF THIS DOCUMENT ARE INVITED TO SUBMIT, WITH THEIR COMMENTS, NOTIFICATION OF ANY RELEVANT PATENT RIGHTS OF WHICH THEY ARE AWARE AND TO PROVIDE SUPPORTING DOCUMENTATION.

图 2-21 提交给 IEC 的 ICEM 骚扰模型的建议

另外一个叫做 IMIC 的提案 (IMIC, 2001) 是由日本的工业和学术伙伴推动发展起来的。2003 年年底, “集成电路接口模型 (IMIC)” 成为 IEC 62404 标准 (IEC 2003)。

5.3 趋于融合

IEC 指派 TC47A 专门对 ICEM、IMIC 标准模型提案, 以及一个新的叫做 LECC 的日本提案进行分析研究, 目标是提出能够结合各个模型优点的统一模型。

表 2-1 中列出了 2005 年工作组的参加成员。该工作组正继续致力于测量方法的工作, 并将其研究活动扩展到包括抗扰度建模在内的场合。2005 年, 超过 13 个有关集成电路 EMC 的文件在考虑和研究中, 这对于这个新研究领域面临的挑战和问题来说是一个好的现象。

表 2-1 2005 年专注于集成电路 EMC 研究的 IEC 技术委员会成员

姓 名	所属公司	所代表的国家
Gunter Auderer	Freescall, Munich	德国
Ross Carlton	Freescall, Austin	美国
Mart Coenen	Philips Semiconductors	荷兰
M. Joester	Siemens Automotive Regensburg	德国
F. Klotz	Infineon	德国
J. Kolodziejewski	University Warschau	波兰
H. W. Luetjens	Philips Semiconductors	德国
C. Marot	Siemens Vdo Toulouse	法国
S. Mitani *	Hitachi	日本
A. Nakamura	Hitachi	日本
C. Terrier	EM Microelectronic Marin SA	瑞士
O. Wada	Okayama university	日本
T. Watanabe	NEC	日本

6. 特别事件和出版物

致力于集成电路 EMC 方面的第一届专题研讨会于 1999 年 1 月在法国图卢兹举行, 第二届也于 2000 年 6 月在图卢兹举行。这两次事件的官方语言都是法语。而第三届研讨会 (EMC Compo 02) 的官方语言是英语, 吸引了来自法国、德国、意大利和比利时的大约 70 位专家参会。2004 年来自科研院所和工业界的 100 多位专家参加了在法国 Angers 举行的第四届研讨会 (EMC Compo 04)。2005 年 11 月在德国慕尼黑举行了 EMC Compo 05, 2007 年的研讨会是在荷兰举行的。

基于从研讨会中选择的论文, 微电子杂志出版了一个关于器件 EMC 的专刊。该专刊包括对标准化努力所做的回顾、与骚扰预测有关的贡献、测试电路的骚扰特性、异步设计, 以及模拟电路的敏感度分析等内容。

7. IC 的发展历程

过去几年内, 平板印制技术的巨大进步使得今天通用的 GHz 时钟速率的微处理器成为可能。关键性的改进是器件沟道的减少和互联层的倍增, 如图 2-22 所示是报道的两种版图设计, 左边是 1990 年实现的 $0.8\ \mu\text{m}$ CMOS 工艺, 右边是 2005 年实现的 90 nm CMOS 工艺。

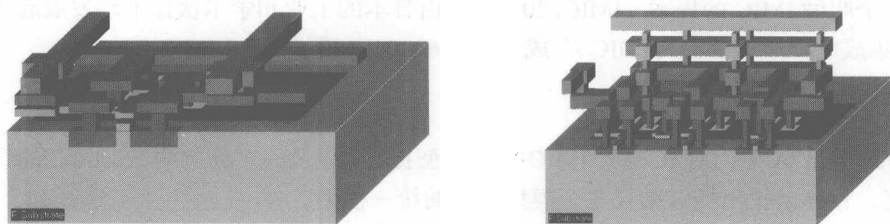


图 2-22 集成电路从 $0.8\ \mu\text{m}$ 双金属层 CMOS 工艺到 $90\ \text{nm}$ 八金属层 CMOS 工艺的演变

在通用电子系统内（如个人计算机或蜂窝电话），从印制电路板（PCB）上可以看到很多由分立器件组装在一起的集成电路（IC），如图 2-23 所示。这些集成电路的尺寸和复杂性各异。系统的主要核心由一个微处理器组成。微处理器被认为是系统的核心，它在一个单一芯片上集成了几百万个晶体管。

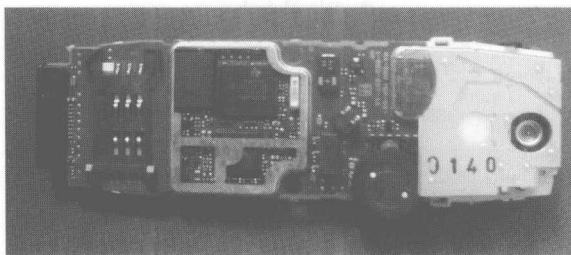


图 2-23 蜂窝电话内部的照片

在小尺寸、低功耗和增强服务的推动下，集成电路技术在不断进步，更高层次的集成也成为了可能。

集成电路由一个硅片组成。对于微处理器和存储器而言，硅片的大小通常是 $1\ \text{cm} \times 1\ \text{cm}$ 。集成电路安放在封装里（如图 2-24 所示），而封装又放置在印制电路板上。集成电路的有源部分只是硅片中很薄的一部分。在芯片的边缘，小的焊接凸起用做集成电路和封装之间的电连接。封装本身是一个金属和绝缘材料的三明治夹心结构，它把电信号传送到印制电路板接口的大的焊接凸起上。

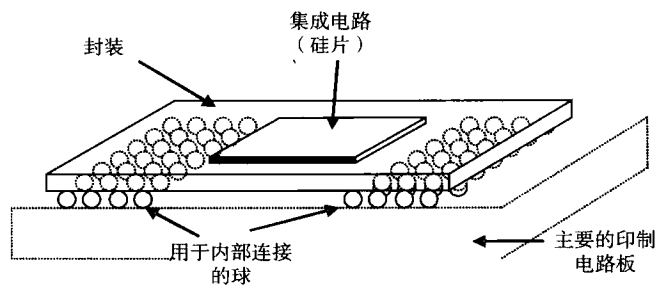


图 2-24 典型的集成电路结构

图 2-25 从片上器件的数量方面来描述了英特尔微处理器在复杂性方面的演变。2003 年生产的奔腾 IV™ 处理器，在不大于 $2\ \text{cm} \times 2\ \text{cm}$ 的硅片上集成了大概 50 000 000 个 MOS 元器件。

图 2-26 举例说明了高性能微处理器和工控微控制器的时钟频率随工艺级别的减少而增加。微处理器的发展蓝图是基于用于个人计算机的英特尔处理器的，而微控制器的发展蓝图是基于用于高性能自动化工业应用的 Freescale 控制器的。

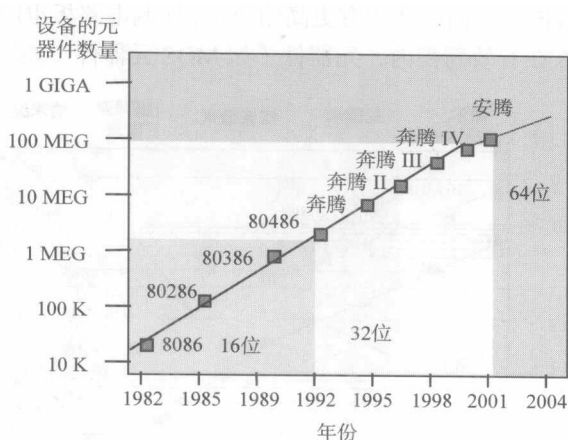


图 2-25 微处理器的演变

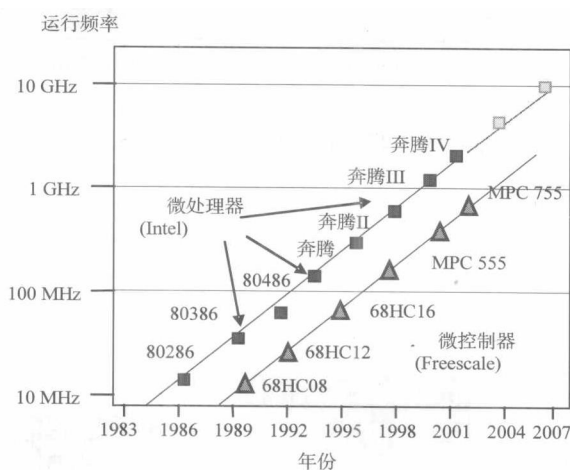


图 2-26 微处理器和微控制器工作频率的增长

PC 产业要求微处理器工作在最高的频率，而这样却需要很高的功耗（奔腾 IV 需要 30 W）。而自动化工业的嵌入式控制器要求片上功能越来越复杂，以及要求更大的植入式存储器 and 接口协议。运行频率的发展趋势与 PC 处理器的发展趋势相似，但是却有比较显著的偏移。

仔细回顾一下四个主要的集成电路工艺：微米、亚微米、深亚微米、超深亚微米工艺，如图 2-27 所示。0.8 μm 工艺的亚微米工艺开始于 1990 年。深亚微米工艺开始于 1995 年，它采用优于 0.3 μm 的平版印制工艺。与超深亚微米工艺有关的平版印制工艺低于 0.1 μm 。90 nm 的 CMOS 工艺的纳米工艺开始于 2004 年，随后发展到了 65 nm 的 CMOS 工艺。超深亚微米工艺应该包括将在 2010—2013 年间出现的 32 nm、22 nm 工艺。

图 2-27 表明大多数产品在大规模量产前都持续了 5 年左右的研究。从图中还可以看出，它从 1996 年开始已经在加速趋向于更小的尺寸。到 2007 年，平版印制工艺已经降到 65 nm 以下。平版印制技术快速发展到了微米等级，这与能够在集成电路表面实现的最小模型相符。

平版印制工艺的提高使得在更小的硅片区域内实现相同的功能成为可能。因此，在相同的空间里能够集成更多的功能模块。此外，用于互联的金属板的数目，在过去的十年中也稳定增加了。

更多层的路由结构意味着硅片表面的使用有更高的效率,印制电路板也同样如此。如图 2-28 所示,如果有很多路由层,那么在有效面积内,元器件(如 MOS 元器件)能够安装得更近一些。

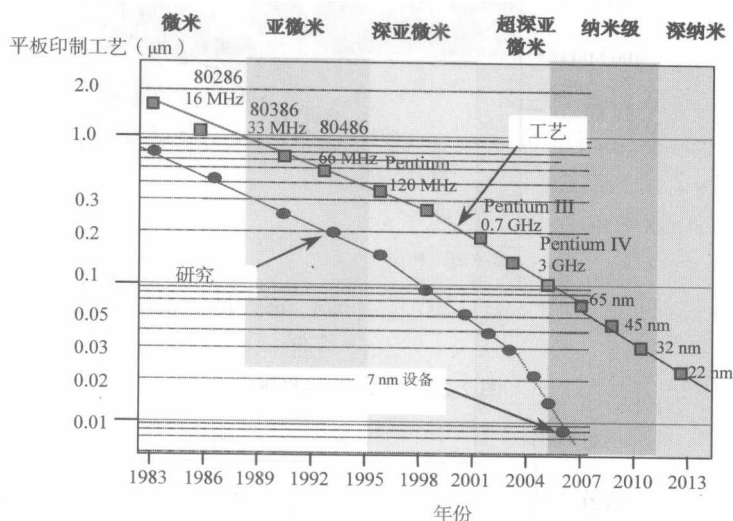


图 2-27 平板印制工艺的发展

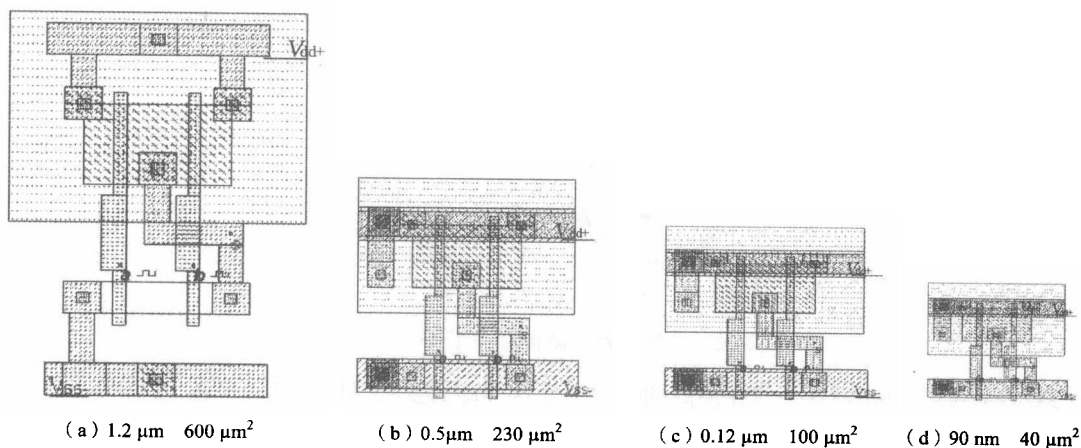


图 2-28 用于实现基本逻辑门的硅片面积的演变

元器件安装密度的提高产生了两个重要的改进：一是硅片空间随连接和互联的寄生电容一起减少了,因此增加了单元的开关速度;二是元器件本身的更小尺寸加速了转换,使得运行时钟得到了良好的改良。

转换时,每个门都将产生一个小的主要在电源线上流通的电流脉冲。这些额外的电流脉冲会在芯片内引起大的电流,在最新一代的高性能微处理器中,该电流值几乎接近 100 A。

工作频率、电路复杂性和 I/O 的数量的增加,将增加干扰,也将增加传导和辐射寄生发射。此时,片上的硅圆片是人造的,由于工艺的提升,其尺寸将不断增加。更大直径的工艺意味着在相同的时间内能够装配更多的芯片,但同时也要求超高的设备成本以便在原子量度的精度下操作和处理这些硅圆片。

图 2-29 以图示化的方式给出了硅圆片的这种发展趋势。硅圆片直径为 0.12 μm 的工艺是 8 英

寸或 20 cm（1 英寸等于 2.54 cm）。12 英寸的硅圆片（30 cm）已经引入 90 nm 工艺，硅圆片的厚度从 300 μm 到 600 μm 不等。

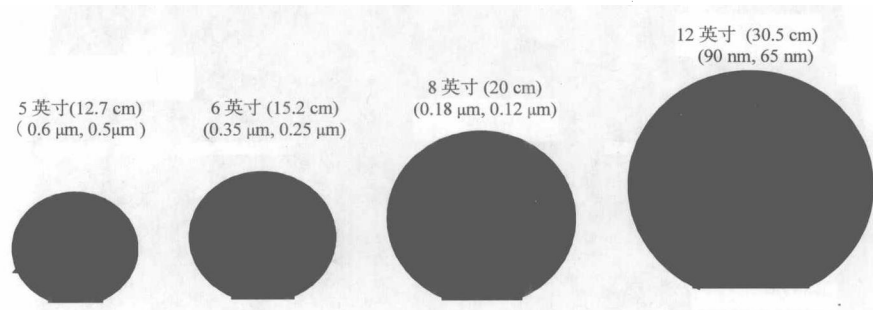
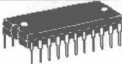






图 2-29 用于集成电路成型的硅圆片

8. 封装蓝图

迄今为止，集成电路的封装已经改良了很多，以便增加输入/输出的端口数（如表 2-2 所示）。

表 2-2 方形封装和 I/O 端口数

封 装	定 义	最大的 I/O 数
	双列直插式（DIL）	40
	收缩型双列直插式（SDIL）	100
	小外形外壳封装（SOP）	100
	方形扁平封装（QFP）	250
	球形触点阵列（BGA）	1000
	细距球形触点阵列（FBGA）	3000
	芯片级封装（CSP）	>5000

封装工艺在 I/O 密度方面迅速提升，从早期的双列直插式结构发展到了最终的“芯片级”封装（如图 2-30 所示）。微处理器和微控制器的最通用的封装工艺是球形触点阵列（BGA）工艺和细距球形触点阵列（FBGA）工艺。

集成电路经常通过焊线或焊球连接封装。在第一种情况下，焊线由黄金制成，金属线在焊点和封装引脚之间建立了一条链路。图 2-30 给出了在一个方形扁平封装（QFP）中使用焊线连接封装的例子。

当集成电路的复杂性保持增长时，一种新型的链路被发明出来，使得在管芯和封装之间仅需一步就可以建立所有的连接。这种技术就是球形触点阵列，是几年前提出来的，现在已经普遍用于集成电路，它拥有 200 多个引脚。

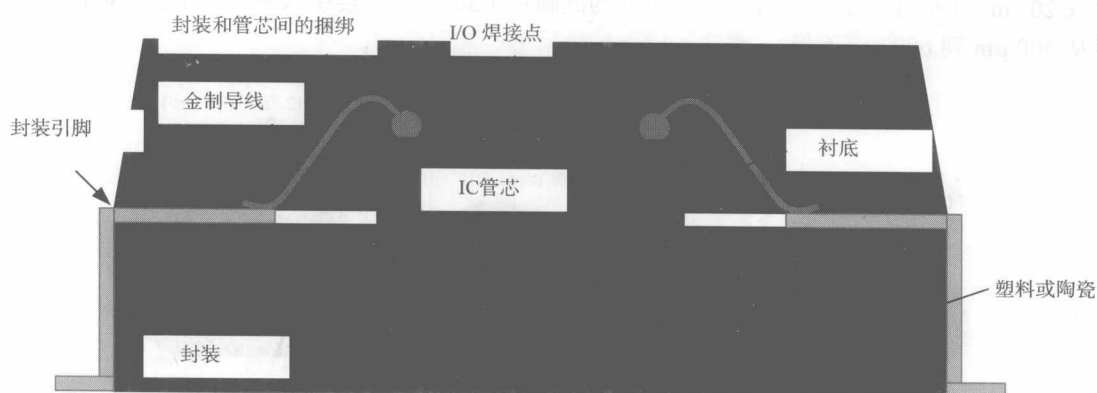


图 2-30 方形扁平封装（QFP）的结构

图 2-31 给出了集成电路和球形触点阵列的横切面的例子。集成电路的晶粒是倒装芯片，并通过小的焊接球连接到特定的封装上。封装被用做 IC 焊接点（引脚间距接近 $100\ \mu\text{m}$ ）到球形触点阵列（间距在 $500\ \mu\text{m} \sim 2\ \text{mm}$ 之间）的路由矩阵。封装是一个非常薄的嵌入到绝缘体中的铜导线的错综复杂的网络。为了达到通用信号的路由选择和电源分布的要求，球形触点阵列（BGA）的衬底可能包含 2~6 个金属层。就寄生辐射而言，发展趋势是通过减少导线长度来减少封装的天线效应，从而降低寄生辐射。此外，引线尺寸的减小也将减少设备入射波的耦合，从而可提高集成电路对射频干扰的抗扰度。不同封装工艺 IC 敏感度的分析与研究（Sketoe, 2000）已经证实了这种全球性的发展趋势。

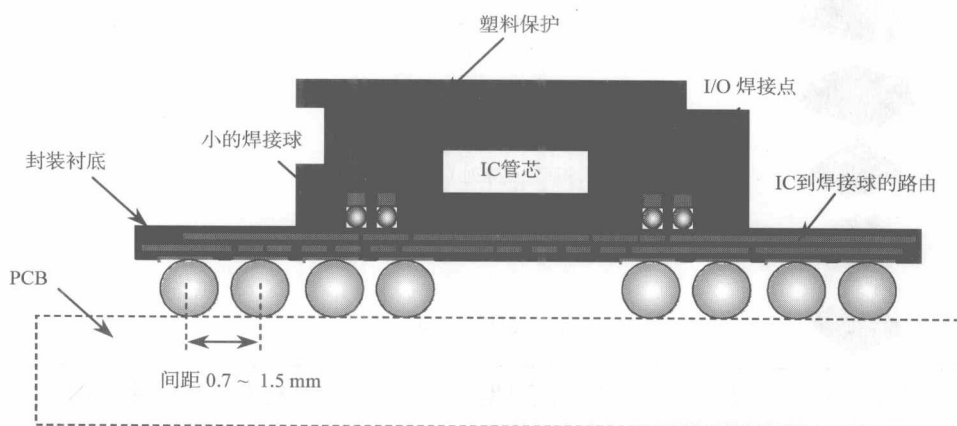


图 2-31 使用焊接球把管芯附在封装上，封装再通过焊球连接到印制电路板上（BGA）

如图 2-32 所示，在芯片级封装（CSP）中，芯片到印制板电路之间采用直接连接，没有任何中间的基片。管芯是倒装的，通过焊球连接到电路板上。印制电路板中的路由限制是非常严格的，这是因为焊接球的间距可能小到 $200\ \mu\text{m}$ 。此时不再有天线效应，与以前的封装工艺相比，这样的封装的骚扰和敏感度都将非常低。但是对于频率高于 GHz 的信号而言，管芯本身就可能担当接线天线的作用。

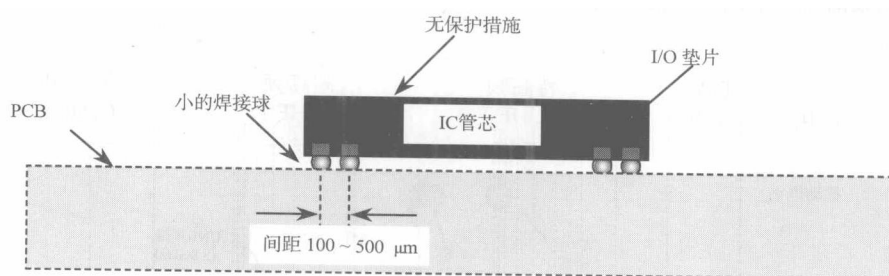


图 2-32 芯片级封装原理

缩减电子设备的表面的趋势是在单个封装中堆栈集成电路，称为系统封装。这种技术的好处主要是能够得到一个更加紧凑的系统，但因此也要求更加复杂的组装，需要更高的可靠性和散热性。

图 2-33 给出了一个叠层集成电路的例子。当处理器、存储器、功率管理、激励器、传感器和射频元器件同时运行时，叠层集成电路是非常有吸引力的。

由于成本和可靠性的原因，不同集成电路的堆栈可能倾向于使用一个单独的全部集成的解决方案。在 EMC 方面，当进攻者和它的受害者处于小于 1 mm 的相互间距时，系统封装增加了潜在的近场发射和敏感度的问题。此时的耦合可能会非常强烈，并且还会产生不同的寄生影响（如电容耦合和电感耦合）。

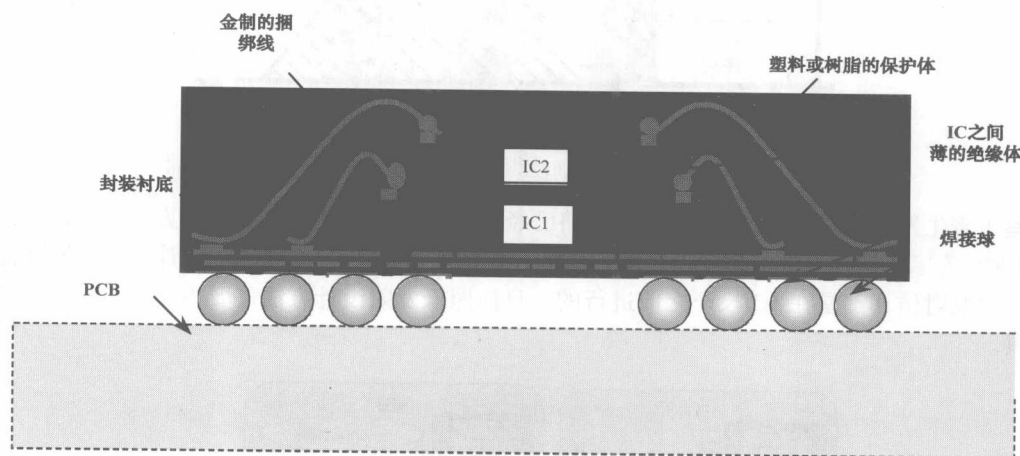


图 2-33 相同封装中两个不同芯片的堆栈

9. EMC 问题

在对集成电路 EMC 性能的要求方面，必须一方面满足半导体厂商和用户的需求，另一方面符合工艺的发展趋势。

现代无线通信设备运行的频率范围为 30 ~ 300 MHz 的甚高频 (VHF)、300 MHz ~ 3 GHz 的特高频 (UHF)、3 ~ 30 GHz 的超高频 (SHF)。移动电话和无线网络是射频集成电路应用的驱动器，如图 2-34 所示。

发射的频谱与运行的时钟频率有很大的关联，且其趋势是向更高的频率变化。IC 运行的时钟频率（对早期的 16 位的处理器来说大约为 10 MHz）现在已经接近 1 GHz，预计以后的扩展频率将远超过 GHz。

寄生发射的频谱可能干扰几个临界频带，如 FM 无线广播、移动电话或类似蓝牙的局部无线协议（如图 2-35 所示）。

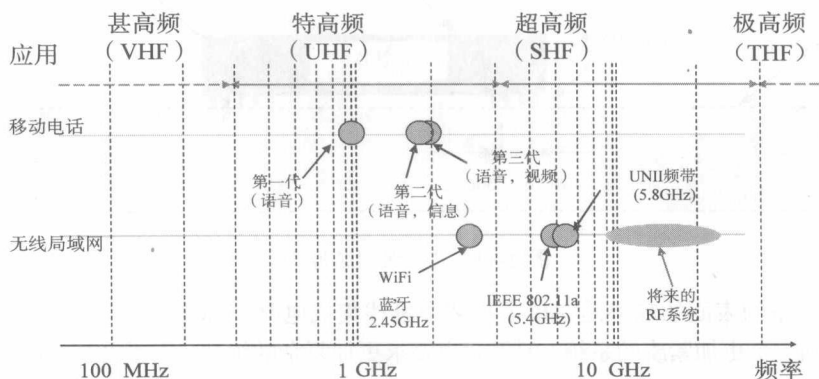


图 2-34 移动电话和 WLAN 系统在不同频率中的应用

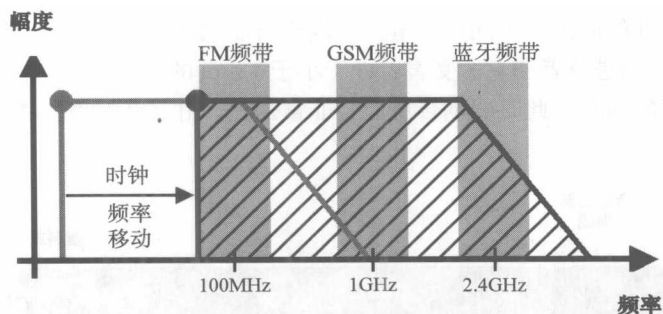


图 2-35 运行时钟频率的增加使得寄生发射能够达到一些临界频带

鉴于寄生发射等级的评估，一旦集成电路已经装配好，那么传统的 IC 设计方法将不再适应，因为在 EMC 专家的帮助下经常需要重新设计（如图 2-36 所示）。但是在早期的设计阶段，包括缩图技术和寄生发射仿真都是在 IC 投产之前进行的，且按照低发射设计方法需要不同的 IC 模型和足够的工具。

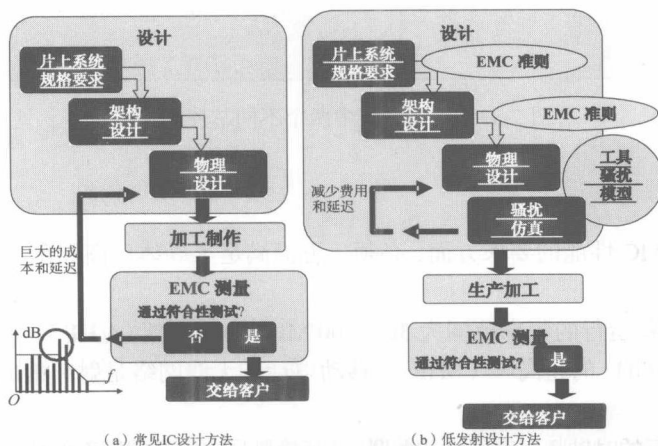


图 2-36 常规 IC 设计方法和低发射设计方法

由于低寄生发射是选择集成电路的一个重要商业参数,所以最近提出了几种在芯片级减少寄生发射的方法。这些不同的设计策略已经被证实能够使微控制器的寄生发射减少几个 dB。图 2-37 给出了将两个不同 IC 厂商的两脚兼容的 IC 安装在相同的测试板和在相同的实验平台进行测量的对比情况,可以看出它们有着明显的差异。

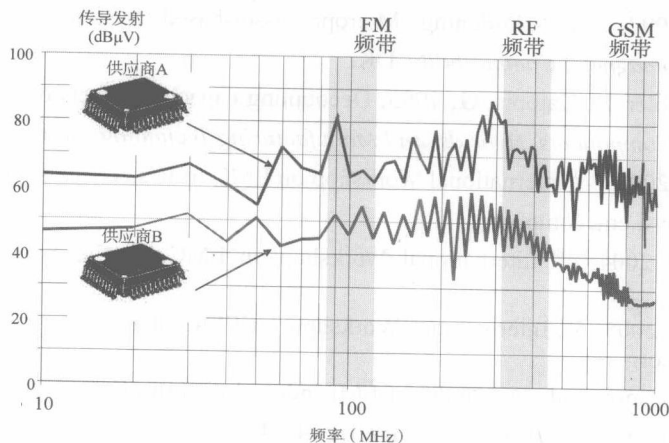


图 2-37 两个不同厂商的 IC 在寄生发射方面有显著的差异

本书第 7 章讲述了一些有效的设计方法,包括片上去耦电容、限制电流的扼流电阻器和电源网络优化。在靠近主电源(CPU, 时钟驱动器, PLLs)的附近分布一些去耦电容,与在供电线路上串联限流电阻器结合,可使峰值谐波减少 10 ~ 20 dB。减少寄生发射的其他方法是通过使用低漂移时钟信号或异步设计方法来实现的。

10. 总结

由于人们对 IC 的低发射和高抗扰度要求越来越高,故 EMC 的测量方法已经标准化,IC 的 EMC 设计准则也已经被提出来了,之后还开发出了 EMC 预测工具(1970 年就开始了相关的研究)。由于人们的需求正向更复杂电路、更高时钟速率和更低电源电压的方向发展,故希望将来在集成电路 EMC 领域的研究仍会继续保持活跃的发展态势。

11. 参考文献

- [1] Bakoglu, H., 1990, *Circuit, Interconnections And Packaging For VLSI*, MA: Addison-Wesley, ISBN 0-201-06008-6.
- [2] Ben Dhia, S., Baffreau, S., Calvet, S., Sicard, E., 2002, Characterization of micro-controller electromagnetic emission: models for an international standard, *IEEE International Caracas Conference on Devices, Circuits and Systems*, 301-308.
- [3] Bersier, R., 1981, Measurement of the Immunity of TV-Receiver to AM, RF-Fields in the 3 to 30 MHz Range, Including the Influence of Connected Cables, *EMC Symposium, Zurich*.
- [4] Campbell, D., 1998, Defensive Software Programming with Embedded Microcontrollers, *IEEE Colloquium on Electromagnetic Compatibility of Software*, Birmingham.
- [5] Chappel, J. F., Safwat, G., 1997, EMI Effects and Timing Design for Increased Reliability in Digital

- Systems, *IEEE Transactions on Circuits and Systems*, 44(2).
- [6] Chen, H.H., Neely, J.S., 1998, Interconnect and circuit modeling techniques for full-chip power supply noise analysis, *IEEE Transactions on Components, Packaging, and Manufacturing Technology*, 21(3): 209-215.
- [7] Coulson DR, 1997, EMC-Hardening Microprocessor-based Systems, *IEEE Colloquium on Achieving Electromagnetic Compatibility*, UK.
- [8] Downing, R., Gebler, P., Katopis, G., 1993, Decoupling capacitor effects on switching noise, *IEEE Transactions on Components, Hybrids, and Manufacturing Technology*, 16(5): 484-489.
- [9] Emc Compo 02, 2002, 3rd International Workshop on EMC of ICs, Toulouse, France, June 02, more information at www.emccompo.org.
- [10] Emc Compo 04, 2004, 4th International Workshop on EMC of ICs, Angers, France, April 04, www.emccompo.org.
- [11] Emc Compo 05, 2005, 5th International Workshop on EMC of ICs, Munich, Germany, Nov. 05, www.emccompo.org.
- [12] Fiori, F., 2002, A new nonlinear model of EMI-induced distortion phenomena in feedback CMOS operational amplifier, *IEEE Transaction on EMC*, 44(4):521-527.
- [13] Fiori, F., Musolino, F., 2003, Comparison of IC Conducted Emission Measurement Methods, *IEEE transaction on instrumentation and measurement*, 52(3).
- [14] Furber, S.B., Garside, J.D., Riocreux, P., Temple, S., Day, P., Jianwei L., Paver, N.C., 1999, AMULET2e: an asynchronous embedded controller, *Proceedings of the IEEE*, 87(2): 243-256.
- [15] Graffi, S., Masetti, G., Golzio, D., 1991, New macromodels and measurements for the analysis of EMI effects in 741 op-amp circuits, *IEEE Transactions on Electromagnetic Compatibility*, 33(1): 25-34.
- [16] Goodman, T.W., Fujita, H., Murakami, Y., Murphy, A.T., 1995, High speed electrical characterization and simulation of a pin grid array package, *IEEE Transactions on Components, Hybrids, and Manufacturing Technology*, 18(1): 163-167.
- [17] Hardin, K.B., Fessler, J.T., Bush, D.R., 1994, Spread spectrum clock generation for the reduction of radiated emissions, *IEEE International Symposium on EMC*, 227-231.
- [18] Hattori, Y., Kato, T., Hayashi, H., Tadano, H., Nagase, H., 1998, Harmonic balance simulation of RF injection effects in analog circuits, *IEEE Transactions on Electromagnetic Compatibility*, 40(2):120-126.
- [19] Hayashi, S., Yamada, M., 2000, EMI-noise analysis under ASIC design environment, *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 19(11): 1337-1346.
- [20] Jonghoon, K., Hyungsoo, K., Woonghwan, R., Joungho, K., Young-Hwan, Y., Soo-Hyung, K., Seog-Heon, H., Hyeong-Keon, A., Yong-Hee, L., 1998, Effects of on-chip and off-chip decoupling capacitors on electromagnetic radiated emission, 48th *IEEE Electronic Components and Technology Conference*, 610-614.
- [21] Kenneally, D.J., Wilson, D.D., Epshtein, S., 1990, RF upset susceptibilities of CMOS and low power Schottky 4-bit magnitude comparators, *IEEE International Symposium on Electromagnetic Compatibility*, 671-677.

- [22] Larson, C. E., Roe, J. M., 1979, A modified Ebers-Moll transistor model for RF-interference analysis, *IEEE Transaction on Electromagnetic Compatibility*, 21: 283-290.
- [23] Laurin, J.-J., Zaky, S.G., Balmain, K.G., 1991, EMI-induced failures in crystal oscillators, *IEEE Transactions on Electromagnetic Compatibility*, 33(4): 334-342.
- [24] Laurin, J.-J., Zaky, S.G., Balmain, K.G., 1995, On the prediction of digital circuit susceptibility to radiated EMI, *IEEE Transactions on Electromagnetic Compatibility*, 37(4):528-535.
- [25] Lin F, 1994, Reduction of power supply EMI emission by switching frequency modulation, *IEEE Transactions on Power Electronics*, 9(1): 132-137.
- [26] Lochot, C., Levant, J.-L., 2003, ICEM: a new standard for EMC of IC definition and examples, *IEEE International Symposium on Electromagnetic Compatibility*, 892-897.
- [27] Lu, D. J, 1982, Watchdog Processor and Structural Integrity Checking, *IEEE Transactions on Computers*, 31(7): 681-685.
- [28] Lubineau, M., Sicard, E., Huet, C., Pourtau, J.C., Ollitrault, S., Marot, C., 1999, On the measurement of EMC in integrated circuits, *13th International EMC Symposium*, Zurich, 649-652.
- [29] McCredie, B.D., Becker, W.D., 1996, Modeling, measurement, and simulation of simultaneous switching noise, Part B: Advanced Packaging, *IEEE Transactions on Components, Packaging, and Manufacturing Technology*, 19(3): 461-472.
- [30] Moore, G. E., 1965, Cramming more components onto integrated circuits, *Electronics*, 38 (8).
- [31] Ong, H.L.R, Pont, M.J. and Peasgood, W., 2001, Do software-based techniques increase the reliability of embedded applications in the presence of EMI? *Microprocessors and Microsystems*, 24(10): 481-491.
- [32] Roach, J. N., 1981, The susceptibility of 1 K NMOS memory to conducted electromagnetic interference, *IEEE International Electromagnetic Compatibility Symposium*, Boulder, CO, 85-90.
- [33] Robinson, M.P., Benson, T.M., Christopoulos, C., Dawson, J.F., Ganley, M.D., Marvin, A.C., Porter, S.J., Thomas, D.W.P., and Turner, J.D., 1998, Effect of logic family on radiated emissions from digital circuits, *IEEE Transactions on Electromagnetic Compatibility*, 40(3): 288-293.
- [34] Robinson, M. P., Fischer, K., Flintoft, I. D., Marvin, A. C., 2003, A simple model of EMI-induced timing jitter in digital circuits, its statistical distribution and its effect on circuit performance, *IEEE Transactions on Electromagnetic Compatibility*, 45(3): 513-519.
- [35] Sedore, S R., 1967a, Automated digital computer program for determining responses of electronic circuits to transient nuclear radiation (SCEPTRE), AFWL TR 66-126, *Air Force Weapons Laboratory*.
- [36] Sedore, S R., 1967b, SCEPTRE: A Program for Automatic Network Analysis, *IBM Journal of research and development*, 11(6): 627-629.
- [37] Sketoe, J.G., 2000, Integrated Circuit Electromagnetic Immunity Handbook, NASA/CR-2000-210017, *NASA Marshall Space Flight Center, AL 35812*, 64, <http://see.msfc.nasa.gov>.
- [38] Sicard, E., Ross, B., Carlton, R., Lochot, C., Perdriau, R., Steinecke, T., Ostermann, T, 2004, EMC of ICs, *special issue in Microelectronics Journal*, 35(6).

- [39] Slattery, K., Muccioli, J.P., North, T., 1997, Characterization of the RF emissions from a family of microprocessors using a 1GHz TEM cell, *IEEE EMC symposium*, Austin.
- [40] Slattery, K. P., Neal, J., Cui, W., 1999, Near-field Measurements of VLSI devices, *IEEE Transaction on EMC*, 41(4): 374-384.
- [41] Soo-Hyung, K., Seung-Bae, L., Kyung-Il, O., Chae-Bog, R., Kyoung-Sik, M., Ho-Gyu, Y., Tak-Jin, M., 2000, Reduction of radiated emissions from semiconductor by using absorbent materials, *IEEE International Symposium on Electromagnetic Compatibility*.
- [42] Sparso, J., Furbe, S., 2001, *Principles of Asynchronous Circuit Design, a Systems Perspective*, Kluwer Academic Publishers, Boston, ISBN 0-7923-7613-7.
- [43] Steinecke, T., 2000, Experimental characterization of switching noise and signal integrity in deep submicron integrated circuits, *IEEE International Symposium on Electromagnetic Compatibility*.
- [44] Stone, W. R., 2003, *Review of Radio Science: 1999-2002*, IEEE Editor, ISBN 0-4712-6866-6.
- [45] Tang, H.K., 1993, EMI-induced failure in microprocessor-based counting, *Microprocessors and Microsystems*, 17(4): 248-252.
- [46] Tront, J. G., 1985, Predicting RFI upset of MOSFET digital IC's, *IEEE Transaction on Electromagnetic Compatibility*, 27: 64-69.
- [47] Van Hauwermeiren, L., Herreman, M., Botte, M., De Zutter, D., 1992, Characterization and modeling of packages by a time-domain reflectometry approach, *IEEE Transactions on Components, Hybrids, and Manufacturing Technology*, 15(4): 478-482.
- [48] Van Wershoven, L., 2000, Characterization of an EMC test-chip, *IEEE International Symposium on Electromagnetic Compatibility*, 117-121.
- [49] Weston, D. A., Dekker, M., 1991, *Electromagnetic Compatibility: Principles and Applications* <Editor>.
- [50] Whalen, J., 1975, The RF Pulse Susceptibility of UHF Transistors, *IEEE Transaction on Electromagnetic Compatibility*, 17: 220-225.
- [51] Whalen, J., 1979, Predicting RFI Effects in Semiconductor Devices at Frequencies Above 100 MHz, *IEEE Transaction on Electromagnetic Compatibility*, 21: 281-282.
- [52] Wooley, B.A., Pederson, D.O., 1971, A computer-aided evaluation of the 741 amplifier, *IEEE Journal of Solid-State Circuits*, 6(6): 357-366.

12. 参考标准

- [1] SAE 1752/3, 1995, Electromagnetic Compatibility measurement procedures for integrated circuits radiated emission measurements, 150 kHz to 1 GHz, TEM Cell, *Society of Automotive Engineers*, www.sae.org, 1995.
- [2] MIL-STD 461, 1967, Electromagnetic interference characteristics requirements for equipments, *Military standard*, USA.
- [3] MIL-STD 462, 1970, Measurement of electromagnetic interference, *Military standard*, USA.
- [4] International Electro-technical Commission IEC 61967, 2001, Integrated Circuits, measurements of conducted and radiated electromagnetic emission, IEC standard, www.iec.ch.

-
- [5] Ibis, 2003, more information at <http://www.eigroup.org/ibis/ibis.htm>.
 - [6] Standard of Japan Electronics and Information Technology Industries Association, AJ ED-5302, Standard for I/O Interface Model for Integrated Circuits, can be downloaded from <http://tsc.jeita.or.jp/eds/IOPG.htm>.
 - [7] International Electro-technical Commission IEC 62132, 2002, Integrated circuits, measurements of susceptibility, IEC standard, www.iec.ch.
 - [8] International Electro-technical Commission IEC 62014-3, 2002, Models of integrated circuits for EMI behavioral simulation, IEC standard, www.iec.ch.
 - [9] International Electro-technical Commission IEC 62404, 2003, I/O interface model for integrated circuits (IMIC), IEC standard, www.iec.ch.

第3章 基础和理论——EMC 现象的数学背景

摘要：本章分五个部分阐述了 EMC 的基础和理论，旨在为读者提供 EMC 领域的一些基本的、易于理解的、有用的知识。第一部分主要介绍电磁辐射的基本理论（电偶极子、磁场环路、近场及远场近似）；第二部分引入傅里叶变换及频域内有用的单位（dB、dBm 等）；第三部分介绍传输线理论；第四部分讲述高频时的 RLC 无源器件和互连线的模型；第五部分介绍 S 参数的定义。

关键词：电磁辐射；傅里叶；传输线； S 参数；无源器件；趋肤效应；互连线

1. 基本电磁场理论

这部分将简短描述电磁辐射的基本理论。在任何电路中，只要有电流流过各种形状的导线就会产生电场和磁场的辐射。根据下面的 1.2 节给出的分析公式，可知这种辐射类似于由短的电偶极子的集合产生的辐射，而这种电偶极子包括两个电场和一个磁场分量。

首先，假设这种电路为一个小的环路，其上有均匀的电流流过，利用下面的 1.3 节的简化公式可以计算出电磁场辐射的值。然后根据接收机位置的不同，可以分别计算近场和远场的辐射。此外，从这些电路中辐射出的电磁波携带有电磁功率，这种功率可以用复数值来表示。随着距离变远，电磁功率中的无功功率会消失，但有功功率会在以发射源为中心的球面面积内保持不变。有功功率的大小与辐射电阻有关。

1.1 电磁辐射的物理概念

如图 3-1 所示的电路中有一个与导线和一些负载相连的连续波发生器，其产生的电流 $I(l, t)$ 沿着导线传播，并取决于时间 t 和位置 l 。

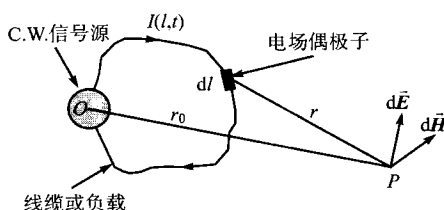


图 3-1 任意形状电路的电磁辐射相关参数

考虑到对时域谐波的依赖性，这种电流可以用下式表示为

$$I(l, t) = I(l) e^{j\omega t} \quad (3-1)$$

该式中的 $I(l)$ 所对应的复函数表达式取决于位置 l 和角频率 ω ，其中，

$$\omega = 2\pi f \quad (3-2)$$

根据一般的电磁场理论，从电路中辐射出来的电场 \vec{E} 和磁场 \vec{H} 可以表示成基本场源 $d\vec{E}$ 和 $d\vec{H}$ 的两个积分形式 [见式 (3-3)]，式中无限小的导线长度 dl 叫做电偶极子或 Hertzian 偶极子。

$$\vec{E} = \oint_L \vec{dE} \quad , \quad \vec{H} = \oint_L \vec{dH} \quad (3-3)$$

在上述表达式中, 参数 L 表示整个导线的长度。一般来说, 积分的计算 [式 (3-3)] 只能通过数值的方法来实现。然而, 如果接收机的位置 r 相对于导线或波长来说很小, 则这些积分也可以用分析的方法来计算。

1.2 电偶极子的计算公式

在如图 3-2 所示的球面坐标系中, 给定长度的电偶极子会产生一个磁场分量 dH_ϕ 和两个电场分量 dE_r 和 dE_θ 。在这种条件下, 距离 r 相对于偶极子长度 dl 而言较大, 从电磁场理论可推导出 dH_ϕ 、 dE_r 和 dE_θ 的表达式为

$$dH_\phi = \frac{I dl \sin \theta}{4\pi r^2} (1 + \gamma r) e^{-\gamma r} \quad (3-4)$$

$$dE_r = \frac{I dl}{4\pi j \omega \epsilon_0} \frac{2 \cos \theta}{r^3} (1 + \gamma r) e^{-\gamma r} \quad (3-5)$$

$$dE_\theta = \frac{I dl}{4\pi j \omega \epsilon_0} \frac{\sin \theta}{r^3} [1 + \gamma r + (\gamma r)^2] e^{-\gamma r} \quad (3-6)$$

在这些方程式中, γ 对应于自由场中电磁波的行波常数, 它与波数 k 、真空光速 c 和波长 λ 有关, 即

$$\gamma = jk = j \frac{\omega}{c} = j \frac{2\pi}{\lambda} \quad (3-7)$$

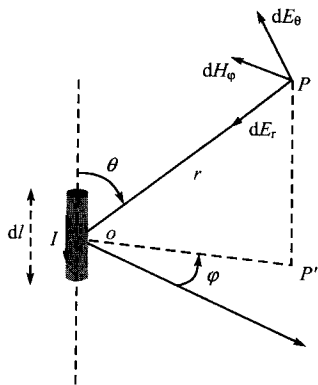


图 3-2 流过电偶极子 (或 “Hertzian” 偶极子) 的细导线的均匀分布的电流产生的电磁场辐射分量的示意图

1.3 磁场环的辐射

下面以直径 D 小于波长的环形导线为例, 首先可认为沿着导线的电流是均匀的, 然后可用分析的方法求得积分 [式 (3-3)]。球面电磁场辐射分量如图 3-3 所示。实际上, 假设接收点 P 的位置 r 相对于波长或远或近时, 可采用串联扩展或渐进线约束推导出近场近似和远场近似。

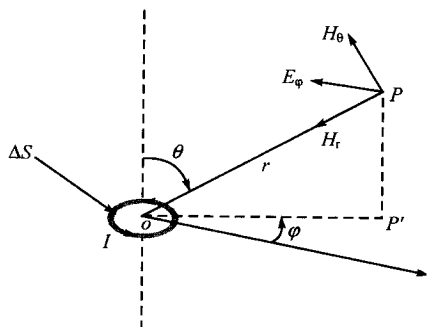


图 3-3 沿着小环路 (磁偶极子) 的非均匀分布的电流产生的电磁场辐射分量示意图

1.3.1 近场近似

假设观测点的距离 r 与环路直径相比较, 则近场公式可以写成

$$\lambda \gg r \rightarrow H_r \approx \frac{m}{4\pi} \frac{2 \cos \theta}{r^3} \quad (3-8)$$

$$\lambda \gg r \rightarrow H_\theta \approx \frac{m}{4\pi} \frac{\sin \theta}{r^3} \quad (3-9)$$

在上述公式中, 参数 m 表示磁矩, 它可以表示成电流 I 和环路表面积 ΔS 之积, 即

$$m = I \Delta S \quad (3-10)$$

通过式 (3-8) 和式 (3-9), 可得到磁场的准静态近似。

然而, 输入电流 I 的时间相关性会导致电场分量与磁场分量正交, 并使电场分量正比于频率, 其对应的表达式为

$$E_{\phi} \cong j\omega \frac{m\mu_0}{4\pi} \frac{\sin\theta}{r^2} \quad (3-11)$$

值得注意的是电场和衍生磁场的比值等效为一个电抗；它小于真空平面波的阻抗 Z_w (Tesche, 1997), 即有

$$\frac{E_{\phi}}{\sqrt{H_r^2 + H_{\theta}^2}} \cong jZ_w \frac{r}{\lambda} \frac{2\pi\sin\theta}{\sqrt{1+3\cos^2\theta}} \quad (3-12)$$

式中, $Z_w = \sqrt{\frac{\mu_0}{\epsilon_0}}$ 。

1.3.2 远场近似

远离环路, 则辐射磁场分量 H_r 消失, 且按照远场近似公式 (3-13) 和公式 (3-14) 可知只剩下了 H_{θ} , E_{ϕ} :

$$\lambda \ll r \rightarrow H_r \cong 0, H_{\theta} \cong \omega^2 \frac{I\Delta S}{4\pi c^2} \frac{e^{-\gamma r}}{r} \sin\theta \quad (3-13)$$

$$\lambda \ll r \rightarrow E_{\phi} \cong \omega^2 \frac{Z_w I\Delta S}{4\pi c^2} \frac{e^{-\gamma r}}{r} \sin\theta \quad (3-14)$$

值得注意的是: 磁场和电场的幅度反比于接收机的距离 r ; 在自由空间中传播所引入的相位延迟取决于距离 r 和波长的比值。此外, 上述表达式还说明了场幅度会随着频率的平方而增加。

1.4 辐射功率

根据电磁场理论知电路的辐射功率可以由通过球面的玻印亭矢量 \vec{P} 的通量来表示, 即

$$\vec{P} = \vec{E} \wedge \vec{H}^* \rightarrow W_r = \oint_{\text{球面}} \vec{P} \cdot \frac{\vec{r}}{r} dS \quad (3-15)$$

式中的星号表示磁场复数矢量的共轭幅度。

根据之前的理论可知, 近场分量的功率传导是纯虚数, 它随着接收机距离的增加而消失。相反地, 远场辐射功率是纯实数, 它随着自由场距离的增加保持不变。从式 (3-13) 和式 (3-14) 可知, 远场辐射的功率值可以通过下式来计算, 即

$$\lambda \ll r \rightarrow W_r \cong 2\pi Z_w \left(\frac{\omega^2 I\Delta S}{4\pi c^2} \right)^2 \int_0^{\pi} (\sin\theta)^3 d\theta \quad (3-16)$$

这个积分用分析的方法很容易求解, 并且它与辐射电阻 R_r 有关, 这个电阻类似于电流 I 反馈的等效电阻, 其耗散功率严格等于 W_r 。对于上述的磁环, 可以得到

$$W_r = R_r I^2 \rightarrow R_r = Z_w \frac{\pi}{2} \left(\frac{\Delta S}{\lambda} \right)^2 \quad (3-17)$$

对于工作频率在 1 GHz 附近, 电流反馈直径为 3 cm 的环, 由式 (3-17) 推导出 $R_r \cong 3\text{ m}\Omega$; 因此, 在该频率下, 电流为 100 mA 时, 环路发射功率 $W_r \cong 60\text{ }\mu\text{W}$ 。

从以上分析可知, 这种辐射功率与感应功率和电路线路损耗相比非常小。然而, 在高频范围内, 当环路发生谐振现象时, 这种辐射电阻将显著增大。此外, 对于相对于接收机距离 r 来说的小尺寸环路, 式 (3-8)、式 (3-9) 和式 (3-13)、式 (3-14) 类似, 且对任何环路都有效。

1.5 讨论

PCB (印制电路板) 上电磁辐射的计算可以借助上述基本理论来完成。然而, 采用上述方法的前提是 PCB 上线路的电流分布都已知。为了解决这个问题, 可以将金属地平面上的线路看做一条传输线。依照传输线两端所连接的电压源和负载的边界条件, 这种电流分布可以从电报方程中提取出来。另外一种解决方法是通过一般的电路仿真器来求解集总器件, 但是此时必须要考虑元器件级的非线性效应。

2. 傅里叶分析

集成电路寄生辐射的仿真通常在时域内进行, 且一般采用的是模拟工具, 如 WinSPICE (Winspice)。但是更合适的测量方法是采用频谱仪而不是示波器, 因为频谱仪有着更高的灵敏度。通常可用傅里叶变换的方法来实现从时域到频域的转换。

大多数软件都是通过计算时域采样的傅里叶序列来提取其频域分量的。时域和频域变换的基本数学公式为式 (3-18), 它描述了任何一个周期为 T 的函数 $x(t)$ 可以由无穷个正弦和余弦分量的组合构成。

$$x(t) = \sum_{n=0}^{\infty} (a_n \cos 2\pi n \frac{t}{T} + b_n \sin 2\pi n \frac{t}{T}) \quad (3-18)$$

式中

$$a_n = \frac{2}{T} \int_0^T x(t) \cos(2\pi n \frac{t}{T}) dt \quad (3-19)$$

$$b_n = \frac{2}{T} \int_0^T x(t) \sin(2\pi n \frac{t}{T}) dt \quad (3-20)$$

式中, a_n 和 b_n 为傅里叶级数的系数, 其计算量相当大, 这是因为其计算全部是基于正弦和余弦的积分和乘法进行的, 参见式 (3-19) 和式 (3-20)。 a_n 和 b_n 的模为 C_n , 即有

$$C_n = \sqrt{a_n^2 + b_n^2} \quad (3-21)$$

有一种叫做“快速傅里叶变换”(FFT)的算法, 它使得从时域到频域的转换速度比直接应用式 (3-18) ~ 式 (3-20) 更快。实现 FFT 算法的工具 IC-EMC 的主要缺点是 $x(t)$ 采样点的数目限制为了 2 的 n 次方。在默认情况下, 实现 FFT 的采样点为 1024 (2^{10}), 如图 3-4 所示。

如图 3-5 所示的例子为一个 16 位微处理器电源地引脚的传导辐射的仿真结果。波形的频谱分析如图 3-6 所示。其水平轴代表频率, 垂直轴代表由式 (3-21) 给出的 C_n 值。幅度的高峰值等同于一个大的 C_n 值, 或者在对应频率处的正弦或余弦的大的幅值。

这种表示方法的主要问题是由于频率和幅度采用线性坐标轴, 则不能清楚地表示小幅度的谐波值。由于大多数辐射程度的约束是用对数坐标来表示的, 则表示频域结果的一般方法是将 X 轴和 Y 轴都用对数刻度表示, 目的是增加可读性和清晰程度。 Y 轴代表的电压一般用 $\text{dB}\mu\text{V}$ 来表示, 参见式 (3-22)。换算表在图 3-7 中已经给出, 其中 $1\mu\text{V}$ 对应 $0\text{dB}\mu\text{V}$, 1mV 对应 $60\text{dB}\mu\text{V}$, 1V 对应 $120\text{dB}\mu\text{V}$ 。

$$V_{\text{dB}\mu\text{V}} = 20 \lg(V \times 10^6) \quad (3-22)$$

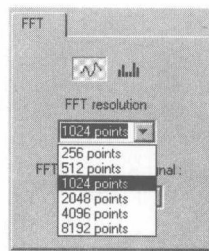


图 3-4 FFT 总是包括 2^n 个采样点

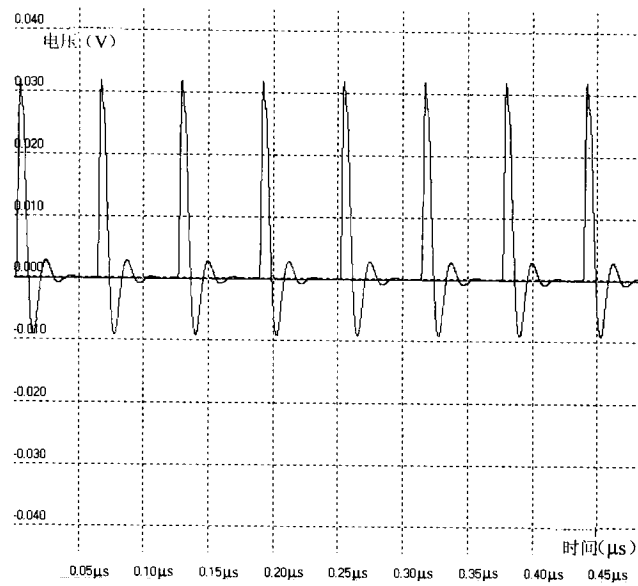


图 3-5 16 位微处理器的传导噪声的时域仿真结果

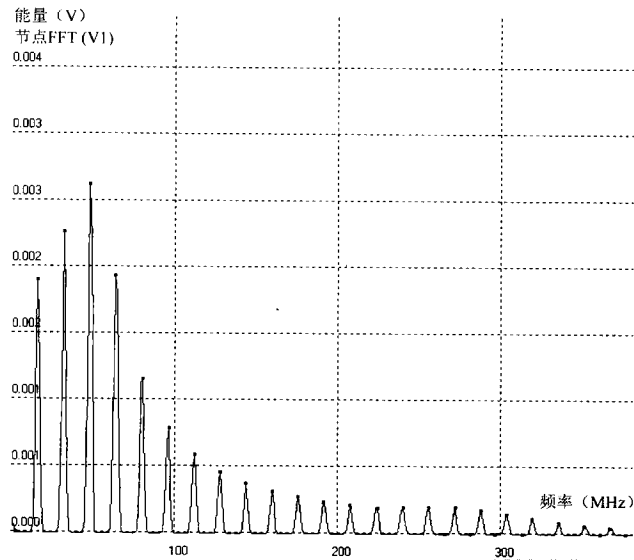


图 3-6 线性刻度的传导噪声的傅里叶变换

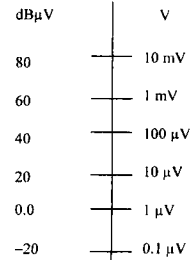


图 3-7 V 和 dB μ V 的对应关系

将图 3-6 中所描述的传导辐射的例子重新画成对数坐标的形式后如图 3-8 所示, 采用 dB μ V 为单位。

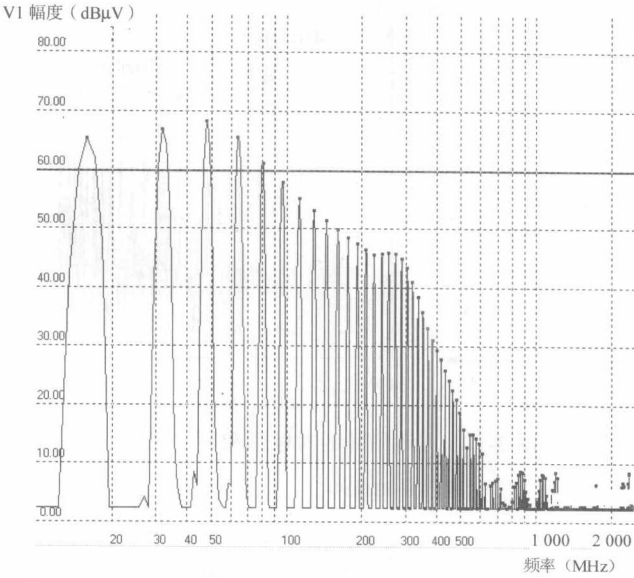


图 3-8 双对数坐标下的频谱（采用 dB μ V）

图（3-9）~图（3-13）描述了各种类型的信号的时域图和频谱图（纯正弦波、方波、三角波和受脉冲调制的正弦波）。

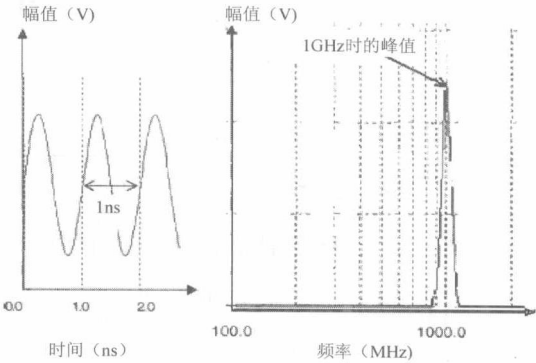


图 3-9 1 GHz 纯正弦波信号的时域图和频谱图

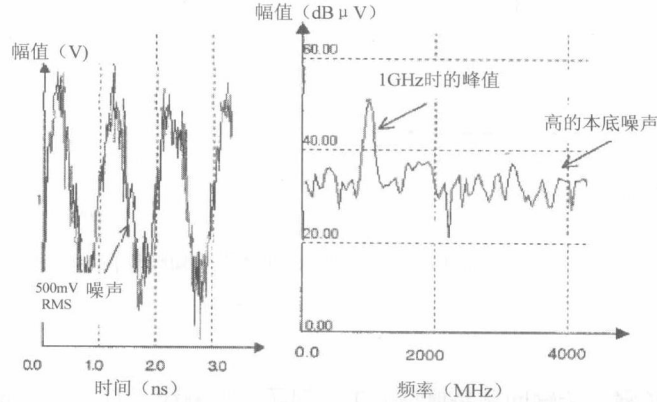


图 3-10 1 GHz 带有噪声的正弦波信号的时域图和频谱图

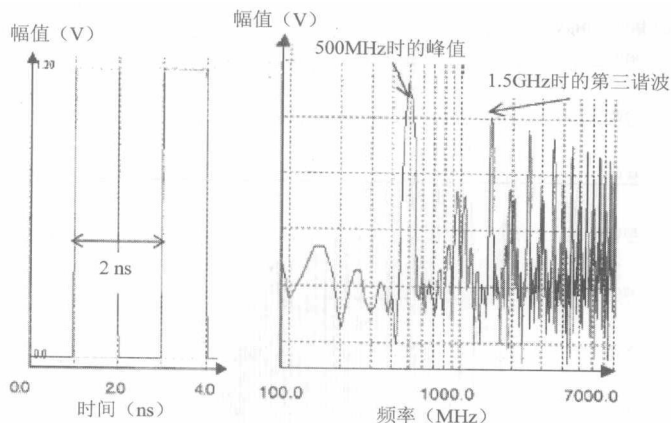


图 3-11 方波信号的时域图和频谱图

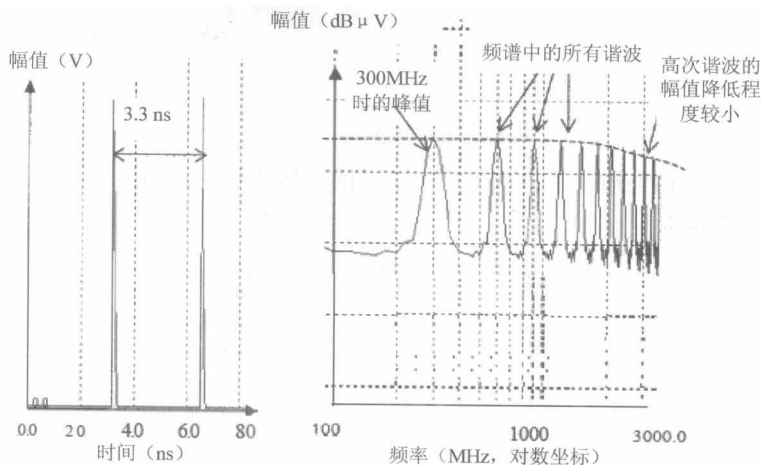


图 3-12 三角波信号的时域图和频谱图

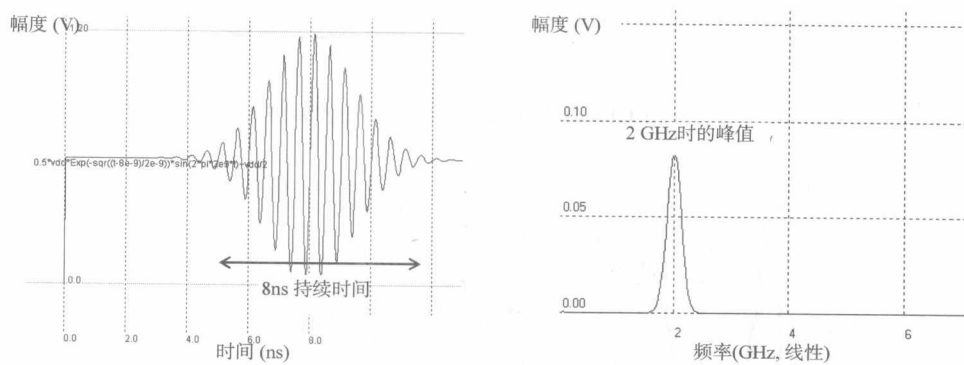


图 3-13 脉冲调制的正弦波的时域图和频谱图

3. 传输线

信号从发生器到负载的传输问题是典型的工程问题。传输线 (TL 或 t-line) 就是在发生器和负载之间提供直接连接的电路中的一部分。

传输线理论是一种在电路理论和全域分析之间起桥梁作用的工具。传输线的尺寸从几分之一一个波长到多个波长不等。然而，在电路分析中，网络的物理尺寸比波长要小很多。传输线被认为是一种分布式参数网络，它与由集总参数组成的电路不相同。在这种情况下，传输线中与传播波长相关的电压和电流在通过传输线时的相位和幅度都会发生变化。

3.1 传输线模型

研究信号在传输线中传输的方法有以下两种。

- 麦克斯韦法：传输线被视为一类波导，它的结构和电磁特性都需考虑。在用数学方法描述波的传播时，需要电磁波理论。
- 基尔霍夫法：传输线支持 TEM 波。传输线上的 TEM 波的最重要的特性是电磁场与电压和电流有唯一的对应关系。

因此，可以用电路理论的概念对传输线结构进行分析，将传输线分成许多子段从而使得电路器件的尺寸比一个波长还小，这样一来，传输线可以被描述成：

- 一组单位长度的电阻 R （来自电导）；
- 一组单位长度的电感 L （来自电导之间的互感电感）；
- 单位长度的分流导体 G （来自非理想的绝缘）；
- 单位长度的旁路电容 C （来自电导之间的电容）。

一小段长度为 Δx 的传输线可以用图 3-14 的电路等效。如图 3-15 所示的例子表明了同轴电缆的参数是由它的物理和几何尺寸决定的。

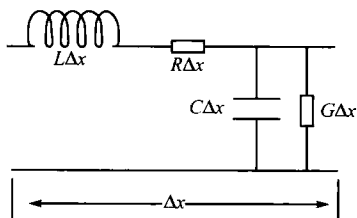


图 3-14 有损耗的传输线的初级分布电路模型

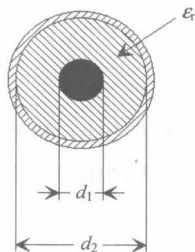


图 3-15 同轴电缆的切面图

图 3-14、图 3-15 中的参数可通过下面几个公式求出：

$$L = \frac{\mu_0}{2\pi} \ln \frac{d_2}{d_1} = 2 \times 10^{-7} \ln \frac{d_2}{d_1} \quad (3-23)$$

$$C = \frac{2\pi\epsilon_0\epsilon_r}{\ln \frac{d_2}{d_1}} = \frac{10^{-9}}{18} \frac{\epsilon_r}{\ln \frac{d_2}{d_1}} \quad (3-24)$$

$$R = \frac{4\rho l}{\pi d_1^2} + R_{\text{ext}} \quad (3-25)$$

$$G = 0 \quad (3-26)$$

3.2 电报方程

一段长度为 Δx 的传输线模型可以表示成如图 3-14 所示的电路，并可以用以下电报方程求解。

$$\frac{\partial v(x,t)}{\partial x} = -Ri(x,t) - L \frac{\partial i(x,t)}{\partial t} \quad (3-27)$$

$$\frac{\partial i(x,t)}{\partial x} = -Gv(x,t) - C \frac{\partial v(x,t)}{\partial t} \quad (3-28)$$

通过第一个方程式对 x 求导, 通过第二个方程式对 t 求导, 并进行数学化简后, 可以得到两个只含有一个未知量的双曲线偏微分方程式, 即

$$\frac{\partial^2 v}{\partial x^2} = RGv + (RC + LG) \frac{\partial v}{\partial t} + LC \frac{\partial^2 v}{\partial t^2} \quad (3-29)$$

$$\frac{\partial^2 i}{\partial x^2} = RGi + (RC + LG) \frac{\partial i}{\partial t} + LC \frac{\partial^2 i}{\partial t^2} \quad (3-30)$$

如果是无损耗的传输线, 则有 $G=R=0$ 。此时上述两个方程式可简化为下列精确的波形方程式:

$$\frac{\partial^2 v}{\partial x^2} = LC \frac{\partial^2 v}{\partial t^2} \quad (3-31)$$

$$\frac{\partial^2 i}{\partial x^2} = LC \frac{\partial^2 i}{\partial t^2} \quad (3-32)$$

3.3 信号在无损耗线路上的传播

式 (3-31) 和式 (3-32) 清楚地表示了信号传输的速度为 v 。 v 的数学式为

$$v = \frac{1}{\sqrt{LC}} = \frac{1}{\sqrt{\epsilon\mu}} \quad (3-33)$$

式中, $\tau = \sqrt{LC}$ 是传输线上的传输延时。

这些波形方程式的解法是将正向波和反相波重叠, 即

$$v(x) = v_1 \exp(-\gamma x) + v_2 \exp(+\gamma x) \quad (3-34)$$

$$i(x) = i_1 \exp(-\gamma x) + i_2 \exp(+\gamma x) \quad (3-35)$$

式中, $\gamma = j\omega\sqrt{LC}$ 在通常情况下是传输常数 ($\gamma = \sqrt{(R + jL\omega)(G + jC\omega)}$)。

就如平面波一样, 式 (3-36) 为特性阻抗, 即电压电流比 (针对正向传输波而言) 的定义式:

$$Z_c = Z_0 = \frac{v_1}{i_1} = \sqrt{\frac{L}{C}} \quad (3-36)$$

而 $Z_c = \sqrt{\frac{R + jL\omega}{G + jC\omega}}$ 是通常情况下的特殊阻抗值。

对传输线而言, 电压反射因素或者反射系数 (负载为 Z_L) 定义为反射电压和入射电压之间的比值, 这个值通常表示为复数形式, 即

$$\Gamma_L = \frac{Z_L - Z_c}{Z_L + Z_c} \quad (3-37)$$

因为最大和最小信号的特定区域不随时间变化, 所以正向行波和反向行波的结合就会产生驻波。驻波的实际形状是负载阻抗的函数。驻波比 (SWR) 的定义为

$$SWR = S = \frac{|v_{\max}|}{|v_{\min}|} = \frac{1 + |\Gamma_L|}{1 - |\Gamma_L|} \quad (3-38)$$

3.4 负载条件

如果 Z_L 是负载阻抗, d 为此负载和输出线所在位置之间的距离, 则很容易论证在此位置的负载 $Z(d)$ 为 (线上无损耗)

$$Z(d) = Z_c \frac{Z_L + jZ_c \tan(\beta d)}{Z_c + jZ_L \tan(\beta d)} \quad (3-39)$$

βl (l 是传输线长) 为传输线电气长度。下列特殊条件是需要考虑的。

(1) 短路线: $Z_L = 0$, 则 $Z_{\text{input}} = jZ_c \tan(\beta l)$

短路电路的负载会将入射电磁波完全反射 (反射系数 $\Gamma_0 = -1$)。对于电压和电流, 当 $V = 0$ 时负载的电流 I 为最大值。

(2) 开路线: $Z_L = \infty$, 则 $Z_{\text{input}} = -jZ_c \cot(\beta l)$

对于开路的负载而言, 阻抗为无穷大 ($Z_L \rightarrow \infty$), 则负载的相应反射系数 $\Gamma_0 = 1$ 。在这种情况下, 负载上的电压为最大值, 而电流 $I = 0$ 。

(3) 匹配线: $Z_L = Z_c$, 则 $Z_{\text{input}} = Z_c$

在这种条件下, 传输线末端的负载阻抗与线上的特性阻抗相等 ($\Gamma_L = 0$)。由于该阻抗与传输线负载接口的阻抗相匹配, 所以微波的所有能量都传输到了负载上。

(4) 四分之一波时, $l = \lambda/4$, 则 $Z_{\text{input}} = Z_c^2/Z_L$

对于一个带有短路负载 ($Z_L = 0$) 的传输线而言, 当其距离短路电路四分之一波长时, 输入阻抗为无穷大。相反, 距离负载四分之一波长的开路线的输入阻抗为零。短路和开路的周期为四分之一一个波长。

3.5 集成电路中的传输线

微带线和带状线是在集成电路设计中主要运用的两类传输线。图 3-16 (EMCLAB) 描述了这几类传输线。

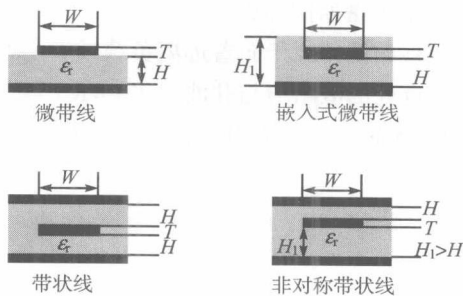


图 3-16 微带线和带状线 (EMCLAB)

微带线广泛运用于微波集成电路中 (混和电路和片上电路)。位于无磁性绝缘衬底上的微带线由一个宽度为 W 和厚度为 T 的导电金属线构成且无磁性绝缘衬底位于导电金属接地面上。衬底厚度为 H , 相对介电常数为 ϵ_r , 第二种介电材料 (空气) 则位于微带线之上。

微带线的主要优势就是它非常适合于 PCB 的制造工艺, 并且因为带状导体暴露在最顶层, 所

以器件很容易封装。

这些传输线的特性阻抗的表达式将在第 5 章中给出。

3.6 史密斯图

首先, 描述负载阻抗为 Z_L 的负载反射系数的式 (3-37) 可以用归一化阻抗 ($z=Z/Z_0$) 化简为下式:

$$\Gamma_L = \frac{z_L - 1}{z_L + 1} \quad \text{或者} \quad z_L = \frac{1 + \Gamma_L}{1 - \Gamma_L} \quad (3-40)$$

在复数 Γ 平面中可以很容易描述恒定电阻 (电导) 和电抗 (电纳) 的圆型轨迹。这些圆被叫做史密斯图, 如图 3-17 所示。

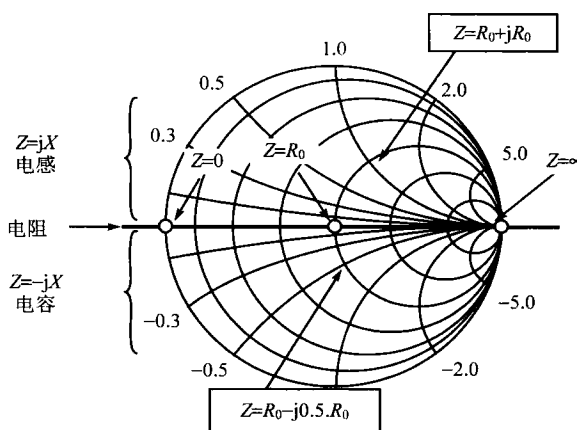


图 3-17 史密斯图

史密斯图具有以下重要特性。

- ① 适用于阻抗和导纳。
- ② 是为归一化阻抗和导纳而定义的。
- ③ 常数反射系数 Γ 的圆位于史密斯图的中央。
- ④ 沿史密斯图顺时针方向移动就相当于向着远离负载或者是朝向发生器的方向移动。
- ⑤ 定圆与实轴正半轴的交点处的电阻值与驻波比 (SWR) 相等。

总之, 实轴代表欧姆电阻, 实轴上方代表电导, 轴的下方代表电容。

4. RLC 表达式

4.1 介绍

本节将介绍在任何电路中都存在的无源器件 (电阻、电容、电导) 和互连线的模型问题。

旧的 ASIC 技术文件使用单一的元件进行建模, 但是对于包括更高频率的电流技术, 却需要更加精确地建模, 所以为了覆盖宽的频率范围必须添加其他器件。

电阻、电容和电感是电子学中最常用的三种无源器件, 用它们可以设计出复杂的无源电路。例

如, 它们可被用来作为器件模型, 这些器件包括 PCB 通路, 封装导线架, 绑定线, 硅连接和电缆。在低频时 (如 100 Hz 以下), 这些无源器件的特性是已知的并且可以用单一的电路器件进行建模。

- R : 就频率而言, 电阻为常量。
- Z_L : 阻抗, $jL\omega$, 以 20 dB/10 倍频的速度增加。
- Z_C : 阻抗, $1/jC\omega$, 以 -20 dB/10 倍频的速度减小。

随着更多新工艺的涌现, 电子器件的时钟频率得到不断增加, 而且频率范围也更加宽泛。因此, 需要将用于传播信号的有用频率带宽提升到 VHF 频带 (30 ~ 300 MHz), UHF 频带 (300 MHz ~ 3 GHz) 或更高的 SHF 频带上 (3 ~ 30 GHz)。在这种情况下, 宽带光谱含量使得一些普通无源器件的寄生元素凸现出来, 同时这些器件的模型也被修改了。最终, 单一的电路器件不能再用来描述无源器件模型和正确预测宽频带范围内的无源器件的行为。

图 3-18 (a) 描述了信号带宽在无源器件模型的定义中是如何起作用的。电阻是由梯形电压发生器 $e(t)$ 馈给的。图 3-18 (b) 描述了时域的主要电参数, 图 3-18 (c) 是频谱包络图。

传输时间 T_R 定义了有效的传输 $e(t)$ 所需要的带宽, T_R 的等式为

$$F_{CI} = 0.35/T_R \quad (3-41)$$

为了估计频域对模型的影响, 可给 $e(t)$ 设定两种不同的电气特性, 即 A 和 B, 如图 3-19 所示。

表 3-1 给出了每个 $e(t)$ 组态下的频率参数。

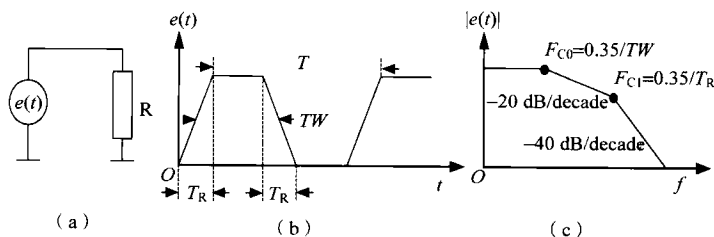


图 3-18 转换时间快, 带宽宽

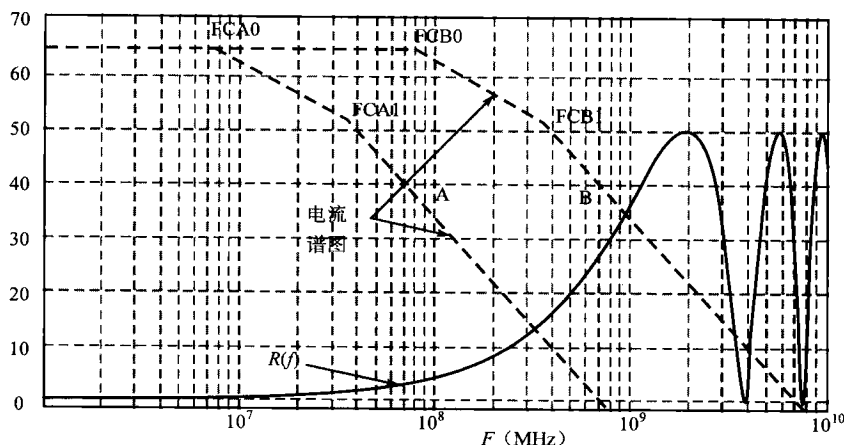


图 3-19 电阻模型与频率带宽的关系

表 3-1 每个 $e(t)$ 下的频率参数

$e(t)$	T_{Rn}	$F_n=1/T_n$	FC_{0n}	FC_{1n}
A	10 ns	10 MHz	7.5 MHz	35 MHz
B	1 ns	100 MHz	75 MHz	350 MHz

在图 3-19 中，A 的频谱常数被限制在 600 MHz。这种情况下， $R(f)$ 是唯一的电阻并且可以用单器件的电路来建模。相反，对于 B，模型的结构与频率相关，并且它的频谱常数会上升到 6 GHz。在图 3-19 中还说明了 $R(f)$ 在 100 MHz 以下时为纯电阻。当频率从 100 MHz 上升到 1.8 GHz 时，电感特性成了主要部分， $R(f)$ 就需要用两个器件（R 和 L）的电路来建模。最后在更高的频率范围时， $R(f)$ 就等效成了一个传输线，需要用分布式器件来建模。

以上介绍清楚地说明了无源器件的精确模型是与相应的频率范围有关的。为了精确定义电阻、电感、电容和互连线，就要运用电流技术透彻地分析信号的频谱。

4.2 分布式模型和集总模型

理论上，电子电路的每个连接都可以用传输线来建模。在过去对 EMC 的研究中，传输线模型为简单的集总模型，因为相应的频率范围远低于微波。这个理论到 2005 年就不再正确了，因为时钟频率的提高和传输时间的缩短，使相应的频带已经提高到了微波的范围。

式（3-42）给出了最小轨迹长度所需要的传输线模型的经验值。这个方程考虑了绝缘体内的电压和信号传输到无源器件的时间。

$$L_{crit} = \frac{t_r V_p}{10}$$

(3-42)

式中， L_{crit} 是无源元件的重要长度； V_p 是在绝缘体中的电压，其值等于 $\frac{3 \times 10^8}{\sqrt{\epsilon_r}}$ ； ϵ_r 是绝缘常数。

如果传输线的长度 L 大于 L_{crit} ，则必须使用分布模型。

4.3 集总模型的限制

集总模型是广泛运用于描述互连线或者无源器件（如电容、电阻和电感）的模型。这类模型都是基于三种基本器件建立的。

当无源器件中的信号相位恒定时，就可以使用集总模型了，否则就要使用分布式模型。

分布式模型是所有种类互连线的常规表示方法。在第 3 章中所介绍的传输线实际就是分布式模型的实例。

由前可见集总模型在高频时相比于分布式模型有很多限制。为了阐述这个问题，以一个在 1.6 mm 厚的 PCB 上的 1 mm 宽的微带线为例子。在这种情况下，特性阻抗 Z_0 为 72.5 Ω ，在 10 cm 长度上的传输延迟 T_{p0} 为 0.71 ns。为了将两个模型进行对比，可用以下步骤决定集总器件（ L_0 和 C_0 ）的模型。

首先， L_0 和 C_0 可以用式（3-43）和式（3-44）进行计算：

$$L_0 = Z_0^2 C_0$$

(3-43)

$$C_0 = \frac{T_{p0}^2}{L_0}$$

(3-44)

结果为

$$L_0 = Z_0 \times T_{p0} = 51.2 \text{ nH}$$

$$C_0 = T_{p0} / Z_0 = 9.8 \text{ pF}$$

因为直流电阻很小 ($0.86 \text{ m}\Omega$), 所以在例子中不予考虑。图 3-20 分别为三个 PCB 的轨迹模型。所有的节点都以 50Ω 的参考作为负载。

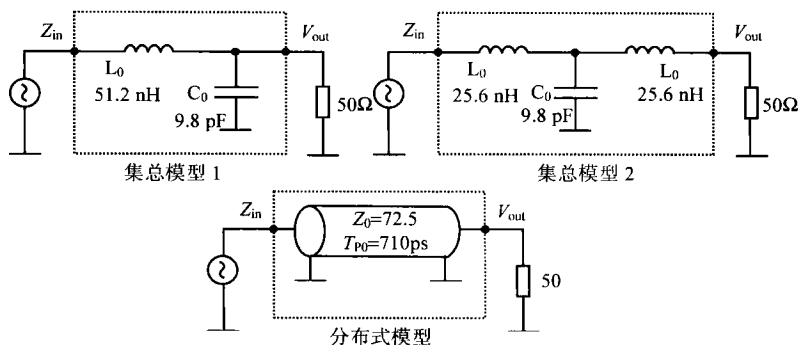


图 3-20 用于时域和频域分析的模型

4.3.1 频域分析

图 3-21 绘出了三种模型的阻抗。两种模型 (集总和分布式) 在 300 MHz 以下是等效的。高于 300 MHz 时, 集总模型 1 就是不准确的了。 1 GHz 以下仍然可以使用集总模型 2, 但是它在更高频率范围时就会变得不准确了。如果工作频率限制在 1 GHz 以上就必须使用分布式模型。

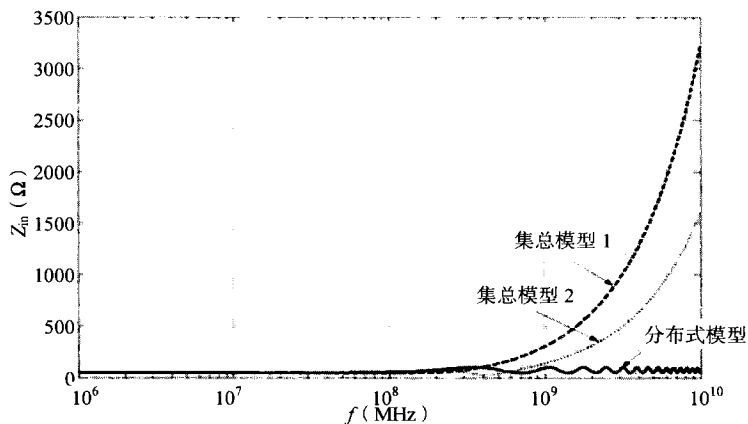


图 3-21 阻抗的三种模型

4.3.2 时域分析

这些模型也可以在时域里做比较。带有 100 ps 上升时间 T_r 的电压步长作用于 Z_{in} 。图 3-22 所绘的是 PCB 轨线输出端的信号。由图可知两个集总模型都不能正确地反映传输延时, 即使集总模型 2 比模型 1 要准确一些。然而由于用集总模型观测到的过冲在现实测量中不存在, 所以在强时间约束的设计中必须用分布模型。

模型种类的选取与无源器件中信号的频率带宽密切相关。因此, 适当定义的频谱分量可以帮

助选择正确的模型，从而得到正确的结果。

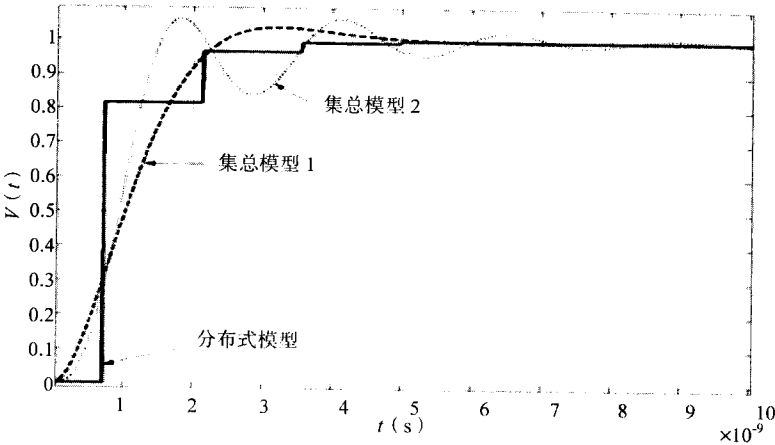


图 3-22 不同模型的响应图

4.4 趋肤效应

趋肤效应和邻近效应是另外两个与频率相关的现象。随着科技的发展，信号上升时间缩短，频谱带宽增加，在这种情况下，就不可以忽视趋肤效应和邻近效应，而且它们还会影响无源器件的模型。

高频时，实际导体中的电流并不均一地从导体的截面流过。由电流产生的磁性区域迫使电流流向导体的表面。因为电流重新分配了，所以导体的表面电阻随着频率平方根的增加而增加。在这种情形下，所有磁性区域集中在厚度为 δ 和周长为 p 的截面上，截面的面积即等于 $p\delta$ 。

式（3-45）为表面导体的厚度表达式：

$$\delta = \sqrt{\frac{1}{\pi f \mu \sigma}} \tag{3-45}$$

式中， δ 是导体的趋肤深度； $\omega = 2\pi f$ 是工作角频率（弧度/秒）； μ 是材料的磁导率（亨利·米，对于非磁性材料为 1.28×10^{-6} ）； σ 是材料的体积电导率。

表 3-2 给出了在不同频率下两种普通材料的趋肤深度。

表 3-2 不同材料趋肤深度与频率的关系

材料	1 kHz	1 MHz	10 MHz	100 MHz	1 GHz	10 GHz
铜（mm）	2.1	0.066	0.21	0.0066	0.021	0.00066
铝（mm）	2.7	0.085	0.27	0.0085	0.027	0.00085

另外一个物理现象叫做邻近效应，其表象为电阻随频率的增加而增加。如果一个接地的导体与一个携带信号的导体相邻，则磁场不会均一地反映在导体的外围，结果导致接地的导体的邻近效应和趋肤效应一起作用，从而使得导体的表面电阻增加。电流流过导体的截面时同样会受到其他导体的影响。

但是目前没有合适的公式用于计算邻近效应的影响。因此，为了确定这类效应，可以使用 2D 准静态或者 3D 场求解控制法，这些方法会使电阻阻值大概增加 20%~30%。

另外，因为频率与趋肤深度相关，所以所有导体的电阻和电感也会随频率变化。估算 RLC 电

路的主要误差是 RLC 电路的带宽和品质因素。

式 (3-46) 为电阻的趋肤效应的一般表达式:

$$R(f) = R_0(1 + j) \sqrt{\frac{f}{f_{\text{onset}}}} \quad (3-46)$$

式中, f_{onset} 为趋肤深度与线厚度相等时的频率; R_0 为 f_{onset} 频率下的电阻值。

导体的电感也与频率相关。实际导体既有内电感也有外电感。由于内部电感会随着频率的增加减小到零, 所以在高频时内部电感就很小。上述方程式描述了趋肤效应在影响电阻的实部的同时也增加了虚部。

集成电路关心以下两个类型的几何图形。

- 圆形的: 绑定线。

在集成电路中, 绑定线是圆形的。直流电阻 R_{DC} 可以用式 (3-47) 确定:

$$R_{\text{DC}} = \frac{\rho L}{S} \quad (3-47)$$

式中, ρ 为材料的电阻率; L 为导体的长度; S 为导体的截面积。

f_{onset} 频率由式 (3-48) 确定:

$$f_{\text{onset}} = \frac{4\rho^2}{\pi\mu_0 R^2} \quad (3-48)$$

式中, R 为导体半径。当趋肤深度与绑定线直径相等时, 就可以求出 R_0 的值了。

- 微带线或者带状线: 封装。

在方形导体中的趋肤效应的过程与电流在截面的分配和电流通路的几何形状相关。这就是很难用准确的表达式分析, 以及估算电阻和电感随频率变化的原因, 尤其是针对方形的截面而言。必须使用 2D 或者 3D 来准确确定与频率相关的两个参量。但是对于微带线的拓扑却可以做出很好的估计。

图 3-23 和图 3-24 为三个不同频率带下的微带线拓扑的电流密度图。

图 3-23 描述了当趋肤深度 ($66 \mu\text{m}$) 比导体厚度 ($36 \mu\text{m}$) 大时, 电流在 10 MHz 时的分布情况。在 10 MHz 下, 电流在截面上是均一分布的。

在图 3-24 中, 趋肤深度比导体厚度要小, 而且趋肤深度成了主要因子。在 100 MHz 时, 趋肤深度为 $22 \mu\text{m}$, 电流密度被集中在了导体的外围, 而且邻近效应使得电流密度的范围接近于地面。在 1 GHz 时, 电流被集中在导体的四个面上而且导体中心没有电流分布。这种组态适用于 IC 封装和 PCB。

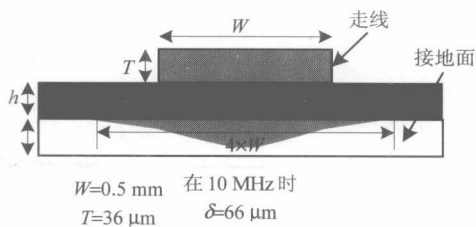


图 3-23 在 10 MHz 带宽下电流的分布

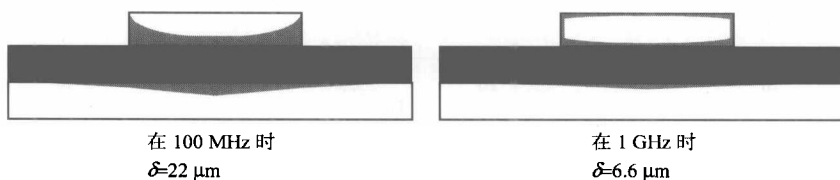


图 3-24 在 100 MHz 和 1 GHz 带宽下的电流分布

4.4.1 轨线电阻和电流回路的电阻

微导体的电阻的近似计算式 (Bogatin, 2001) 为

$$R_{F1}(f) = R_{DC} + R_{AC}(f) \quad (3-49)$$

式中, R_{DC} 是与几何截面呈正比的直流电阻; $R_{AC}(f)$ 是与频率平方根成正比的交流电阻。

方程式 (3-50) 为轨迹上的 DC 电阻的计算式:

$$R_{DC}(f) = \frac{\rho}{WT} \quad (3-50)$$

式中, ρ 是材料的体积电导率; W 和 T 在图 2-23 中定义了。

轨迹上的交流电阻本身和 R_{DC} 有相同的表达式, 但是其厚度还与频率相关。式 (3-51) 为 R_{AC} 的表达式:

$$R_{AC}(f) = \frac{\rho}{W\delta(f)} = \sqrt{\rho \cdot \mu_0 \cdot \pi \cdot f} \frac{L}{W} \quad (3-51)$$

当最初的 F_{C1} 频率为趋肤深度与导体厚度相等时的频率, 或者 $R_{AC}(f)$ 与 R_{DC} 相等时, F_{C1} 可以表示为

$$F_{C1} = \frac{\rho}{\mu_0 \cdot \pi \cdot T^2} \quad (3-52)$$

为了获得完整的电阻表达式, 就需要将 R_{DC} 和 $R_{AC}(f)$ 进行关联。图 3-25 绘出了 $R_{F1}(f)$, $R_{F2}(f)$ 和 $R_{AC}(f)$ 的图形。式 (3-53) (Johnson, 1993) 是比较准确的表示式:

$$R_{F2}(f) = \sqrt{R_{DC}^2 + R_{AC}(f)^2} \quad (3-53)$$

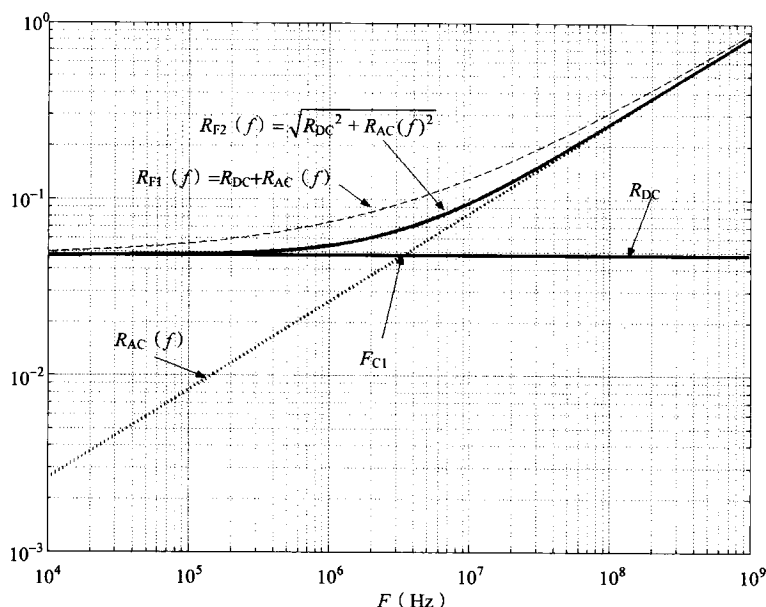


图 3-25 $R_{F1}(f)$ 和 $R_{F2}(f)$ 之间的比较

Bogatin (2001) 提出增加地表面的 $R_{AC}(f)$ 电阻, 并假定回路的宽度等于 4 倍的 PCB 轨迹的宽度。此时电阻表达式为

$$R_{F3}(f) = \frac{\rho}{2 \cdot \delta \cdot W} + \frac{\rho}{4 \cdot \delta \cdot W} = 0.75 \times \frac{\rho}{\delta \cdot W} \quad (3-54)$$

在高频时, 这个式子最近似。它既考虑了电流在 PCB 轨迹两个表面的流动, 也考虑到了回路宽度等于 4 倍的信号路径宽度的条件。

4.4.2 趋肤效应的影响

在低频时, 趋肤效应对精度的影响很小。相反, 在 10 MHz 时这个效应对串联和并联谐振电路的影响是很明显的。

1) 串联谐振电路

图 3-25 画的是一个串联谐振电路的输入阻抗 $Z(f)$ 。这个阻抗由一个电阻连接一个 LC 电路组成。

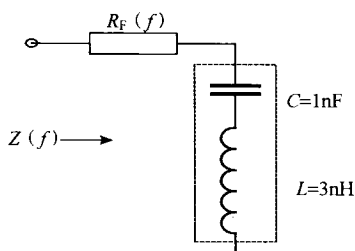


图 3-26 串联 RLC 电路

2) 并联谐振电路

图 3-27 为 RLC 的阻抗在不同的电容值和考虑 $R_{AC}(f)$ 存在与否时得到的不同值。在 $Z(f)$ 上的趋肤效应和串联谐振可以在这个图中得到清楚的显现。如果使用电容进行去耦, 则 ESR (等效串联电阻) 将使滤波频率的阻抗增加, 并且将降低耦合的性能 (量化因子和带宽)。

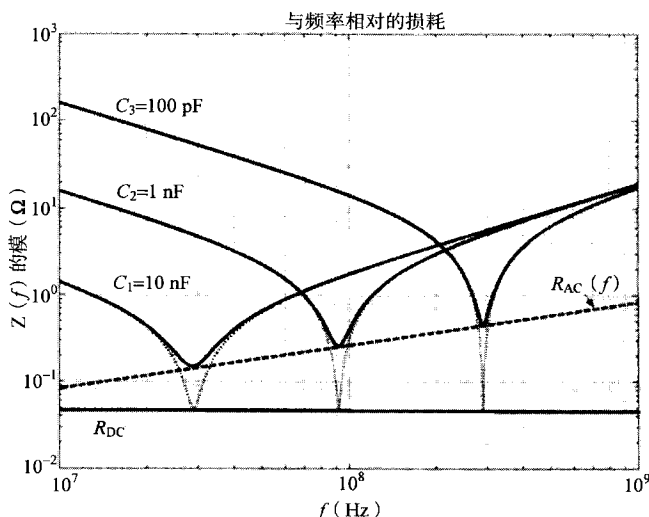


图 3-27 与频率相对的损耗

图 3-28 为并联谐振电路。图 3-29 为在考虑电阻趋肤深度和不考虑电阻趋肤深度两种情况下的阻抗 $Z(f)$ 的特性。在谐振频率时, 因为 LC 阻抗无限大而且 $R(f)$ 上没有电流, 所以没有不同。

在 300 MHz 时就出现了不同情况,电阻随着频率的平方根增大而增大。300 MHz 以上的阻抗比纯 DC 电阻的情况下的阻抗要大,而且在这个频率以上衰减是减小的。

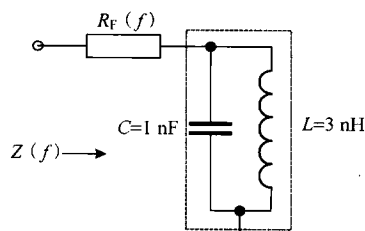


图 3-28 并联谐振电路

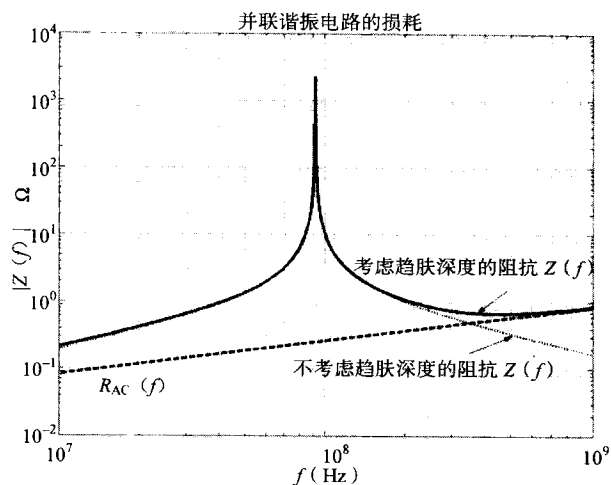


图 3-29 并联谐振电路的损耗

4.4.3 讨论

趋肤效应和邻近效应在高频时会影响阻抗值。同时这两个效应在 10 MHz 以上时就会与集成电路相关。并联和串联谐振电路的品质因子和带宽将因为这两个效应而减小。在一些分析式中对它们有所提及,但是仅限于圆形线和微带线。对其他几何形状进行分析时,可使用 2D 或者 3D 场求解控制法来估算趋肤效应和邻近效应。

4.5 互连线

随着集成电路技术的发展,其尺寸不断减小,互连线在集成电路中的重要性也不断增加。RC 延时,互连线之间的串音和电感效应已经明显地改变了互连线问题的解决方法。其主要原因就是金属层的增加(现在 90 nm 工艺的已经有 10 层金属)使得信号带宽向着超高频发展,而且寄生耦合产生的电容和电感使得耦合面积不断增加(Delorme, 96)。金属线的电学模型也从简单的电容效应变成了复杂的边缘电容效应、串音电容效应和寄生电阻效应。互连线模型对于有源信号或者能量传输,都可以用连接了电容、电阻和电感的线模型来模拟。下面将给出对估算片上互连线阻抗公式的概述。

4.5.1 与互连线相关的电容

互连线的模型就像电容一样,它可以在金属/氧化层之间储存电荷。对其电容效应不能简单进行描述和模拟。这是因为如图 3-30 所示,互连线之间分布得很近。其电容效应是用与互连线相连的一组电容来表示的。

1) 大金属板

一个大的金属板(宽 w , 长 l)分散在衬底或者通过厚度为 e 的氧化层分散在其他金属表面时,可用式(3-55)来描述其电容大小,这是比较精确的。在这种情况下可以忽略边缘电容 C_F 。大金属板可应用于衬底和供电线,如图 3-31 所示。

$$C_s = \epsilon_0 \epsilon_r \frac{wl}{e} \quad (3-55)$$

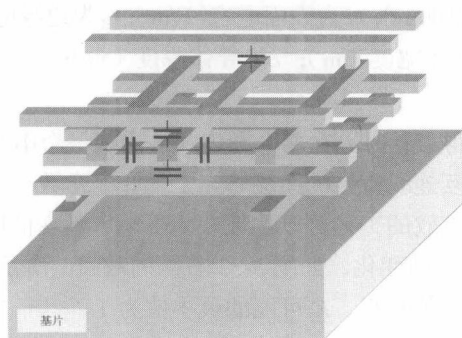


图 3-30 在横向和纵向上一条互连线和其他导体以各种方式耦合

式中, $\epsilon_0 = 8.85 \times 10^{-12} \text{ F/m}$; $\epsilon_r = 3.9$ (对硅而言); w 为导体宽度 (m); l 为导体长度 (m); e 为绝缘体厚度 (m)。

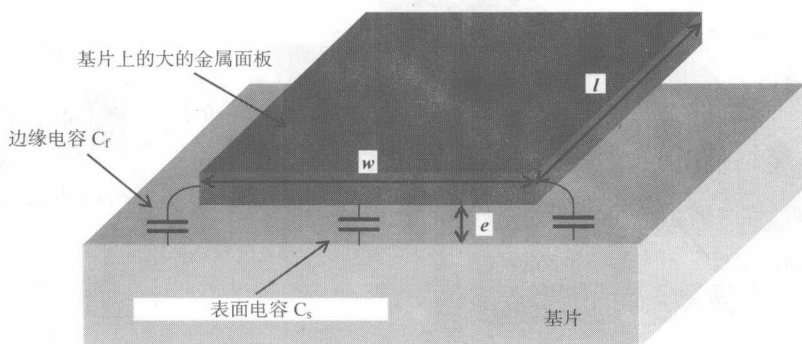


图 3-31 衬底上的大金属板

2) 平面上的导体

目前已经提出了一些可以计算导体电容的公式 (Sakurai, 1993; Delorme, 1996), 这些公式的前提是导体面积可以和氧化层厚度相比较 (如图 3-32 所示), 同时大部分的导体都用于传输信号。式 (3-56) (Delorme, 1996) 给出了全部电容的计算公式, 由该式可知电容为 C_s 与两倍的边缘电容 C_f 的和, 即

$$C = C_s + 2C_f = \epsilon_0 \epsilon_r \left[1.13 \frac{w}{e} + 1.44 \left(\frac{w}{e} \right)^{0.11} + 1.46 \left(\frac{t}{e} \right)^{0.42} \right] \quad (3-56)$$

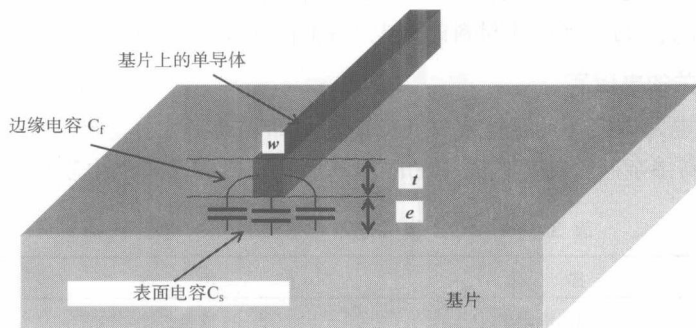


图 3-32 接地面上的导体

式中, C 为单位长度的总电容 (F/m); C_s 为表面电容 (F/m); C_f 为边缘电容 (F/m); ϵ_0 为 8.85×10^{-12} F/m; ϵ_r 为 3.9 (对硅而言); w 为导体宽度 (m); t 为导体厚度 (m); e 为绝缘体厚度 (m)。

3) 接地面上的两导体

当导体与另一个导体靠得很近时, 在两个导体间会出现一个串音电容 C_{12} , 如图 3-33 所示。在 $0.12 \mu\text{m}$ 工艺中, 在两个互连线直接的间隙填充了低介电常数 (这个参数叫做低 K 值, 数值为 $3 \sim 4$) 的特殊绝缘体。这个有效的工艺可以保证在上下电容不变的同时减小串音电容。最后, 氧化层在高 K 值和低 K 值材料之间变化, 如图 3-33 右侧的截面图所示。 $0.18 \mu\text{m}$ 工艺中所用的是低 K 值的绝缘材料。气缝为低 K 值材料, K 可能的最小值为 1。

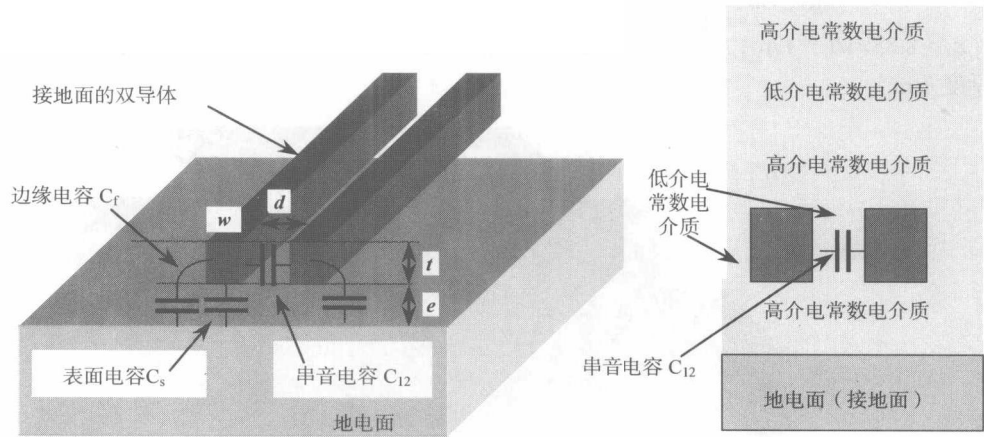


图 3-33 两接地面上的导体

电容的计算公式如下:

$$C = C_s + C_f = \epsilon_0 \epsilon_r \left[1.10 \frac{w}{e} + 0.79 \left(\frac{w}{e} \right)^{0.1} + 0.46 \left(\frac{t}{e} \right)^{0.17} (1 - 0.87 e^{-\frac{d}{e}}) \right] \quad (3-57)$$

$$C_{12} = \epsilon_0 \epsilon_{\text{rlow}K} \left[\frac{t}{d} + 1.2 \left(\frac{d}{e} \right)^{0.1} \left(\frac{d}{e} + 1.15 \right)^{-2.22} + 0.253 \ln(1 + 7.17 \frac{w}{d}) \left(\frac{d}{e} + 0.54 \right)^{-0.64} \right] \quad (3-58)$$

式中, C 为地上单位长度的导体电容 (F/m); C_s 为表面电容 (F/m); C_f 为边缘电容 (F/m); C_{12} 为串音电容 (F/m); $\epsilon_{\text{rlow}K}$ 为低绝缘体材料的介电常数 (在 $0.12 \mu\text{m}$ 工艺中为 3.0); d 为导体距离 (m)。

4.5.2 与互连线相关的电阻率

在 CMOS 集成电路中使用的互连线材料的电阻率如表 3-3 所示。导体材料的电阻率很低, 但是半导体材料 (如高掺杂硅) 却都有适中的电阻率。相反, 纯净硅的电阻率非常高。

表 3-3 CMOS 集成电路中各种材料的电阻率

符 号	描 述	用 途	25°C 时的电阻率
ρ_{cu}	铜的电阻率	信号传输	$1.72 \times 10^{-6} \Omega \cdot \text{cm}$
ρ_{al}	铝的电阻率	信号传输	$2.77 \times 10^{-6} \Omega \cdot \text{cm}$

续表

符 号	描 述	用 途	25°C 时的电阻率
ρ_{Ag}	金的电阻率	芯片和封装间的焊接	$2.20 \times 10^{-6} \Omega \cdot \text{cm}$
ρ_{tungsten}	钨的电阻率	触点	$5.30 \times 10^{-6} \Omega \cdot \text{cm}$
ρ_{Ndiff}	高掺杂硅的电阻率	N+扩散	$0.25 \times \Omega \cdot \text{cm}$
ρ_{Nwell}	低掺杂硅的电阻率	N 阱	$50 \times \Omega \cdot \text{cm}$
ρ_{Si}	纯净硅的电阻率	衬底	$2.5 \times 10^5 \Omega \cdot \text{cm}$

如果导体的长为 l ，宽为 w ，厚度为 t ，则它的串联电阻 R （如图 3-34 所示）可用式（3-59）计算：

$$R = \rho \frac{l}{wt}$$

(3-59)

式中， R 为串联电阻（ Ω ）； ρ 为电阻率（ $\Omega \cdot \text{m}$ ）； w 为导体宽度（ m ）； t 为导体厚度（ m ）； l 为导体长度（ m ）； d 为导体距离（ m ）。

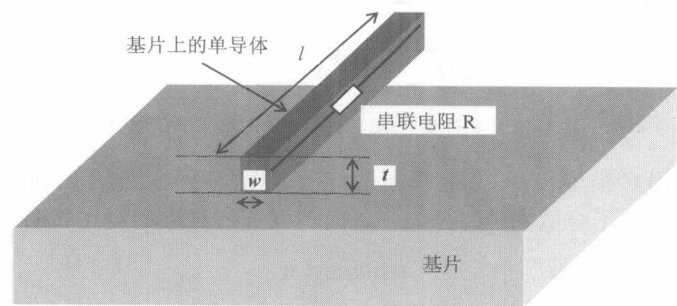


图 3-34 导体的电阻

在设计互连线时，非常有用的量度标准是方形电阻。假设电阻的长度和宽度相等，则有

$$R_{\text{square}} = \rho \frac{w}{wt} = \frac{\rho}{t}$$

(3-60)

方形电阻被用来快速估算从自身正方形版图中分离出来的互连线的等效电阻。为了估算圆形互连线的电阻，可将所有正方形电阻加起来组成 R_{square} 。图 3-35 为方形电阻在版图中的表现。假设方形电阻 R_{square} 为 $50 \text{ m}\Omega$ 。从 A 到 B 大约有 10 个方形电阻，则电阻阻值为 0.5Ω 。

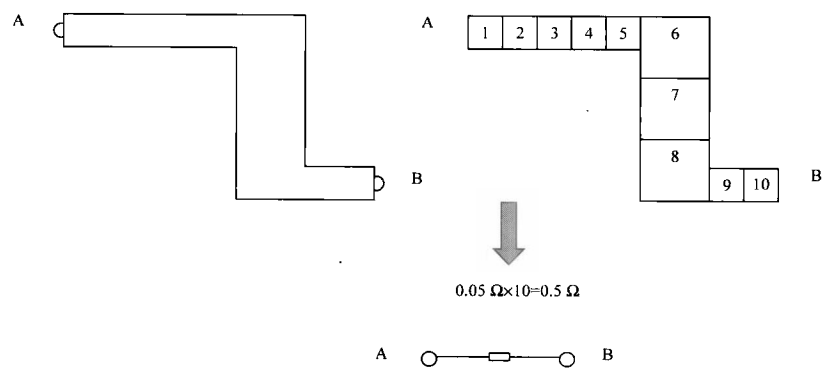


图 3-35 应用于部分互连线的方形电阻概念

4.5.3 与互连线相关的电阻

用金属互连线将信号从一个逻辑门传输到另外一个。根据传输源的门电路到目标门电路的距离,可以将互连线看成一个简单的寄生电容或者电容和电阻的组合。在 $0.12\ \mu\text{m}$ 工艺中,互连线的长度达到 $1000\ \mu\text{m}$ 时就可以看成纯电容负载 C_L ,如图 3-36 所示。对于长度大于 $1000\ \mu\text{m}$ 的互连线来说,模型中应该加上串联电阻 R_L 。通常是将电容 C_L 分成相等的两个电容,然后再将串联的电阻加在它们之间。

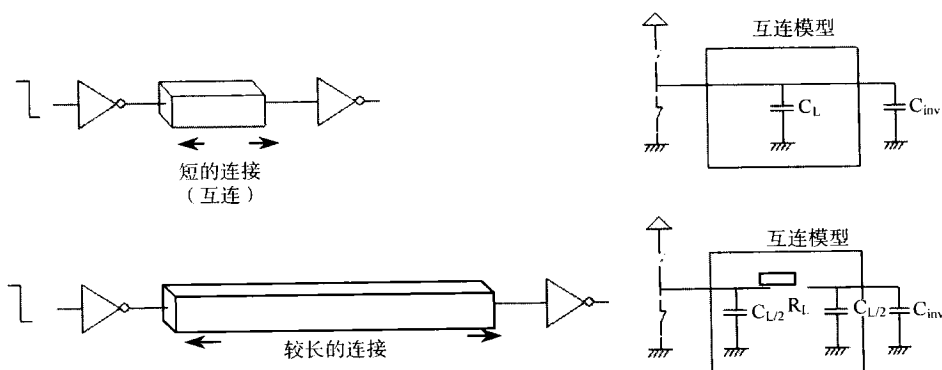


图 3-36 互连线的电容模型和电容、电阻模型

在 $1\ \text{mm}$ 以下时用 C 模型和 RC 模型模拟的传播过程在视觉上没有区别。在 $1\ \text{mm}$ 以上时, C 模型相对于 RC 模型给出了合适的延时预测。延时与互连线长度的对比如图 3-37 所示。

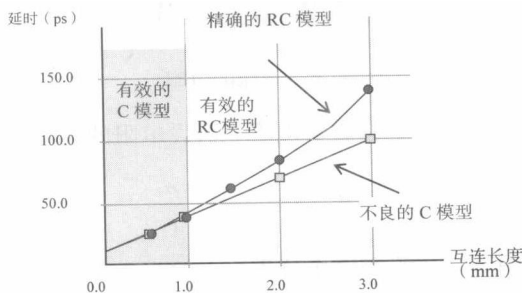


图 3-37 小于 $1\ \text{mm}$ 时 C 模型有效,在 $0.12\ \mu\text{m}$ CMOS 中,大于 $1\ \text{mm}$ 时应该考虑使用 RC 模型

4.5.4 电感

因为互连线上存在高阻值串联电阻,所以电感效应在信号传输过程中并不明显。因此电感的值和可能延时的估计值或者串音幅值都很少被考虑到。在过去的几年中,许多研究者投身于对电感的掌握和计算。这里给出是在深亚微米互连线中的寄生电感效应的简要概括和阐述。

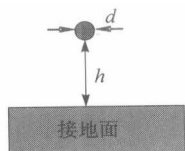


图 3-38 在接地面上的线的寄生串联电感

式 (3-61) 是基于一个圆柱型的线电感的估算公式,这也是已有公式中非常简单的一个 (Lee, 1998)。根据经验值可知串联的电感大约为 $1\ \text{nH/mm}$,这个值对于焊接线来说是足够精确的。如图 3-38 所示,线是圆柱形的,并且其位置远离接地面。

$$L = \frac{\mu_0}{2\pi} \ln(4 \frac{h}{d}) \quad (3-61)$$

式中, 对于大部分材料(如 Al, Cu, Si, SiO₂ 和 Si₃N₄), μ_0 为 1.257×10^{-6} (H/m); d 为线的直径(m); h 为线到地之间的距离(m)。

对于金属互连线, 根据导体的宽度和厚度, 式(3-61)更接近于互连线的直径的近似值。

金属互连线的电学参数, 如电阻、电容和电感效应前面都已经介绍过。当研究信号的传输和 IC 中的串音效应时, 这些电学参数都必须被考虑进去。

5. S 参数

在微波电路中, 传输线上的入射波被电路分散, 且其能量被分散到与电路相连的其他传输线的出射波中。散射参数是用来描述能量在每对端口或者电路连接的传输线间的耦合的, 它是每个电路所固有的特性。

散射参数矩阵或者 S 矩阵简称 S 参数, 主要用于 100 MHz 以上频率的情况。

下面将考虑一个 n 端口微波网络, 如图 3-39 所示。它有 n 个臂(传输线或者波导), 能量可以在这些臂中输入和输出。通常, 能量可以从任意一个臂(作为输入)传输给其他的臂(作为输出)。因此有 n 个入射波和 n 个出射波。同时由于发现能量可以通过端口发生反射, 所以单个端口的输入能量可以分散到网络所有的端口中而成为出射波。

每个端口用它的参考平面 P 来描述其特性, 在参考平面 P 上定义了波形的幅度和相位。通常与具体端口相联系的参考平面和相关的人射波和反射波在同一个位置上。

n 个人射波的复数幅值通常定为“ a ”, n 个出射波的复数量定为“ b ”。

n 阶的网络可能有 1, 2, 3, 4 或者更多的数值。

- 对于 $n=1$, 1 端口: 偶极(电路开路, 电路短路和负载);
- 对于 $n=2$, 2 端口: 四极(放大器, 三极管……);
- 对于 $n=3$, 3 端口: 六极(循环器, 衰减器……);
- 对于 $n=4$, 4 端口: 八极(定向耦合器……)。

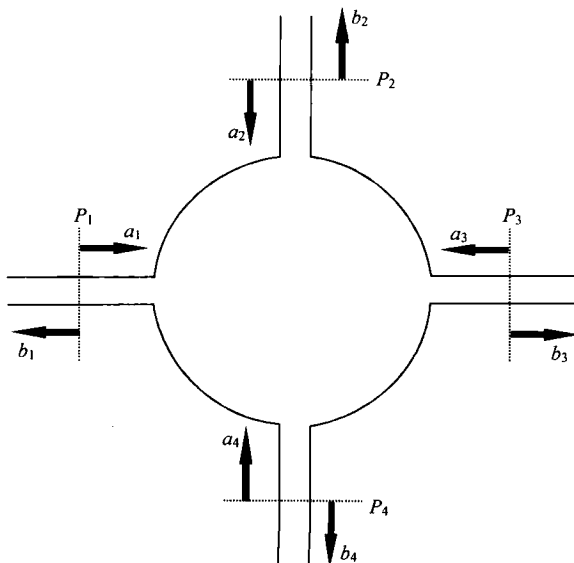


图 3-39 一个 4 端口网络

S 参数（散射参数）反映了入射波和出射波的直接关联关系。换句话说， S 参数与输入和输出网络之间的功率转换直接相关。

5.1 S 参数的影响

为了演示 S 参数在微波领域中的用途，以如图 3-40 所示的四极子情况为例。

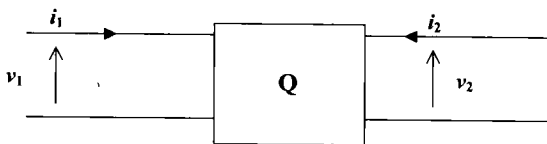


图 3-40 四极子

就电流和电压（传输阻抗）而言， i_1 ， i_2 ， v_1 和 v_2 之间的联系是通过下式实现的：

$$(v) = (Z).(i)$$

或者

$$\begin{pmatrix} v_1 \\ v_2 \end{pmatrix} = \begin{pmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{pmatrix} \cdot \begin{pmatrix} i_1 \\ i_2 \end{pmatrix} \quad (3-62)$$

例如， Z_{11} 可以表示为式（3-63）：

$$Z_{11} = \left. \frac{v_1}{i_1} \right|_{i_2=0} \quad (3-63)$$

要得到 Z_{11} 需要 $i_2=0$ ，即需要电路开路。但是在微波领域（100 MHz 以上），要得到很精确的开路电路（短路电路同理）是很困难的。

在非 TEM 波导模式下电压是很难定义的。即使在 TEM 模式下，电压和电流在微波频率下也是很难测量的。最好的例子就是数字采样示波器用以完成测量的操作速率。

总之，在高频情况下测量器件端口上的所有电压和电流是很困难的，而且在电路开路和短路情况下有源器件可能会发生振荡和自毁。

5.2 S 参数的定义

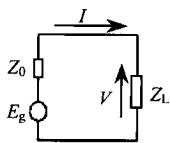


图 3-41 一个带负载的激励源和它的内部阻抗

正如在传输线一节所介绍的那样，可以将电压和电流定义为输入波与输出波的和，即有

$$\begin{aligned} V &= V_i + V_r \\ I &= I_i + I_r \end{aligned} \quad (3-64)$$

例如，在图 3-41 中，内阻为 Z_0 的源 E_g ，负载为阻抗 Z_L 。如果内阻 Z_0 为实数（ $Z_0=R_0$ ），则与 Z_L 相关的反射系数（电压和电流方面）可以表示成式（3-65）：

$$\rho_i = \rho_v = \frac{Z_L - R_0}{Z_L + R_0} = \frac{z_L - 1}{z_L + 1} \quad (3-65)$$

式中， $z_L = \frac{Z_L}{R_0}$ （归一化阻抗）。

如果入射波“ a ”和出射波“ b ”被定义为式（3-66）：

$$\begin{aligned} a &= \sqrt{R_0} I_i = \frac{V_i}{\sqrt{R_0}} \\ b &= \sqrt{R_0} I_r = \frac{V_r}{\sqrt{R_0}} \end{aligned} \quad (3-66)$$

则

$$\begin{aligned} a+b &= \frac{V}{\sqrt{R_0}} \\ a-b &= \sqrt{R_0} I \end{aligned} \quad (3-67)$$

归一化的电压“ v ”和归一化的电流“ i ”为

$$\begin{aligned} v &= \frac{V}{\sqrt{R_0}} = a+b \\ i &= \sqrt{R_0} I = a-b \end{aligned} \quad (3-68)$$

这些入射波和出射波与功率的平方根（ $W^{1/2}$ ）是同源的，但这些量不能直接测量出来。

回到图 3-40，网络里的入射波“ a ”和输出波“ b ”可以通过式 (3-69) 和式 (3-70) 建立关联：

$$\begin{pmatrix} a_1 \\ a_2 \\ a_3 \\ \vdots \\ a_n \end{pmatrix} = \begin{pmatrix} \sqrt{R_{01}} & 0 & 0 & 0 \\ 0 & \sqrt{R_{02}} & & \\ 0 & & & 0 \\ & & & \sqrt{R_{0n}} \end{pmatrix} \begin{pmatrix} I_{i1} \\ I_{i2} \\ \vdots \\ I_{in} \end{pmatrix} \quad (3-69)$$

$$\begin{pmatrix} b_1 \\ b_2 \\ b_3 \\ \vdots \\ b_n \end{pmatrix} = \begin{pmatrix} \sqrt{R_{01}} & 0 & 0 & 0 \\ 0 & \sqrt{R_{02}} & & \\ 0 & & & 0 \\ & & & \sqrt{R_{0n}} \end{pmatrix} \begin{pmatrix} I_{r1} \\ I_{r2} \\ \vdots \\ I_{rn} \end{pmatrix} \quad (3-70)$$

式 (3-71) 定义了散射矩阵：

$$(b) = (S)(a) \quad (3-71)$$

在两端口网络中，上式可以写成

$$\begin{aligned} b_1 &= S_{11}a_1 + S_{12}a_2 \\ b_2 &= S_{21}a_1 + S_{22}a_2 \end{aligned}$$

总之，矩阵中的所有元素都与频率相关，称这些元素为“ S 参数”。

5.3 S_{11} , S_{12} , S_{21} 和 S_{22} 的测量

首先，将输入加在端口 1 上，终端为阻抗匹配（ $a_2 = 0$ ）的端口 2，则有 $S_{11} = \left. \frac{b_1}{a_1} \right|_{a_2=0}$ ，此即为端口 1 的反射系数（端口 2 阻抗匹配）。运用同样的方法可以测量 S_{21} 。首先，将输入加在端口 2 上，终端为阻抗匹配（ $a_1 = 0$ ）的端口 1，则有 $S_{12} = \left. \frac{b_1}{a_2} \right|_{a_1=0}$ ，此即为从端口 2 到端口 1 的电压传输系数（端口 1 阻抗匹配）。运用同样的方法可以测量 S_{22} 。可以看出 S 矩阵中的每个元素一般都是

复数，即有

$$S_{ij} = |S_{ij}| e^{j\phi_{ij}} \tag{3-72}$$

应同时考虑 S 参数的来源，以及其在信号流程图中的表示形式。网络分析仪或者向量伏特计可以用来帮助确定 S 参数的幅度和相位。

如前所述，一端口的散射系数的 S 只不过是反射系数 γ ，通过式 $\gamma = (z_L - 1) / (z_L + 1)$ 可以将负载阻抗 $z_L = Z_L / Z_0$ 与 γ 相关联。

5.4 S 矩阵的特性

5.4.1 无损耗的多极

在无损耗的多极（ n 阶）的情况下，入射波 a 的能量由式（3-73）给出：

$$P_{in} = \sum_{i=1}^n \frac{1}{2} a_i a_i^* = \frac{1}{2} (a)^t (a) \tag{3-73}$$

出射波 b 所驱动的能量由式（3-74）得出：

$$P_{out} = \sum_{i=1}^n \frac{1}{2} b_i b_i^* = \frac{1}{2} (b)^t (b) \tag{3-74}$$

多极消耗的有效功率的表达式 [式（3-75）] 与前面所给的表达式不同，即为

$$P_a = \frac{1}{2} [(a)^t (a) - (b)^t (b)] \tag{3-75}$$

因此，一个无损耗的多极的特性方程为

$$(S)^t = (S) \tag{3-76}$$

式中，上标 t 表示矩阵；转置运算及星号表示共轭幅值。

满足这种关系的矩阵是一元的。

5.4.2 互易性

互易性和 S 矩阵中的对称性有关。一个互易的 S 矩阵是对角线对称的。许多网络都是互易的。在 2 端口网络中， $S_{21} = S_{12}$ 及输入和输出端口互换不会改变传输特性。传输线截面是一个互易 2 端口的例子。互易 4 端口的例子为双向耦合器。总之，对于互易的 n 端口，有

$$S_{ij} = S_{ji} \tag{3-77}$$

放大器是非互易的，否则它们就应该是不稳定的。铁素体设备都是非互易的，可将其用做分隔器、移相器、循环器和功率合成器。

5.4.3 S 参数转化为 Z 阻抗

S 参数在数学上与传输线的阻抗参数相关，也与导纳参数（ Y 参数）和概念特性阻抗相关。表 3-4 表明了 S 参数和归一化阻抗的关系。

表 3-4 S 参数与阻抗的关系

用 z 参数表示的 s 参数	用 s 参数表示的 z 参数
$S_{11} = \frac{(z_{11} - 1)(z_{22} + 1) - z_{12}z_{21}}{(z_{11} + 1)(z_{22} + 1) - z_{12}z_{21}}$	$Z_{11} = \frac{(1 + s_{11})(1 - s_{22}) + s_{12}s_{21}}{(1 - s_{11})(1 - s_{22}) - s_{12}s_{21}}$
$S_{12} = \frac{2z_{12}}{(z_{11} + 1)(z_{22} + 1) - z_{12}z_{21}}$	$Z_{12} = \frac{2s_{12}}{(1 - s_{11})(1 - s_{22}) - s_{12}s_{21}}$

续表

用 z 参数表示的 s 参数	用 s 参数表示的 z 参数
$S_{21} = \frac{2z_{21}}{(z_{11}+1)(z_{22}+1)-z_{12}z_{21}}$	$Z_{21} = \frac{2s_{21}}{(1-s_{11})(1-s_{22})-s_{12}s_{21}}$
$S_{22} = \frac{(z_{11}+1)(z_{22}-1)-z_{12}z_{21}}{(z_{11}+1)(z_{22}+1)-z_{12}z_{21}}$	$Z_{22} = \frac{(1+s_{22})(1-s_{11})+s_{12}s_{21}}{(1-s_{11})(1-s_{22})-s_{12}s_{21}}$

就偶极子而言，唯一表示 S 参数的 S_{11} 仅仅是式 (3-66) 所给出的反射系数。下面的例子阐明了从 S 参数 ($S=R+jX$) 提取阻抗 Z 的方法。根据式 (3-65)，式 (3-78) 和式 (3-79) 表示了阻抗 Z 的实部 Z_{real} 和虚部 Z_{imag} 。

$$Z_{\text{real}} = Z_0 \left[\frac{1-R^2-X^2}{(1-R)^2+X^2} \right] \tag{3-78}$$

$$Z_{\text{imag}} = Z_0 \left[\frac{2X}{(1-R)^2+X^2} \right] \tag{3-79}$$

图 3-42 描述了所测 S 参数的幅值和角度。这个测量方法已经应用于集成电路的电源网络中。图 3-43 显示了相应的阻抗 Z 的值。

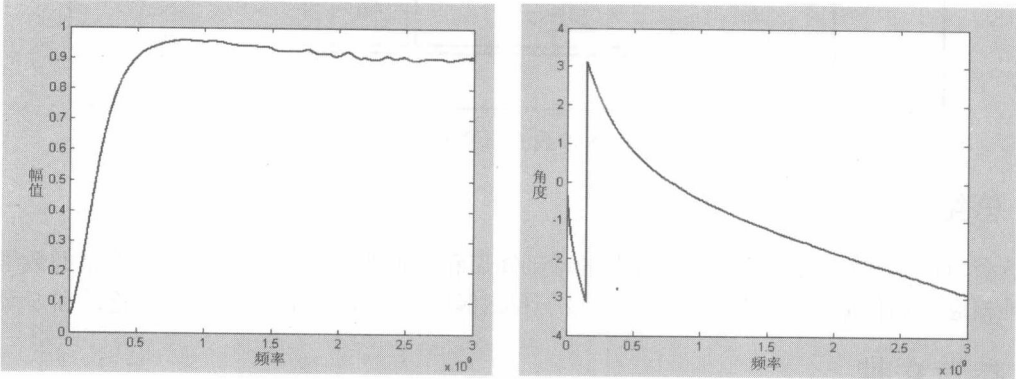


图 3-42 测量的 S 参数 (幅值和角度)

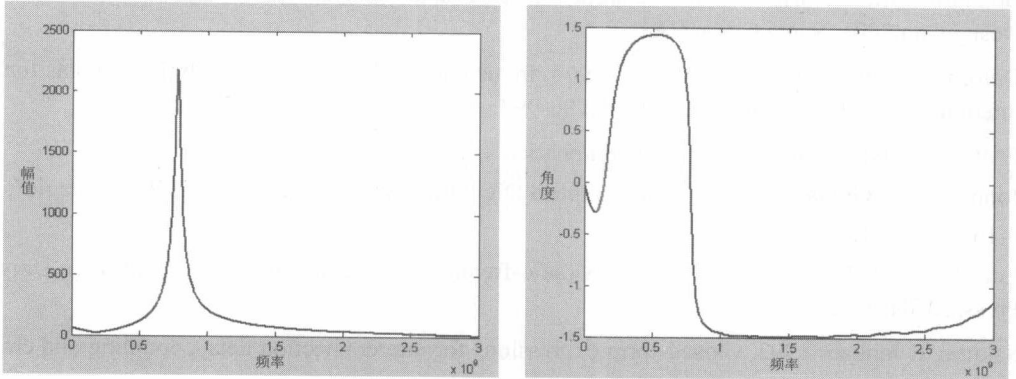


图 3-43 阻抗 Z (幅值和角度)

5.5 S 参数的测量

可以使用矢量网络分析仪 (VNA) 在频域中测量二端口设备的复数传输和反射特性。其过程

是对入射信号进行采样，分离传输波和反射波，然后执行与二端口的反射系数和传输系数直接相关的比率。通过扫描可以快速得到频带内的幅值和相位信息。

S 参数的表示法是表示 VNA 测量的最通用的格式。在源和负载阻抗为最理想情况的 Z_0 (例如, $50\ \Omega$) 时, S 参数中的 S_{11} 和 S_{21} 可以认为是输入反射系数和正向传输系数 (增益或者衰减)。同样, 在源和负载阻抗为最理想情况的 Z_0 (例如, $50\ \Omega$) 时, S_{22} 和 S_{12} 可以认为是输出反射系数和反向传输系数 (增益或者衰减), 如图 3-44 所示。

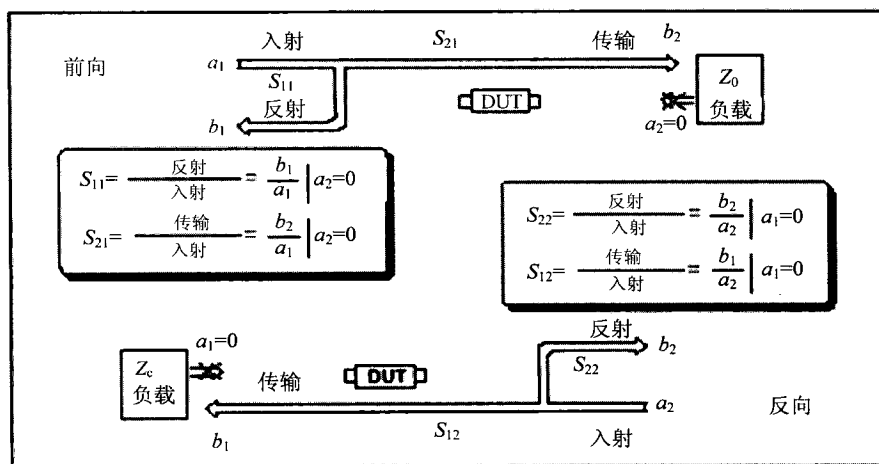


图 3-44 S 参数的测量 (Agilent®)

6. 总结

读者可以从本章学到所需要的 EMC 的基础知识和找到理论问题的答案, 尤其是掌握数学工具和接地概念, 如传输线、电磁发射 (电偶极子和磁偶极子)、高频 RLC 模型、互连线和 S 参数。

7. 参考文献

- [1] Bogatin, E., 2001, Practical Characterization and Analysis of Lossy Transmission Lines, DesignCon 2001, Santa Clara, CA.
- [2] Delorme, N., Belleville, M., Chilo, J., 1996, Inductance and capacitance analytic formulas for VLSI interconnects, *Electron. Lett.*, 32 (11): 996-997.
- [3] EMCLAB, <http://www.emclab.umr.edu/pcbtlc/>.
- [4] Johnson, H., Graham, M., 1993, High-Speed Digital Design – A Handbook of Black Magic”, ISBN 0-13-395724-1, 155.
- [5] Lee, T. H., 1998, “The design of CMOS radio-frequency integrated circuits” Cambridge University Press, ISBN-0-521-63922-0.
- [6] Sakurai T. January 1993, Closed-form expressions for interconnection delay, coupling and crosstalk in VLSIs, *IEEE Transactions on Electron Devices*, 40(1): 118-124.
- [7] Tesche F. M., Ianoz M. V., Karlsson T., 1997, EMC Analysis Methods and Computational Models”, edited by John Wiley & sons, inc.
- [8] Winspice. SPICE simulation freeware software: <http://www.winspice.com>.

第4章 测量方法——集成电路的发射和敏感度

摘要：本章给出了表征集成电路寄生发射和抗扰度的测量方法，详述了 IEC 61967 系列标准推行的发射测量方法，即 TEM/GTEM 法、近场扫描法、工作合法拉第笼法，以及 $1\ \Omega/150\ \Omega$ 传导方法。针对敏感度，本章详述了源自 IEC 62132 系列标准的大电流注入法和直接功率注入法。此外，本章还描述了冲击脉冲抗扰度试验方法，以及噪声特性的片上测量方法。

关键词：RF 发射；RF 抗扰度；冲击脉冲抗扰度；DPI；BCI；WBFC；TEM；GTEM；电波暗室；扰模室（混响室）；近场扫描；探头；国际标准；数字电路；混合信号；快速脉冲；ESD；EFT；IEC 61967；IEC 62132；IEC 62215；抖动

1. 简介

电子系统级的电磁兼容测试布置已在 CISPR 25 (CISPR, 2002) (寄生发射) 和 ISO11452 (电磁干扰敏感度) 等标准中做了规定。很多情况下，集成电路是电子设备内部骚扰的主因。近年来，针对集成电路进行简便、可靠和标准化的测试成为电子系统设计者的强烈需求。通过这些方法，设计者可以：

- 选择低发射特性和高抗扰度特性的电子器件；
- 找出适用于电路板的最优滤波和去耦器件；
- 优化集成电路的布局和走线，以满足电路板级别的 EMC 要求；
- 评估集成电路的重新设计、技术缩减或封装修改等所带来的影响。

国际电工委员会 47A 分会第九工作组（集成电路测量方法组）已经发布了两套系列标准，第一套是针对射频（RF）辐射和传导发射的，标准号为 IEC 61967 (IEC, 2001)；最近发布的第二套是针对 RF 抗扰度的，标准号为 IEC 62132 (IEC, 2003)。

IEC 61967 系列发射标准包含以下 6 个部分。

- 第 1 部分：通用条件和定义。
- 第 2 部分：TEM 小室和宽带 TEM 小室方法（辐射发射法）。
- 第 3 部分：磁回路（辐射发射表面扫描法）。
- 第 4 部分： $1\ \Omega/150\ \Omega$ （差分传导发射）。
- 第 5 部分：工作合法拉第笼（共模传导发射）。
- 第 6 部分：磁场探头（磁场探头的辐射发射）。

表 4-1 中列出了电磁发射测量方法标准化的进度表。从表中可以看出，目前已经完成了四部分，而 TEM/GTEM 小室方法仍在草案投票阶段，表面扫描方法仍处于技术报告的阶段。2004 年，使用扰模室的方法作为新的部分被引入。

表 4-1 IEC 61967——电磁发射测量方法（至 1GHz）

标 准 号	描 述	2000 年	2001 年	2002 年	2003 年	2004 年	2005 年
IEC 61967—1	定义		完成				
IEC 61967—2	TEM/GTEM 小室	委员会草案			待表决		完成
IEC 61967—3	表面扫描方法				技术报告	新动议。频率>1GHz	
IEC 61967—4	1Ω/150Ω传导	报批稿，待表决		完成			
IEC 61967—5	WBFC		报批稿，待表决		完成		
IEC 61967—6	磁场探头法	报批稿，待表决		完成			
IEC 61967—7	扰模室					新动议	

IEC 62132 系列抗扰度标准包含以下五部分：

- 第 1 部分：通用条件和定义
- 第 2 部分：TEM 小室和宽带 TEM 小室法（辐射发射抗扰度测试）
- 第 3 部分：BCI，大电流注入法（传导发射抗扰度测试）
- 第 4 部分：DPI，直接 RF 注入法（传导发射抗扰度测试）
- 第 5 部分：工作法拉第笼法（共模传导发射抗扰度测试）

可以看出该文献结构与 IEC 61967 系列标准有很多相似之处。例如，TEM 小室法和 WBFC 法均可用于发射和敏感度的定性测量。与发射标准相比，敏感度测量方法标准化的日程表（表 4-2）可谓与时俱进。目前最成熟的测量方法应是 WBFC 法，已经处于委员会草案的投票阶段。

表 4-2 IEC 62132——电磁抗扰度测试方法（至 1GHz）

标 准	描 述	2000 年	2001 年	2002 年	2003 年	2004 年	2005 年
IEC 62132—1	定义	委员会草案					
IEC 62132—2	TEM/GTEM 小室				新动议		委员会草案
IEC 62132—3	大电流注入法		委员会草案				
IEC 62132—4	直接 RF 功率注入法		委员会草案				
IEC 62132—5	WBFC		委员会草案			待表决	
IEC 62132—6	扰模室					新动议	

目前，有关建立新标准的动议（IEC 62215 系列）的讨论已经展开，该系列标准将用于冲击脉冲、静电放电（ESD）、电快瞬（EFT）和电过应力（EOS）等瞬态抗扰度试验。

本章将介绍以下测量技术：TEM/GTEM 小室方法，近场扫描方法，工作法拉第笼法，1Ω/150Ω方法，大电流注入法，直接功率注入法和瞬态抗扰度试验方法，电波暗室和片上测量。本章最后将给出对 EMC 测试计划的建议，以及一些预期指标和结论。

2. TEM/GTEM 小室方法

横电磁波（TEM）小室及在高频下与其对应的千兆赫兹横电磁波（GTEM）小室，通常用于 IC 辐射发射测量和 IC 在电磁场中的抗扰度试验。相应的测量标准是 IEC 61967—2。

2.1 简述

TEM 小室（如图 4-1 所示）是经过扩展的矩形波导，具有称为隔板的内导体。它的特征阻抗设定为 50 Ω，并且通过两个锥形端连接至 50 Ω适配同轴线上。

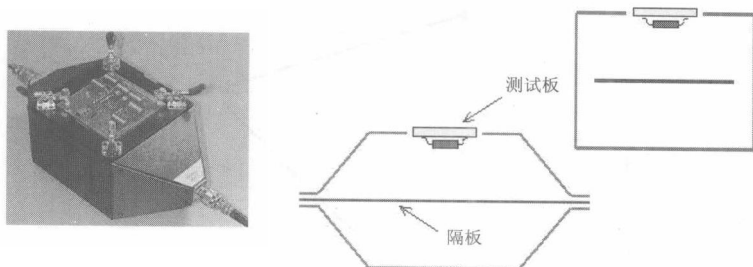


图 4-1 TEM 小室的外观和横截面图

根据小室横截面的形状，横电磁波（TEM）可在其中传播。TEM 模式波（如图 4-2 所示）的特点为电场（ E ）和磁场（ H ）位于与波的传播方向垂直的平面内。在该平面内，电场和磁场彼此正交（如图 4-3 所示）。

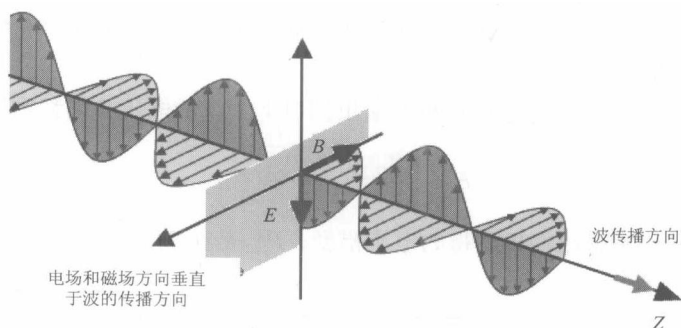


图 4-2 自由空间中 TEM 模式电磁波的传播图

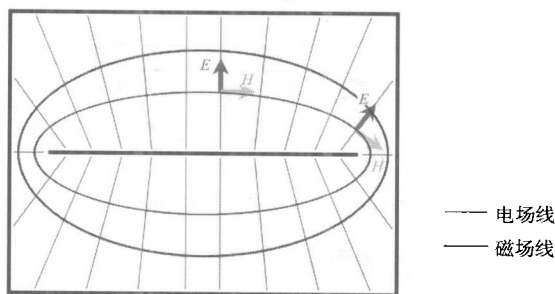


图 4-3 TEM 小室横截面上的电场和磁场分布图（TEM 模式）

在低频范围内，只有 TEM 模式波可在小室内传播。但是随着电磁波频率的升高，更高次模（如横电场模 TE 和横磁场模 TH）也可在小室的中心区域传播，此时腔体内将出现杂散谐振现象。TEM 小室可用的最高频率设定为最低的较高次模的第一个谐振频点，该频点取决于小室的尺寸和形状。典型的小室维度如图 4-4 所示，其截止频率为 1 GHz。

在从直流到小室的最高频率范围内，TEM 模式波的幅度为与频率相关的函数，这样就可可在 TEM 小室内产生一个特性已知的场（如图 4-5 所示）。电场强度可通过式（4-1）得到：

$$E = \frac{V_{in}}{h} = \frac{\sqrt{Z_c P_{in}}}{h} \quad (4-1)$$

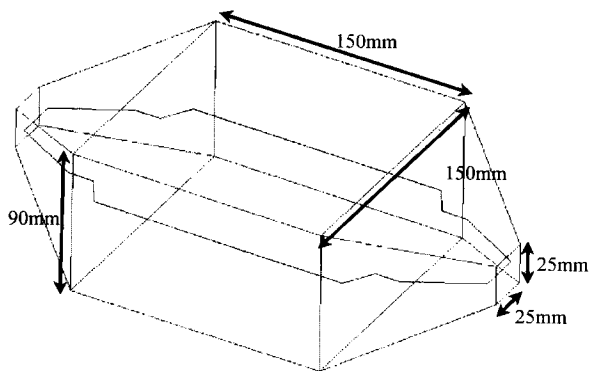


图 4-4 典型的 1 GHz TEM 小室维度

式中， h 是内导体隔板与小室外壁之间的高度； V_{in} 是在 TEM 小室输入端口施加的电压幅度； P_{in} 是 TEM 小室的输入功率； Z_C 是 TEM 小室的特征阻抗（通常 $Z_C = 50 \Omega$ ）。附录 A 给出了不同功率和高度下电场计算的例子。

另外，TEM 小室内的场强可通过在小室输出端口上测得的电压或场强推导而出，即

$$E = \frac{V_{out}}{h} = \frac{\sqrt{Z_C P_{out}}}{h} \quad (4-2)$$

式中， V_{out} 是在 TEM 小室输出端口测得的电压幅度； P_{out} 是在 TEM 小室输出端口测得的功率。

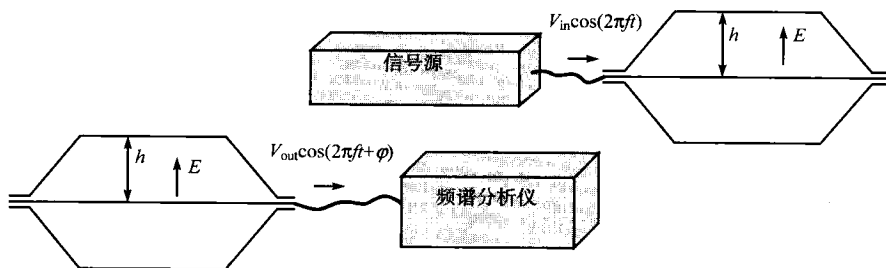


图 4-5 产生或测量 TEM 小室内已知幅度的 TEM 模次波的经验配置

2.2 TEM 小室内 IC 发射测量的配置

TEM 小室测量标准的目标是量化电子组件在一个很短的距离上所产生的全局辐射。

为满足这一目标，被测的 IC 被安装在一个 10 cm^2 的印制电路板（PCB）上，PCB 有四层（如图 4-6 所示）。被测芯片单独固定在 PCB 一侧的接地层上，其他如电源和激励 IC 必需的信号则沿其他三层走线。

被测电路板安装在 TEM 小室外壁的方孔之内，而被测芯片位于小室内部，这样接地层就成为小室外壁接地屏蔽的一部分，可将集成电路同外部隔离开来。TEM 小室的一个端口（通过低噪声放大器）连接到频谱分析仪上，另一个端口接 50Ω 负载（如图 4-7 所示）。IEC 61967—2 中对测试所需的电路板有更详细的描述。

IC 被激励后，其辐射进一步激励了向小室输出端传播的 TEM 模次波。在小室输出端测得的 RF 电压（单位 $\text{dB}\mu\text{V}$ ）正比于组件的电磁发射频谱。

Muccioli 于 1996 年研究了 IC 辐射和 TEM 模次波之间的耦合机制。在 IC 内，脉冲电流流经

封装引脚、导线框架,以及类似于电偶极子和磁偶极子的焊接链路。将 IC 嵌入 TEM 小室后,其中一些辐射量会耦合入 TEM 模式波中,另外一些则不会。

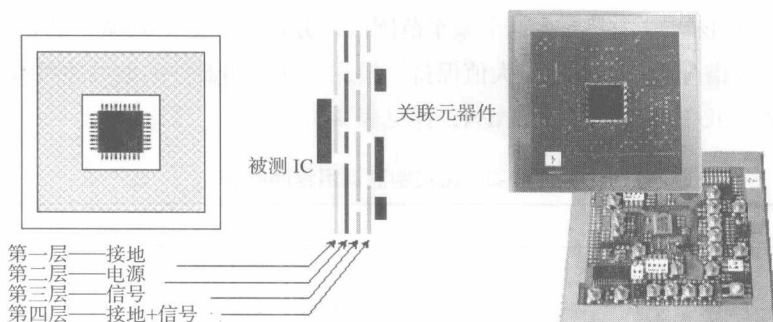


图 4-6 与 TEM 小室相适应的 PCB

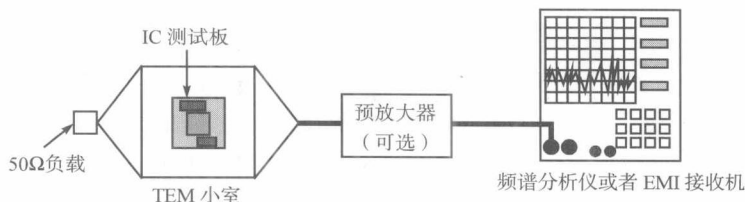


图 4-7 TEM 小室测量配置图

如图 4-8 所示, IC 电流路径可以等效为一个竖直线圈和一个水平线圈。当取向为 A 时, 水平线圈辐射一个垂直极化的磁场, 该磁场垂直于小室内 TEM 模式波的磁场分量(参见图 4-3)。因此, 这个辐射并不耦合入 TEM 模式波中。竖直线圈辐射产生的磁场与小室内的磁场分量同向, 因此进一步激励了 TEM 模式波。当 IC 取向为 B 时, 不论是水平线圈还是竖直线圈, 其磁场均不与 TEM 模式波发生耦合。

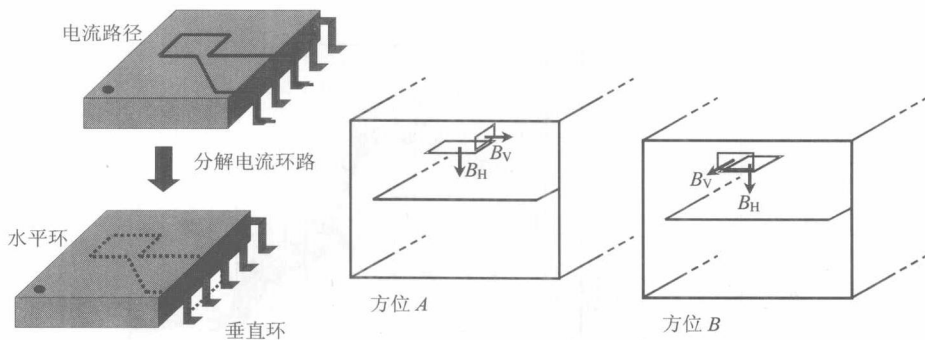


图 4-8 IC 电流路径与小室内 TEM 模式波的耦合机制

为了精确定量 IC 的辐射, 通常要进行以下两次发射测试: 第一次测试时, 测试板以任意取向嵌入小室外壁; 第二次是在第一次的基础上将测试板旋转 90° 。不过测量标准规定对测试板的四个取向都要进行测量, 并且只考虑幅度最大时的频谱。

2.3 使用 TEM 小室测量微处理器的辐射

下面将介绍 IC 电路典型的发射测量结果。被测器件为安装在测试电路板上的 16 字节微控制

器。测试使用 Fischer 型 TEM 小室，小室的截止频率为 1 GHz，其内导体隔板到测试板安装孔的距离是 45 mm。小室的输出端口通过一个 30 dB 的放大器 (DC ~ 2 GHz) 连接至 Advantest 的 R3131 型频谱分析仪 (9 kHz ~ 3 GHz)。在整个频率范围内，分辨率带宽 (RBW) 和视频带宽 (VBW) 均设为 10 kHz。频谱分析仪使用“最大值保持”模式。在被测器件的电可擦可编程存储器的内存中调用两个程序 (OUTCLK 和 OUTCAPA，详见表 4-3)。

表 4-3 微控制器调用程序简介

程序名称	简 述
OUTCLK	锁相环启用 时钟频率设为 50MHz 时钟信号通过一个 I/O 引脚流出元件 其他端口闲置
OUTCAPA	锁相环启用 频率设为 50MHz 时钟信号通过一个 I/O 引脚流出元件 8 引脚端口连接容性负载 端口 A 作为输出端 端口 A 在 0x55 (01010101) 和 0xAA (10101010) 之间转换

在 1 MHz ~ 1 GHz 频率范围内，对微处理器的每个可运行程序及测试板的两个彼此正交的方向进行 TEM 小室测量。图 4-9 给出了微处理器在同一取向运行两个不同程序 (OUTCLK、OUTCAPA) 的辐射谱。从这些结果可以看出器件内运行的程序的重要性。在进行 TEM 小室测量前，必须合理选择工作模式。

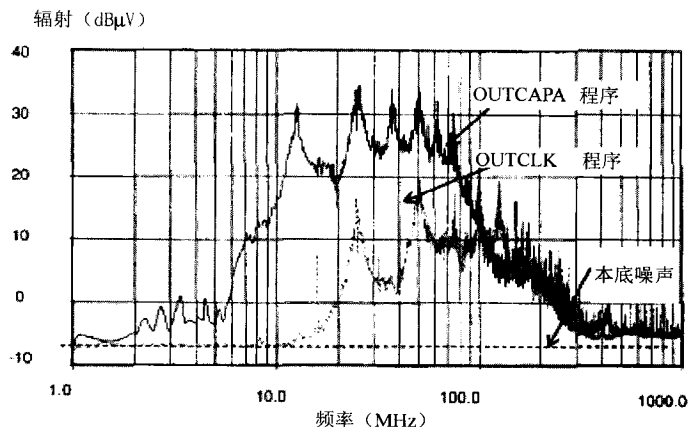


图 4-9 使用 TEM 小室测量微控制器辐射：同一取向，不同程序对比图

图 4-10 给出了微处理器在两个彼此正交的取向运行同一程序 OUTCLK 时的辐射谱。从这些结果可以看出取向的重要性，因此测量必须在两个彼此正交的取向下进行。

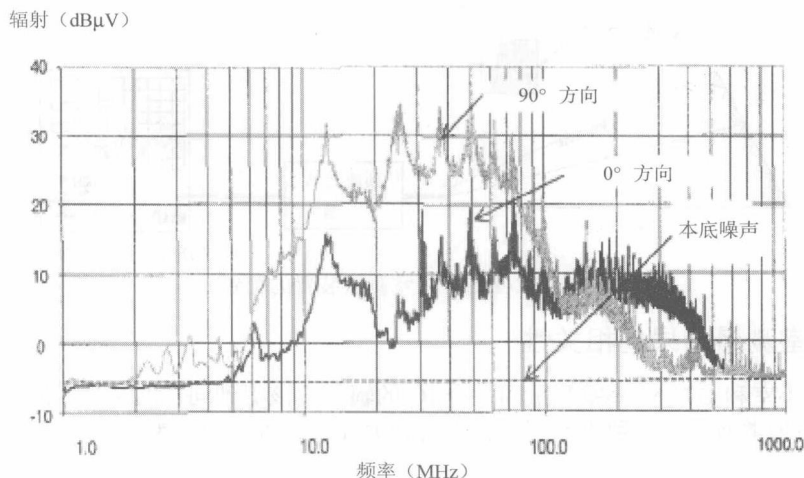


图 4-10 使用 TEM 小室测量微控制器辐射：同一程序，不同取向对比图

2.4 GTEM: TEM 小室的高频变体

GTEM 小室（图 4-11）可用来克服 TEM 小室的频率限制。小室是由矩形传输线的截锥形部分及一个偏移和倾斜的隔板组成的。隔板是锥形的，这样一来在沿着小室的整个长度上，特征阻抗可以保持为 $50\ \Omega$ 。小室的宽端终止于低频时可作为 $50\ \Omega$ 负载电路的分布式阻抗负载。小室的窄端与 $50\ \Omega$ 同轴线转接头相连接。

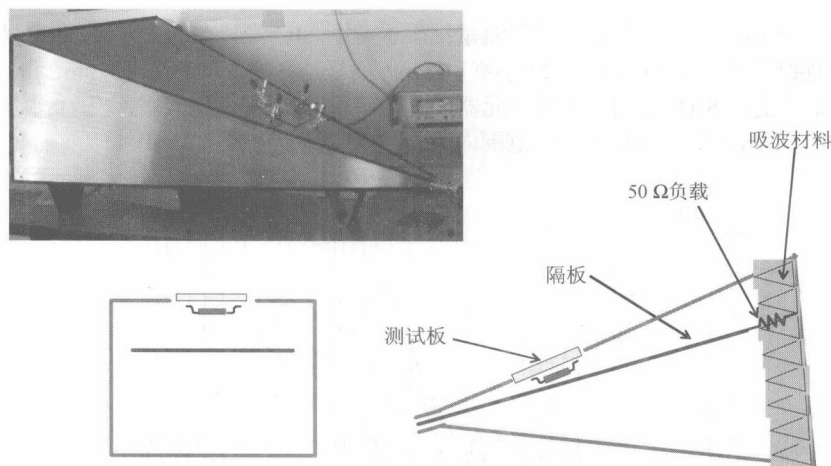


图 4-11 GTEM 小室的外观和横截面图

使用 GTEM 小室进行 IC 发射测量的方法（如图 4-12 所示）与 TEM 小室方法类似。但是因其截止端口的良好匹配性和锥形结构，GTEM 小室的上限频率可以从几个 GHz 到典型的 18 GHz 变化。

将测试板嵌入小室外壁后，IC 发射的信号会在局部激励几种模式波，不仅有基础的 TEM 模式波，还有 TE 和 TM 模式波（De Leo, 1991）。这些波向 GTEM 小室的窄端传播。随着小室横截面积的减小，高次模逐渐截止并将其携带的能量传递给 TEM 模式波。在小室的输出端，TEM 模式波将几乎传递 IC 所发射的全部能量。

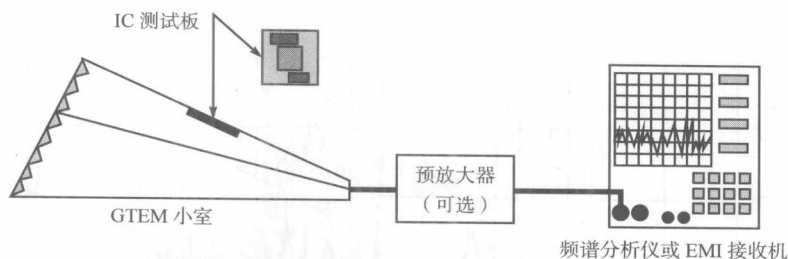


图 4-12 GTEM 小室测量装置的配置

2.5 不同小室测量结果的相关性

使用 TEM 小室和 GTEM 小室测量同一个 IC 的辐射应该得到同样的结果，因为 IC 与内导体隔板之间的间距是类似的。两种小室测量结果的相关性系数可以表示为

$$\delta = \frac{V_{\text{out},2}(f)}{V_{\text{out},1}(f)} = \frac{h_1}{h_2} \quad (4-3)$$

式中， $V_{\text{out},1}(f)$ 和 $V_{\text{out},2}(f)$ 分别代表在 C_1 和 C_2 小室输出端口测得的电压； h_1 和 h_2 为内导体隔板与电路板所在外壁之间的间距。

分别使用 C_1 和 C_2 小室对同一 IC 进行测量的结果可以通过下式转换：

$$V_{\text{out},2}(f) \big|_{\text{dB}\mu\text{V}} = V_{\text{out},1}(f) \big|_{\text{dB}\mu\text{V}} + 20 \lg \left(\frac{h_1}{h_2} \right) \quad (4-4)$$

GTEM 小室内导体隔板与 IC 之间的距离已经经过了调整，以接近多数 TEM 小室内使用的值（如 45 mm）。

图 4-13 是一个 16 字节微控制器的发射测量结果示意图。IC 安装在与 TEM/GTEM 小室兼容的测试电路板上，并连续嵌入一个 Fischer TEM 小室（内导体隔板与孔之间间距为 45 mm）和一个 Schaffner 的 GTEM 250 型小室的 SAE 孔内。测量在元器件的同一取向、同一运行程序下进行，且频谱分析仪使用同样的设置。不出所料，在整个频率范围内两者得到了近乎一致的结果。

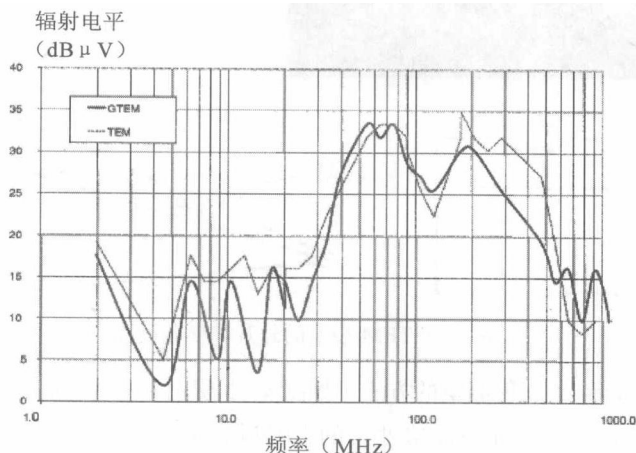


图 4-13 在 TEM 小室和 GTEM 小室内测量元器件辐射的对比图

3. 近场扫描方法

K.Slattey 于 1999 年将近场扫描仪用于解决集成电路问题，扫描仪以一个足够高的分辨率绘

制出了集成电路封装上方的场。如今许多致力于芯片级别 EMC 问题的研究实验室均采用了近场扫描仪。连接至接收机的特定探头用于测量由集成电路辐射出的电磁场所选场分量的幅值和相位。

使用射频接收机确定电磁场的测量方法可以分为两大技术类别。如图 4-14 所示为将场探头通过同轴线直接连接到接收机的直接测量技术。

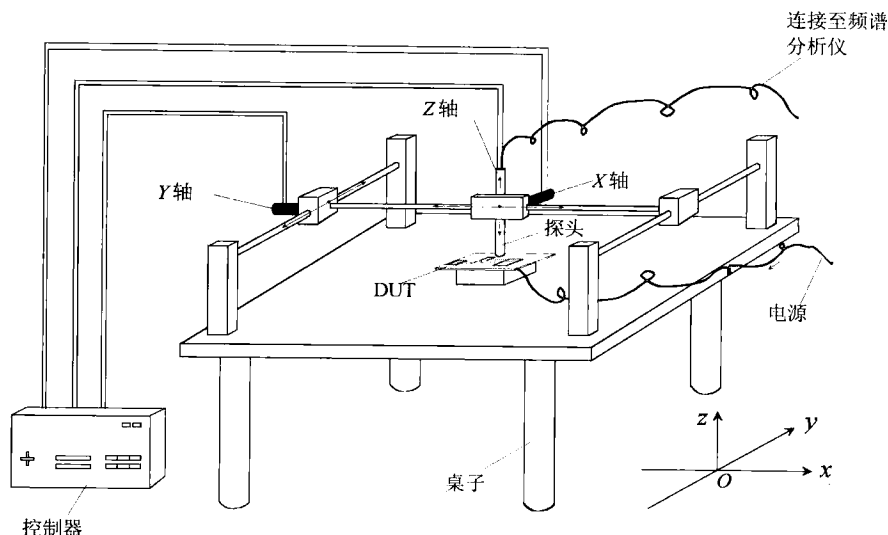


图 4-14 近场扫描仪配置举例

第二类技术是通过在测量点周围引入散射体产生一个微扰，以起到加强空间分辨率和降低探头与被测设备之间的寄生耦合的作用。为了提高灵敏度和空间分辨率，需要对散射信号进行调制，而且可以利用接收机分辨出调制信号和寄生信号（Garreau, 1992）。Bolomey（2001）对多种调制方式（如机械调制、电信号调制、光学调制等）进行了讨论和比较。

使用电调制信号时，低频信号沿高阻抗金属支架传播可以减小额外的微扰。也可使用与已调制光学源相连的光纤减小前述额外的微扰（Liang, 1997）。

3.1 扫描仪和定位系统

机械定位系统用于在一个平面内移动探头或者被测设备。如图 4-15 所示为法国图卢兹 ENSEEIHT 开发的一套近场扫描仪。该结构相对于被测设备具有最小的反射区域。可以在扫描仪的金属支撑结构和电缆上添加吸波材料。

探头可以按照直角坐标系或者极坐标系进行移动定位。近场测量所需的集成电路表面扫描面积通常在 $2\text{ cm} \times 2\text{ cm}$ 至 $10\text{ cm} \times 10\text{ cm}$ 之间。

使用探头阵可以减少移动单个探头测量所需的时间。通过开关合路器或者多路复用器可将多个探头连接至接收机。

为解决多端口连接的缺点，所选通道的信号经过了调制并且满足了动态范围的要求。可以使用开关二极管进行调制。Bolomey（2001）分析了几种使用无线和有线合路器的结构。图 4-16 是使用电调制信号的球形近场扫描系统。系统安装在全电波暗室内，其大弧上分布有 30 个双极化探头。通过这些探头使用电信号扫描可以得到被测设备的实时辐射图景。加入方位角定位系统后就可以得到整个球面上的辐射图景了。

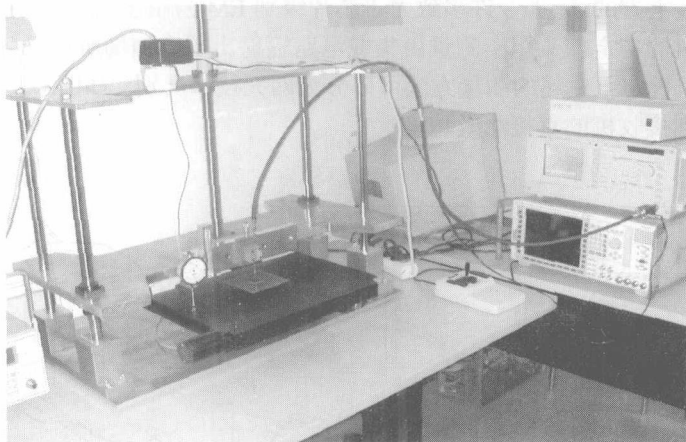


图 4-15 近场扫描系统和机械定位装置

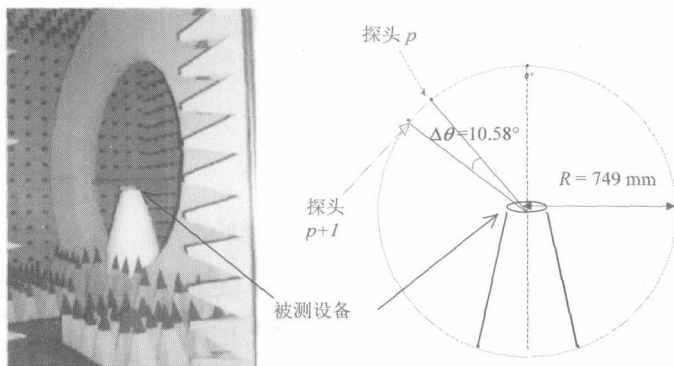


图 4-16 法国雷恩 IETR 的球形扫描系统图

3.2 近场扫描使用的探头

近场探头是由许多安装在扫描系统上的小天线组成的，其电磁特性满足捕捉特定场分量的要求：沿着 x 、 y 和 z 轴捕捉磁场 H_x, H_y, H_z 和电场 E_x, E_y, E_z 。另外，探头应当具备下列特性：

- (1) 对期望场分量具有高敏感度；
- (2) 拒绝所有非期望场分量；
- (3) 高的空间分辨率；
- (4) 不会干扰被测场。

可以使用 $50\ \Omega$ 半刚性同轴电缆的内导体制作简单实用的探头。图 4-17 是单极子和偶极子同轴探头的典型结构。最常用的探头是同轴单极子天线 (E_z 探头)。探头和被测设备之间的耦合基本上是电容性的 (Gao, 1998)。这种类型的探头可以用于测量电场的垂直分量。

探头尺寸应能满足空间分辨率的要求。一般探头的尺寸约为 $1\ \text{mm}$ ，以满足扫描集成电路所需的分辨率的要求。探头尺寸减小后，接收信号的幅度和信噪比也随之下降。为了减小探头对场的干扰，内导体和外导体要在同一平面内截取 (如图 4-17 所示)。这种几何结构可以减小探头的干扰，但是会降低探头的灵敏度。为了减小同轴线外层的寄生电流，可以在探头的另一端使用屏蔽或者吸波体。

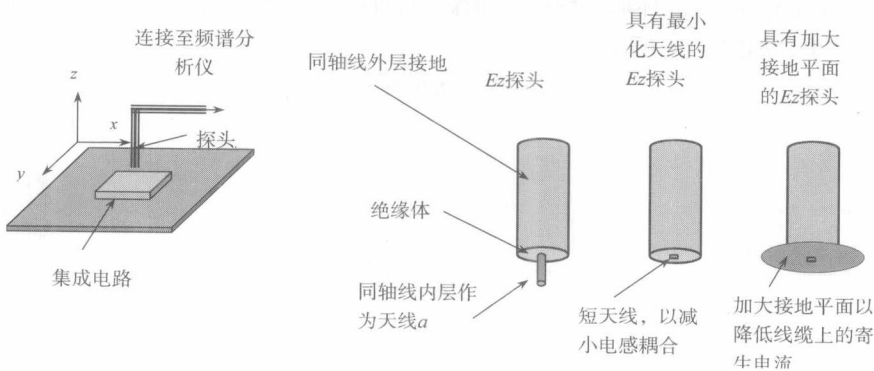


图 4-17 用于 E_z 测量的同轴电场探头

可以使用电场探头沿着被测设备的表面移动以测量切线方向的场分量。图 4-18 是用于测量 E_x 、 E_z 的同轴场探头，使用了同轴线和平行导体技术。同轴场探头最高可以用于 18 GHz 的电场测量（Budka，1996）。

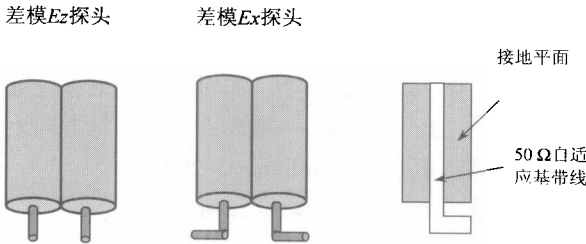


图 4-18 用于 E_x 、 E_z 测量的同轴电场探头——使用同轴线和平行导体

环形探头被广泛用于测量磁场（Kazama，2002）。IEC 61967 标准的第三部分详细说明了表面扫描测量方法，并给出了设计和连接磁场探头的建议。图 4-19 是依据标准制作的近场磁场探头的例子。

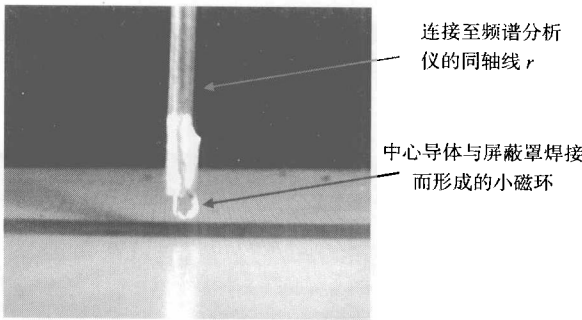


图 4-19 磁场探头示例

线圈内感应生成的电流正比于垂直于探头圆环平面的入射磁场。将探头通过线缆连接至输入阻抗为 $50\ \Omega$ 的频谱分析仪后，频谱分析仪测得的功率 P_{mes} 线性正比于探头所在位置的磁场。

为了精确测量磁场，需要对探头进行严格的校准。可以通过在一个简化的 $50\ \Omega$ 测试装置上测量近场并将其与通过 3D 电磁场分析软件计算所得磁场进行比较以建立测得功率 P_{mes} （单位为 dBm）与磁场（单位为 dBA/m）之间的关系。

式(4-5)中引入的2 mm 环形磁场探头的探头特性因子(PPF)在1 GHz 频率范围内与频率有简单的比例关系,如图4-20所示。

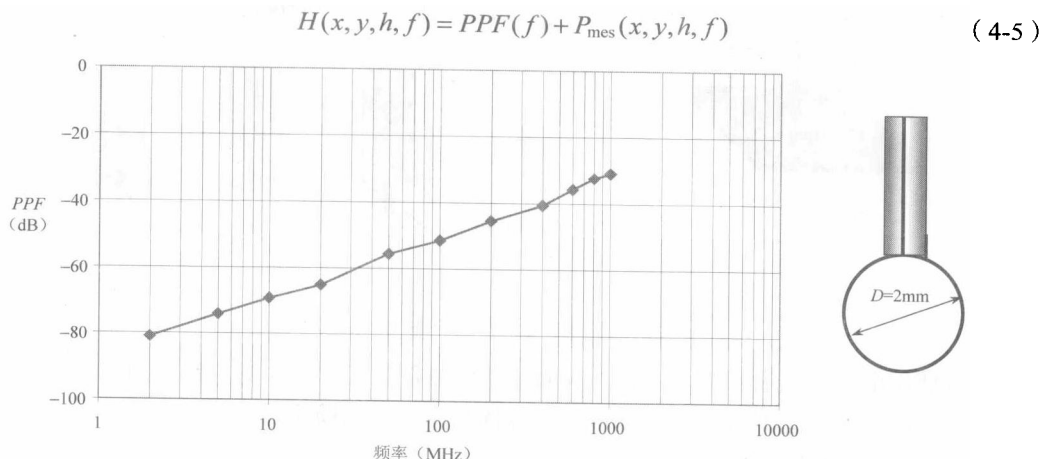


图 4-20 探头特性因子与频率的相关性

需要注意的是,被测的场相当于整个探头表面上的平均值。而且被测信号相当于电磁场与探头辐射模式的卷积。为了减小探头引入的场的改变,需对扫描结果进行数学去卷积算法。当使用分离的探头分别扫描每一坐标方向(X, Y)时,一般要在各个坐标方向上进行去卷积。对于具有交叉极化方向组件的探头,补偿算法更复杂(Bolomey, 2001)。

尽管确定矢量场需要精确测量两个物理量(幅度和相位),但确定 EMC 适用的场电平首先要测量的是幅度。增加相位信息后可以更精确地得出电流的走向及其延迟。

3.3 集成电路发射

作为实际应用的示例,下面给出关于安装在固定于双面印制电路板的无引线载体上的 ALTERA 可编程设备的辐射发射的研究报告。

图 4-21 是被测电路板正反两面的金属层照片。电路板表面的元器件还有一个 5 V 校正仪、滤波电容和 RAM 存储器。通过 BNC 接口馈入电路板一个 10 MHz 的时钟信号,其上升时间为 5 ns,占空比为 50%。

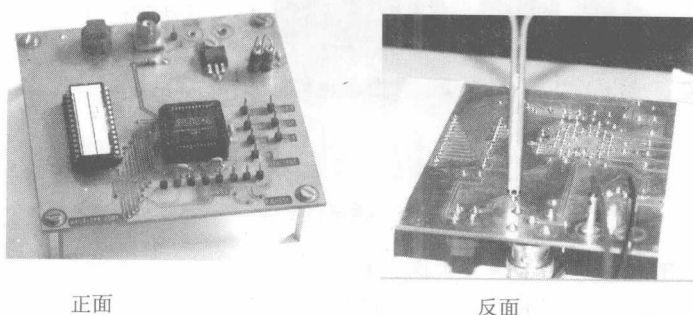


图 4-21 被测 IC 及其印制电路板

近场测量使用的是 ESIGELEC 型扫描仪(Baudry, 2004),其磁场探头尺寸为 2.0 mm,并由两条相邻的同轴线组成。探头沿着图 4-22 的 X 轴方向移动。通过 180° 混合耦合器频谱分析仪可

测量同轴线的两个内导体之间的差异。

图 4-22 为频率分别是 50 MHz 和 220 MHz 时的扫描结果, 探头距离电路板接地平面高度 h 为 4.0 mm, 该高度位于感应近场区 ($h < \lambda/2\pi$)。频谱分析仪的分辨率带宽是 3 kHz。图上不同的灰度对应不同的磁场强度。

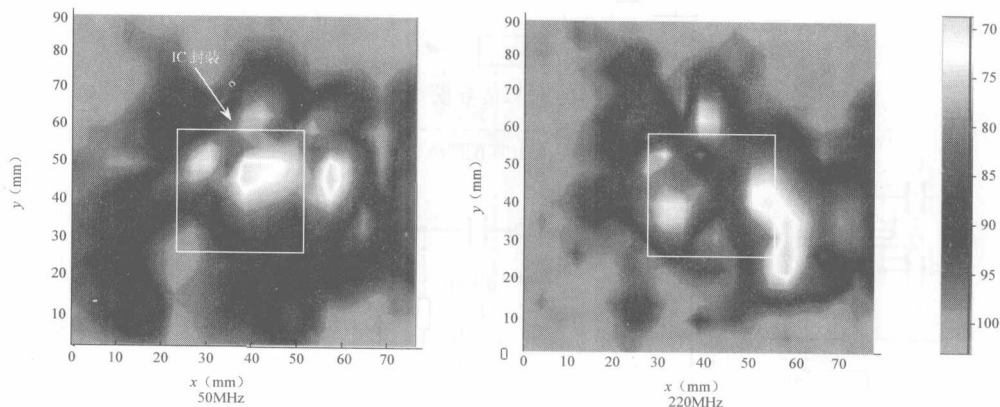


图 4-22 探头沿 X 轴测得的近场扫描图 (左图的 $f=50$ MHz, 右图的 $f=220$ MHz)

图中结果显示场强最大的区域位于集成电路上方 (扫描中心) 并与时钟信号的走向相对应 (下方左侧)。当扫描频率为 50 MHz 时, 该频率对应于时钟信号的第五次谐波, 由于时钟信号为方形, 故其高次谐波含有明显的能量。当频率为 220 MHz 时, 时钟信号的贡献已经明显减小, 被测场集中在 IC 封装层附近。

3.4 讨论

基于非接触的测量方法, 采用近场扫描技术可以对集成电路产生的模拟和数字电磁干扰进行有效的分析。对于具有强磁场能量的区域, 可以很容易地在集成电路和外封装表面进行定位。为满足不断增长的探头微型化、提高空间分辨率和探头灵敏度的需求, 已经不断有新型的集成了滤波和放大功能的探头被研发出来。

近场扫描的主要缺点是在每一给定频率上完成所有扫描所需时间太长。完成集成电路所有 10 次谐波的电场和磁场扫描可能需要几天测量时间。合成有并行测量装置的各向同性探头可以将扫描时间缩短为几个小时。

4. $1\Omega/150\Omega$ 传导法

评估集成电路行之有效的一种方法是测量每一个引脚的传导噪声电流。具体的一种操作是在引脚附近串联一个小的电阻, 然后测量这个阻抗上的压降 (IEC, 2001), 如图 4-23 所示。

由于与芯片设计相关的发射问题源自通过引脚自芯片外壳传导而出的噪声, 所以这种传导方法可以很好地评价真实产品的性能。

I/O 的测量配置如图 4-24 所示。图中由电阻和电容组成的匹配网络等效于一个 150Ω 的负载。虽然该配置对应于一般的情况, 但可以根据被测设备和实际应用的情况做出更改。如果 IC 的引脚太多, 需要合理选择检测点, 并且保证测试板的每一个被测引脚具有附加电阻、电容及高质量转接头 (如 SMA 或者 SMB)。

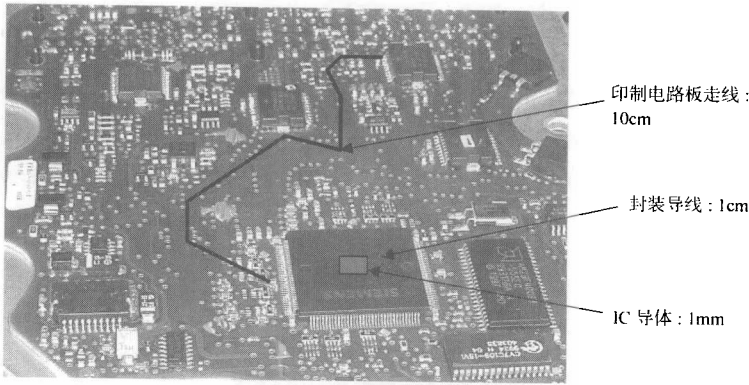


图 4-25 测试板及相关导体尺寸举例

进行 RF 发射测试时，可以使用测量天线捕获电磁场并通过频谱分析仪进行描绘。通过被动式耦合去耦网络（CDN），可以确定骚扰源和测量接收机输入之间的全部互感。因为被动式网络是可逆的，所以其也可用于 RF 抗扰度的测试。

在瑞士、德国、日本和荷兰，有很多单位和个人从事共模阻抗测量的研究。所有的研究结果都显示：共模阻抗随频率变化的范围很广，从一欧姆到几千个欧姆不等。测量结果还表明，共模阻抗的平均值是 150 Ω（参见表 4-5）。为了保证测量的复现性，需要降低测量的误差。

表 4-5 耦合去耦网络（CDN）的共模阻抗要求

频段	150 kHz ~ 26 MHz	26 ~ 1000 MHz
共模阻抗	150 Ω +/-20 Ω	150 Ω +60/-45 Ω

5.1 WBFC 方法的适用范围

在展开论述之前，需要提醒读者注意的是本方法只适用于具有外部连线的电子设备。对于小型无线设备，本方法是不适用的！不过本方法还适用于当连接至源和被辐射体的导线和电缆远远长于集成电路的最大尺寸的场合。本方法适用的最低频率取决于连接至被测端口导线的最大长度。

法拉第笼的尺寸为 0.5 m×0.35 m×0.15 m，因此会产生特定的谐振。WBFC 的谐振频率由下式给出：

$$f_{mnp} = \frac{1}{2\sqrt{\mu_0\mu_r\epsilon_0\epsilon_r}} \sqrt{\left(\frac{m}{L}\right)^2 + \left(\frac{n}{W}\right)^2 + \left(\frac{p}{H}\right)^2} \tag{4-6}$$

式中， f_{mnp} 为频率（Hz）； ϵ_0 为绝对介电常数（ 8.85×10^{-12} F/m）； ϵ_r 为相对介电常数（空气中是 1.0）； μ_0 为真空中的磁导率（ $4\pi\times10^{-7}$ H/m）； μ_r 为相对磁导率（空气中是 1.0）； m, n, p 为模次（取整数 0,1,2,...）； L 为 WBFC 的长度（m）； W 为 WBFC 的宽度（m）； H 为 WBFC 的高度（m）。

当正常使用状态下共模负载的 PCB 被放置在法拉第笼内时，谐振质量会下降并且限定在 1 GHz 以上的少数几个频点上。通过式（4-6）可以得到 1.13 GHz，1.24 GHz，1.35 GHz 等频点。

5.2 工作台法拉第笼法的基本观念

图 4-26 给出了一个简化的测量装置。通常 PCB 上的 IC 具有两三个，以及更多的连接端口，如输入端口、输出端口、电源端口等。图 4-27 中仅仅考虑了两个端口。在 RF 抗扰度测试中，一个归一化的骚扰源会在被测设备上产生 RF 电流和 RF 电压。如果两个端口的共模阻抗均为 150 Ω，则被测设备上的电压 U_{com} 将是骚扰源电压的一半。式（4-7）给出了电场 E 和被测设备电位 U_{com} 之间的关系：

$$E = \frac{U_{com}}{\text{高度}}$$

(4-7)

测试 IC 时支撑高度通常为 30 mm。共模电流 I_{com} 沿 DUT 表面分布，电流分布密度为 J_{com} ，其产生的磁场 H 可以通过毕奥-萨伐尔定律 [式 (4-8)] 得出。当 DUT 的端口数为无穷时，电流不会高于两倍。相反，嵌有 IC 的 PCB 与接地参考平面 (GRP) 之间的电场会减小，因为此时的共模电压将减小为零。

$$H = \frac{J_{com}}{2\pi R}$$

(4-8)

$$V_{AB} = I_{com} Z_{DUT}$$

(4-9)

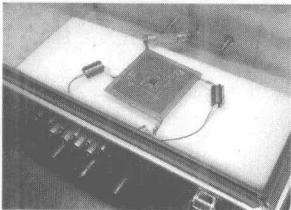


图 4-26 工作台法拉第笼 (WBFC) 内的被测设备

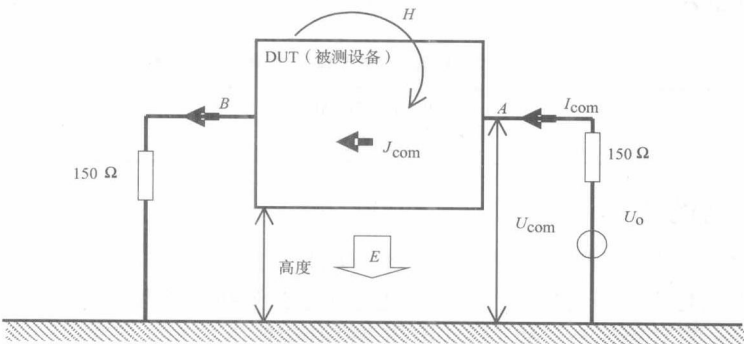


图 4-27 WBFC 方法的电路原理

DUT 和外部设备的连接示意图如图 4-28 所示，图中标明了 DUT、铁氧体磁环、连接线，法拉第笼壁上的滤波器和用于 DUT 供电和监视的外部设备。

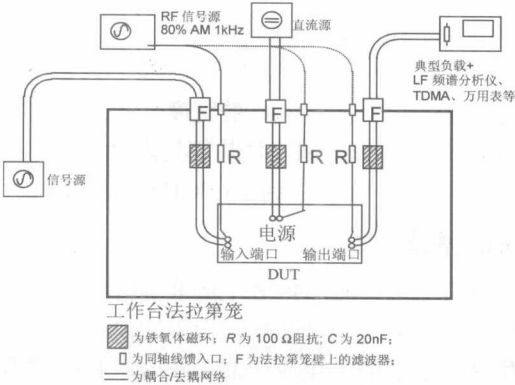


图 4-28 DUT 和外部设备的连接示意图

5.3 功率匹配

功率匹配的目的是为了将源的功率沿最合适的途径传递给接收方。功率匹配很差时,被测设备只接收射频源所产生功率的一小部分。下面进一步分析被测电路的共模行为。共模阻抗 Z_c 为射频信号发生器的等效负载,如图 4-29 所示。

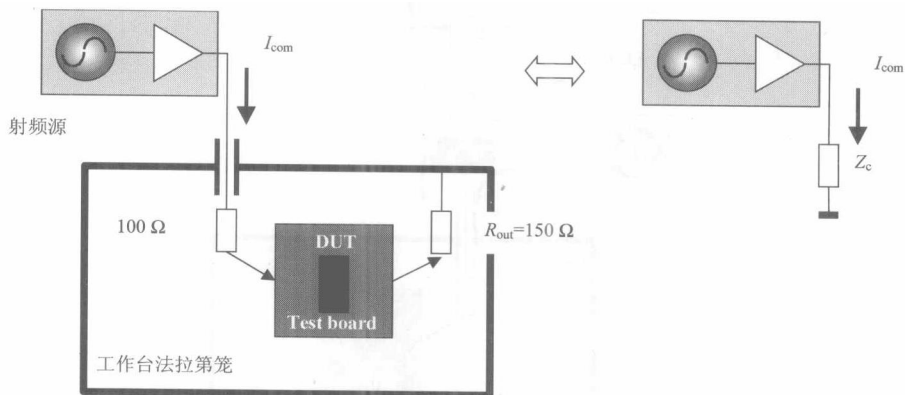


图 4-29 测试板等效为一个阻抗 Z_c

阻抗与信号源的频率有非常强的相关性。 Z_c 也会随 IC 端口的负载情况而变化。如图 4-30 所示为从设备流向两端口测试板的电流 I_{com} 在宽频带对于不同的共模阻抗 R_{out} 的仿真结果。

当传递给测试板的电流几乎不随入射频率变化时,功率匹配最好。通过模拟可知,当 R_{out} 为 $150\ \Omega$ 时共模模式最稳定。

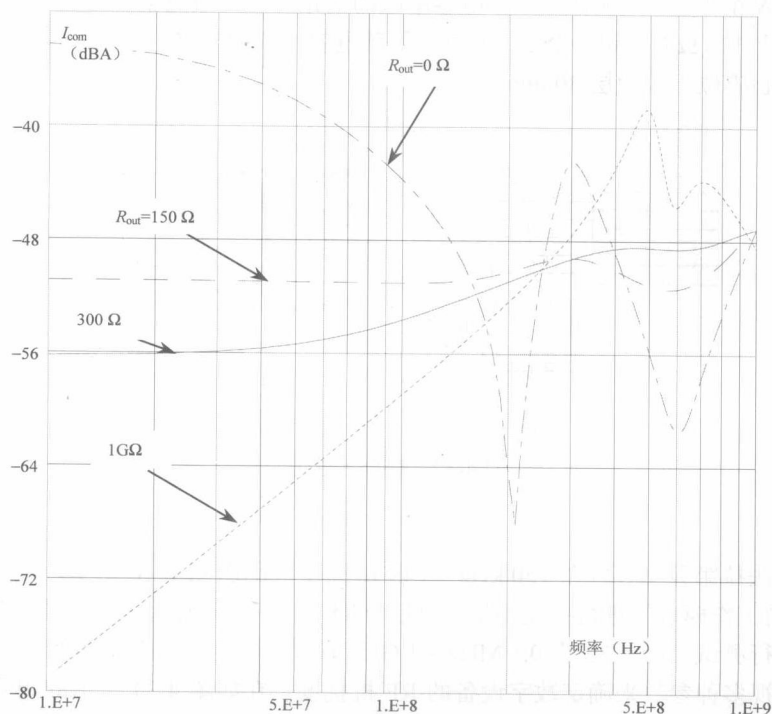


图 4-30 不同频率、不同共模负载下电流的变化

5.4 耦合去耦网络

耦合去耦网络 (CDN) 的作用是将 RF 信号耦合入被测设备, 同时过滤掉功能信号, 如图 4-31 所示。

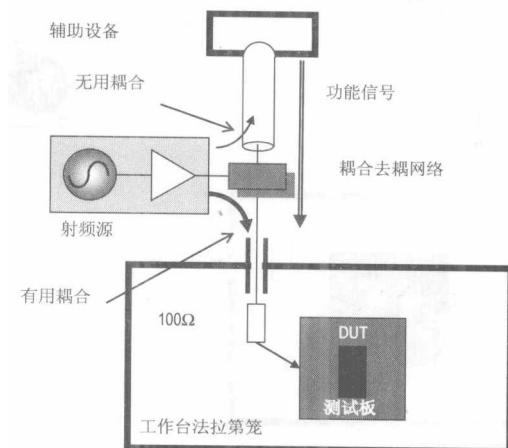


图 4-31 耦合去耦网络

通常要求 CDN 具有 40 dB 的定向耦合度。CDN 的插入损耗应当小于 5 dB。使用阻抗比率变换器（而不是通常的串联阻抗变换器）时，插入损耗可以为负。

对非屏蔽电缆（如图 4-32 的左图所示）而言，RF 耦合沿各电缆等效分布，并与电缆的作用无关，故可使用 N 个 $100\ \Omega$ 电阻跟 $22\ \text{nF}$ 电容串联的电路。对屏蔽电缆（如图 4-32 的右图所示）而言，可使用一个 $100\ \Omega$ 电阻跟一个 $22\ \text{nF}$ 直流屏蔽电容串联的电路。为保持共模阻抗为 $150\ \Omega$ ，测试板端口的中心应位于接地层 $30\ \text{mm}$ 以上。

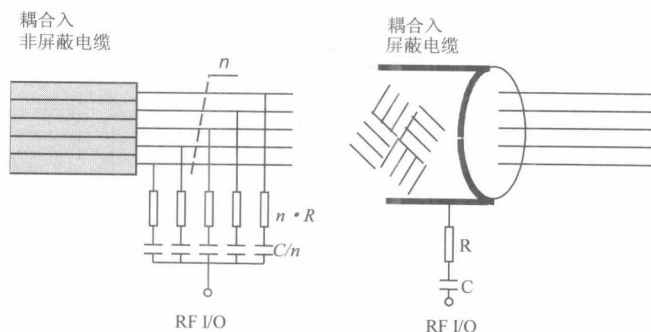


图 4-32 耦合入电缆

5.5 测量

使用工作台法拉第笼法，可在 $150\ \text{kHz} \sim 1\ \text{GHz}$ 频率范围内测量 IC 的 RF 发射频谱。通常需在 IC 的各种不同工作模式下进行重复测量。而且与 TEM 小室法类似，EMC 测试板要在四个相隔 90° 的取向下进行测试。图 4-33 为 $0.1\ \text{MHz} \sim 1\ \text{GHz}$ 频率范围内 RF 发射幅度随频率变化的图。

可以通过监视多种参数来确定数字设备的 RF 抗扰度。在如图 4-34 所示的例子中，是通过测量 IC 循环程序中随骚扰信号载波频率变化的波动来监视其抗扰度的。

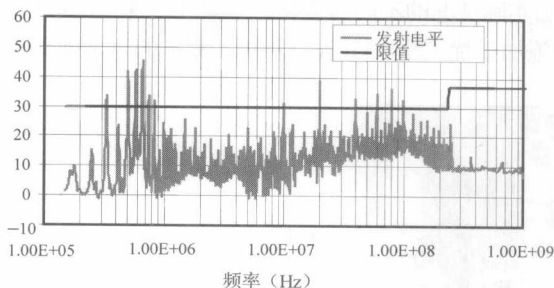
发射电平 (dB μ V)

图 4-33 使用 WBFC 进行传导测量

波动 (ns)

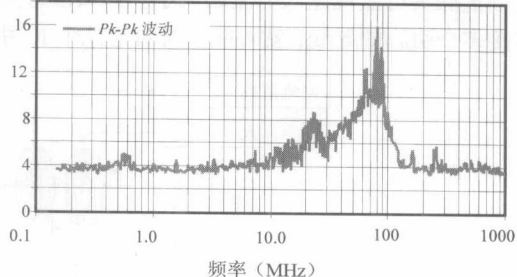


图 4-34 使用 WBFC 法测量波动

与 RF 发射测试方法类似，EMC 测试板要在四个相隔 90° 的取向下进行测试。在图 4-34 中记录了各个取向随频率变化的最大波动。IC 运行程序不同时，波动的响应也不相同。

5.6 讨论

与 TEM/GTEM 小室法、近场扫描法、DPI、BCI 等方法不同，WBFC 法的整套设备对测量结果起到了支配性作用。此外，使用 TEM 小室法进行 RF 发射测量时，RF 发射测量结果会受到影响，如在 IC 上加一个焊接至参考面的铜壳之后，RF 辐射就会减小。而使用 WBFC 法时，RF 发射测量结果则很难受到影响，因为流经 IC 引脚的 di/dt 和流过 PCB 的电流受影响很小。

进行 RF 发射测量时，除了通过最大值保持模式测得的峰值 RF 发射电平之外，峰值的持续时间是重要的，因为扩展频谱的时钟信号通常需使用数字设计或者数字 RF 调制模式的跳频。

可以通过降低频谱分析仪或者 RF 测量接收机的测量带宽，并使其小于调频或者扩展频谱的带宽来进行测量，不过测量时间也会相应增长。

对这些要求进行定性规定并不容易，因为这取决于被保护的信号，如窄带 RF 广播，敏感模拟基带信号或者微功率宽带逻辑信号等。目前在这一方面的标准相当匮乏，因为这个话题太过宽泛了。

进行 RF 抗扰度测试时必须观察被测设备的响应。同样，响应的多样性意味着几乎可以测试所有的信号。众所周知，音频穿透响应与在显示器上出现波纹是相似的。但是在设备或产品处于真实出错状态之前，一些简单的响应（如电源电流波动、直流或者基带增益、端口的输出频率、占空比和波动等的响应）是非常易于监测和测量的。还有一些冗长的测量方案，如可能有必要随干扰信号频率变化来测量误码率（BER），但是在误码发生之前，信号上就会出现波动。

在共模阻抗条件下，WBFC 法测量的可复现性很好，测量配置的造价也很低。WBFC 法可用于设备发射（IEC 61967—5）和抗扰度（IEC 62132—5）的定性测量。

6. 大电流注入法（BCI）

本节讲述用于传导抗扰度测量的大电流注入法（BCI）。其测量的基本原理是产生一个可以通过电缆耦合入被测设备的感应电流。

IEC 62132—3 中定义的 BCI 测试方法源于系统级别的 BCI 测量方法，并通过规定特殊的测试板及测量配置引入到了 IC 特性的测试中。

被测设备（DUT）的受干扰引脚将通过导线连接至 IC 制造商所规定的典型负载上。负载、导线和 DUT 定位于一个高度已定的接地平面上，并通常放在法拉第笼内。电源引脚通过滤波器（如 LSIN，即线性稳定阻抗网络，尽管普通 LSIN 的有效频率最高仅达到 100 MHz）连接至电源。

不论在何种情况下, RF 信号都不能干扰电源, 则可通过一个注入探头将 RF 干扰注入 DUT。通过测量探头可监视注入电流的大小。探头位置可以随实际情况的不同而变化。只要注入探头能够环绕连接多个引脚的导线, 就可能同时对这几个 IC 引脚施加干扰。图 4-35 是一个 BCI 测试的典型配置图。

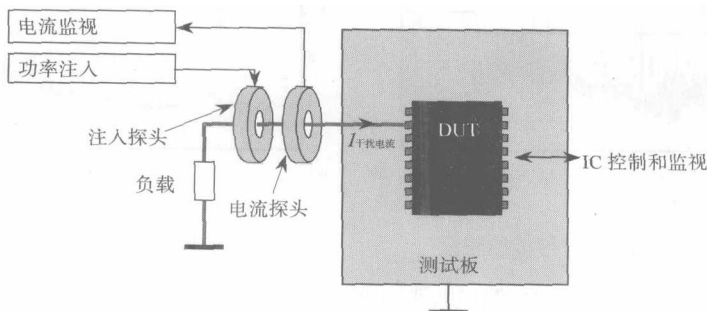


图 4-35 BCI 测试的典型配置

6.1 RF 输入系统的校准

根据 IEC 62132—3, 可在注入探头的校准过程中确定来自信号源的注入功率的大小。校准的目的就是确定在 $50\ \Omega$ 自适应负载上产生规定大小的电流所需的信号源输出功率的大小。

随频率变化的电流曲线在与被测设备相关的 EMC 规范中定义。校准时使用的是连续波 (CW), 即在整个频率范围内 (一般是 $DC \sim 400\ \text{MHz}$) 将 RF 干扰信号等效为一个纯的正弦波。校准配置如图 4-36 所示。图 4-37 是校准配置的示意图。

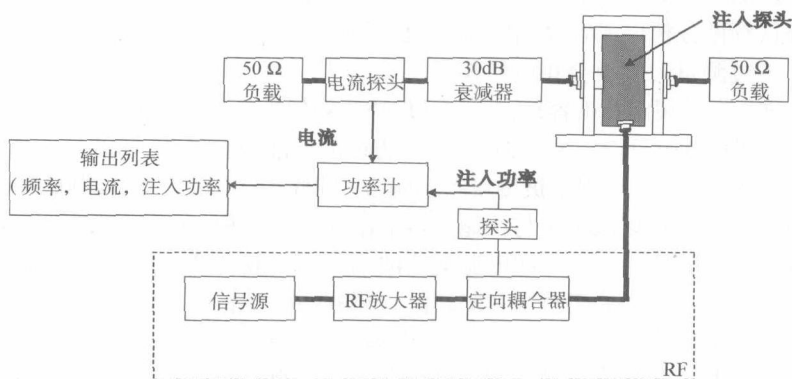


图 4-36 RF 注入探头的校准配置

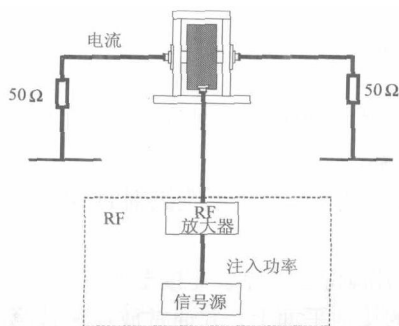


图 4-37 RF 注入探头校准配置的示意图

必要时,两个 $50\ \Omega$ 的负载、衰减器、电流探头和校准模具应通过 $50\ \Omega$ 自适应电缆连接。为了保护 $50\ \Omega$ 自适应串联电流探头免受 RF 注入探头产生的大电流的伤害,需要加入一个衰减器(图中为 $30\ \text{dB}$ 衰减器)。校准模具可用做一个 $50\ \Omega$ 的自适应负载(如图 4-38 所示)。

对每一个电流限值都要进行校准,以评估产生 RF 干扰源的硬件(注入探头、放大器、信号源)的非线性特征。校准结果是前向功率(该功率在一个 $50\ \Omega$ 的参考负载上产生 $200\ \text{mA}$ 的电流)随频率变化的点图(如图 4-39 所示)。

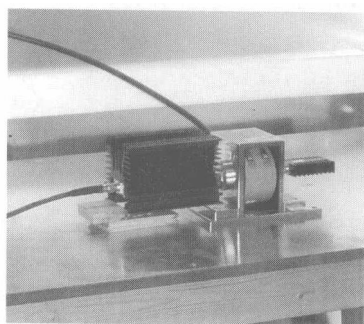


图 4-38 RF 注入探头校准配置照片

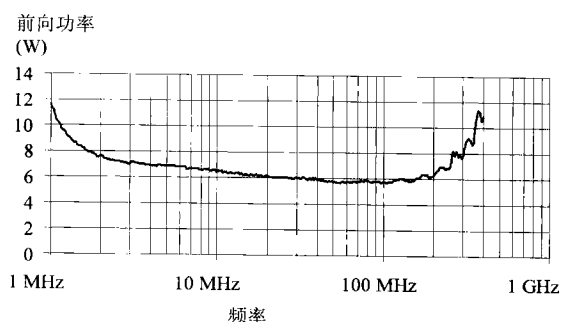


图 4-39 前向功率—频率图(探头校准电流为 $200\ \text{mA}$)

6.2 测试配置

BCI 测量配置如图 4-40 所示。尽管标准中没有明确要求,但是 BCI 测试应该在法拉第笼中进行,这么做的主要依据是为了保证测试的重复性。

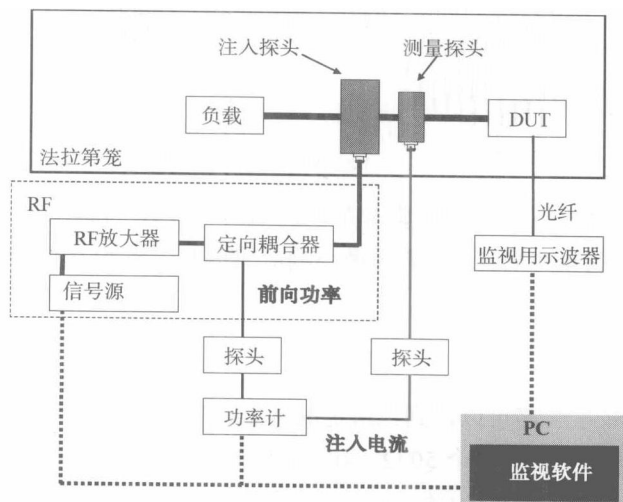


图 4-40 BCI 测试配置图

在法拉第笼内明确规定了接地平面的位置及其他器件(如探头、线缆、DUT)的位置。另外,外部电磁场(如 FM 广播、手机等)的影响也减到最小了。

根据用户的需求可以测试多种配置,如可以只在电源线上进行注入,或者在电源线和接地线上注入,或者在全部电线(电源线和其他信号线)上注入。

6.3 干扰

BCI 测试中使用的 RF 干扰信号有：

- 连续正弦波 (CW)；
- 使用 AM 调制的连续正弦波。

通常，调制信号是一个频率为 1 kHz 的正弦波。调制因子一般固定为 80%。对 IC 进行测试时，CW 和 AM 信号使用同一个恒定的峰值，如图 4-41 所示。CW 和 AM 信号峰值之间的关系如式(4-10)所示：

$$P_{\text{am}} = P_{\text{CW}} \frac{(2+m^2)}{2(1+m)^2} \quad (4-10)$$

当 $m = 0.8$ (也就是 80%) 时，有

$$P_{\text{am}} = 0.407 P_{\text{CW}} \quad (4-11)$$

当使用调制因子为 80% 的 AM 信号作为干扰信号时，相对于 CW 干扰信号而言，信号源的信号电平下降了 5.1 dB。

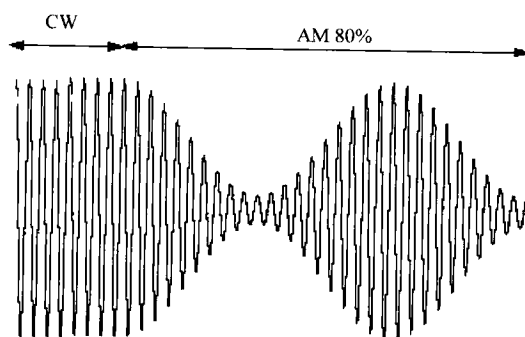


图 4-41 CW 和 AM 信号之间的关系

在测试的每一步过程中，DUT 均暴露在干扰信号下一定的时间，该时间叫做停留时间 (dwell time)。停留时间至少要比 DUT 的最小响应时间长。不论在何种情形下，停留时间都不应小于 1s。

6.4 BCI 测试算法

通过 RF 输入系统校准程序可以得到在给定的频点产生特定的电流所需的注入功率，但是此时使用的是 $50\ \Omega$ 标准负载。将这两个 $50\ \Omega$ 匹配负载替换为 IC 后会改变等效输入阻抗，进而改变 BCI 测试过程中在导线内产生的电流。如果 IC 的输入阻抗小于 $50\ \Omega$ ，则导线内的 RF 电流会变高，反之电流会变低。这就是使用 BCI 测试方法时必须监测注入电流的原因。如果 DUT 有很大的输入阻抗，可以使用 k 因子提高注入功率的限值。在汽车行业内，根据被测设备的不同， k 的取值为 1~4。

测试算法流程如图 4-42 所示。对于每一频率，RF 干扰电平由低到高逐步增加，直到下列条件之一得到满足：达到电流限值，或者 DUT 不合格。为了减少测试时间，下一个频点的初始功率

可以设为比前一个频点低 6 dB。

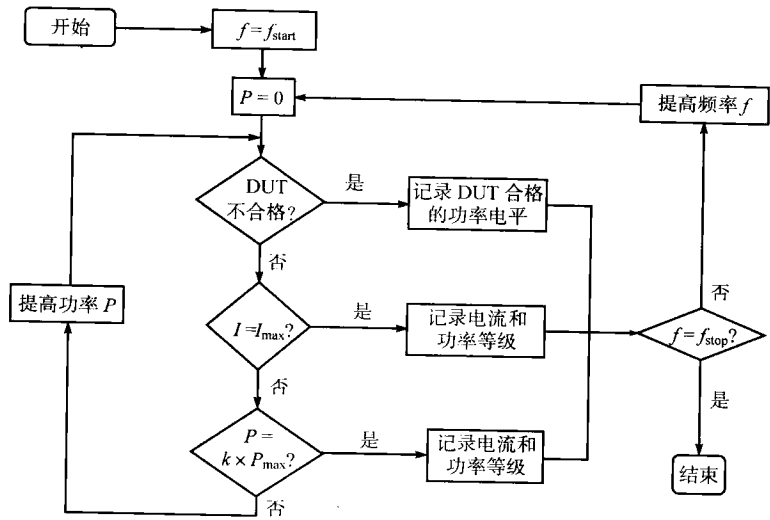


图 4-42 BCI 测试流程图

6.5 不合格判据检测

抗扰度测试的不合格判据很难定义。目前，对任何型号的 IC 而言都没有通用的不合格判据。不合格判据与选定引脚上的电场测量（如电流和电压）有关。可以使用多种判据，如数字信号的波动，I/O 的非期望激活，微处理器的重置等。

通常可以利用示波器的模板（mask）功能判定不合格判据，如图 4-43 所示。进行自动测试时，这种方法尤其方便。如果检测到信号位于模板（模板定义为不加干扰信号时的波形在时间和幅度上的容差因子）之外，示波器就向控制软件发送一个标记信号，控制软件随后停止增加注入功率。

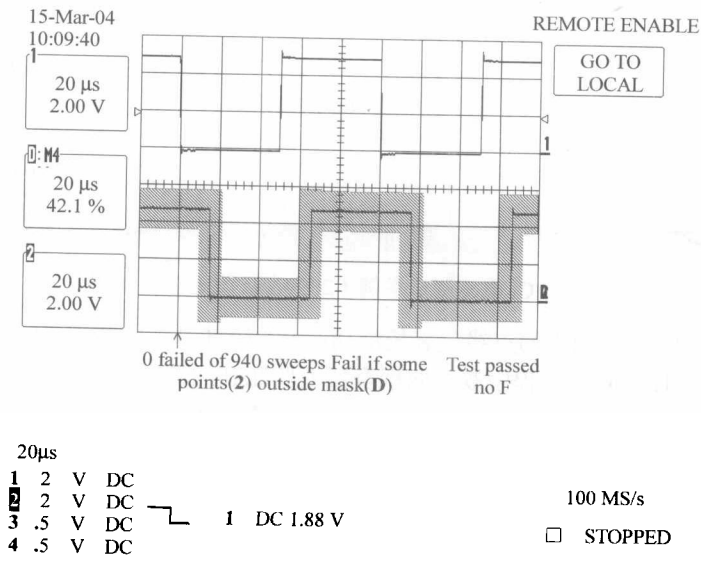


图 4-43 用于包络检测的示波器截屏图

6.6 PCB 和其他硬件设置

到目前为止，前面所讲述的 ISO 标准和 IEC 标准之间并没有明显的差异。

ISO 标准适用于整个电子系统（如图 4-44 所示），而 IEC 标准则专门针对单个的组件（如图 4-45 所示）。这两图所示为汽车工业中广泛使用的 LIN 总线通信的物理界面。

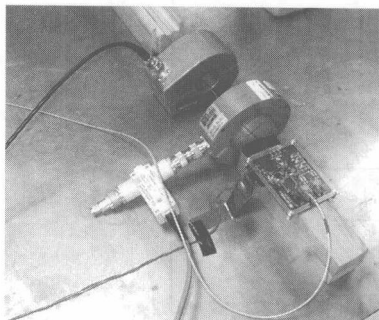


图 4-44 ISO 标准中的 BCI 测试配置

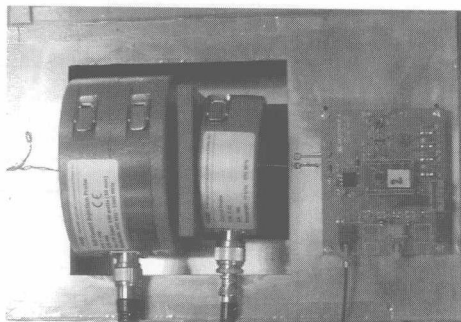


图 4-45 IEC 标准中的 BCI 测试配置

6.7 BCI 测试结果

图 4-46 和图 4-47 为在测试芯板上使用 BCI 测试方法得到的结果。在图 4-46 中，黑粗线代表客户要求的电流目标值，灰线代表电流探头测得的注入电流。因为测得电流（小于目标值）与设备不合格之间没有直接的联系，故对图 4-46 进行分析时要特别注意。

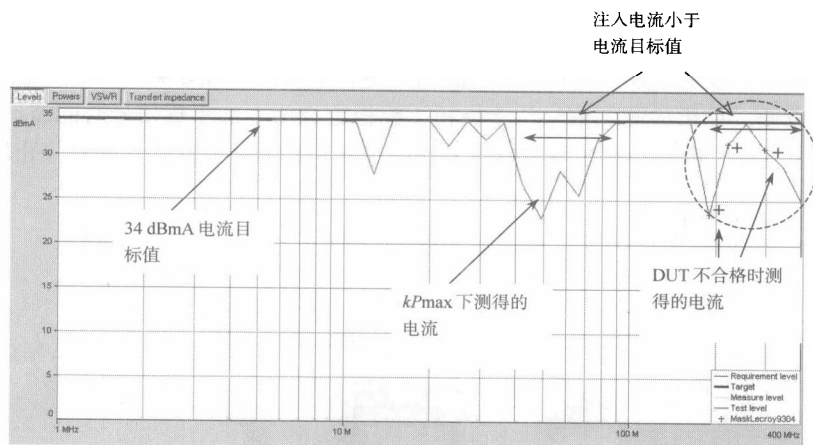


图 4-46 BCI 电流测量举例（200 MHz 附近存在问题）

图 4-47 为注入功率图。图中的点线代表校准功率（在校准过程中产生 34 dBmA 注入电流所需的功率），灰线代表在 BCI 测试过程中双向耦合器上监测到的前向功率。同样，因为测得功率（小于目标值）与设备不合格之间没有直接的联系，对本图进行分析时要特别注意。

在“飞思卡尔半导体”（Freescle Semiconductors）开发的控制软件中，不合格的地方为相应频率下画黑色十字交叉的电流曲线部分。在 100 MHz 以下，可以看出无论是电流目标值（如图 4-46 所示），还是功率目标值（如图 4-47 所示）都没有达到，但是 DUT 却是合格的（在图 4-46 中的相应部分并没有十字交叉）。而且在这个频率范围内 DUT 并不敏感。在 200 MHz 附近，两个目标值均没有达到而 DUT 被判为不合格。因此，DUT 的不合格区域是 150 ~ 350 MHz。

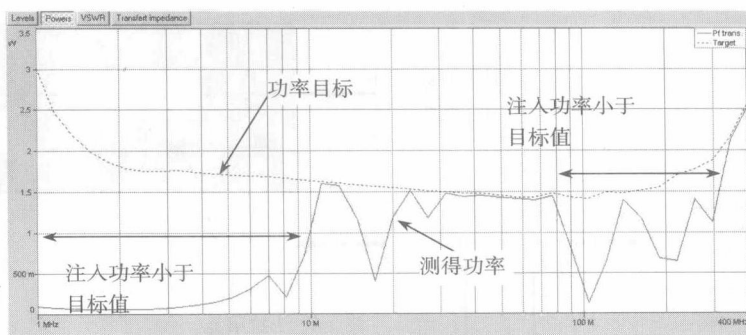


图 4-47 同一 BCI 的功率测量结果

7. 直接功率注入法 (DPI)

使用直接功率注入法时 (IEC 62132—4), RF 干扰通过一个去耦模块注入到元器件的引脚之中, 如图 4-48 所示。去耦模块 (DC 模块) 通常是一个 (带有或不带有串联电阻的) 电容。

通过测量定向耦合器的前向功率和反射功率可以监视该 RF 干扰信号。为了减小反射的影响, 强烈建议在测试时使用 $50\ \Omega$ 的电缆和与 $50\ \Omega$ 匹配的印制电路板走线, 以保证从 RF 信号源到 DUT 之间的注入途径阻抗均为 $50\ \Omega$ 。但是由于 DUT 的阻抗与频率密切相关, 所以产生反射和谐振效应是不可避免的。为了减小电缆的影响, 可以在电容前面接入一个衰减器 (3 dB 或者 6 dB) 作为一个 $50\ \Omega$ 的输入阻抗。

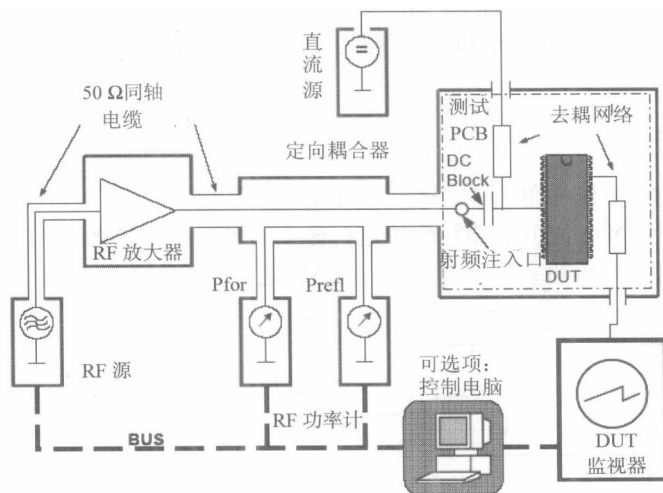


图 4-48 DPI 测试的典型硬件配置

这样, 整个注入系统是一个 $50\ \Omega$ 匹配电阻, 包括了信号源、放大器、耦合电缆和终端 (如图 4-49 所示)。只有衰减器到电容之间的一小段导体存在失配的问题, 并可以精确地予以表征和模拟。

就耦合电容而言, RF 干扰信号的路径是 $50\ \Omega$ 的匹配电阻。为了保证测量的可复现性, 强烈建议将衰减器和电容之间的导线保持固定的长度。

事实上, 耦合器和被测设备输入之间的匹配电阻并非 $50\ \Omega$, 因而会产生反射, 该反射取决于衰减器和电容之间连线的长度。因为 DPI 方法的电磁场辐射很小, 所以使用本方法时法拉第笼并非必需。

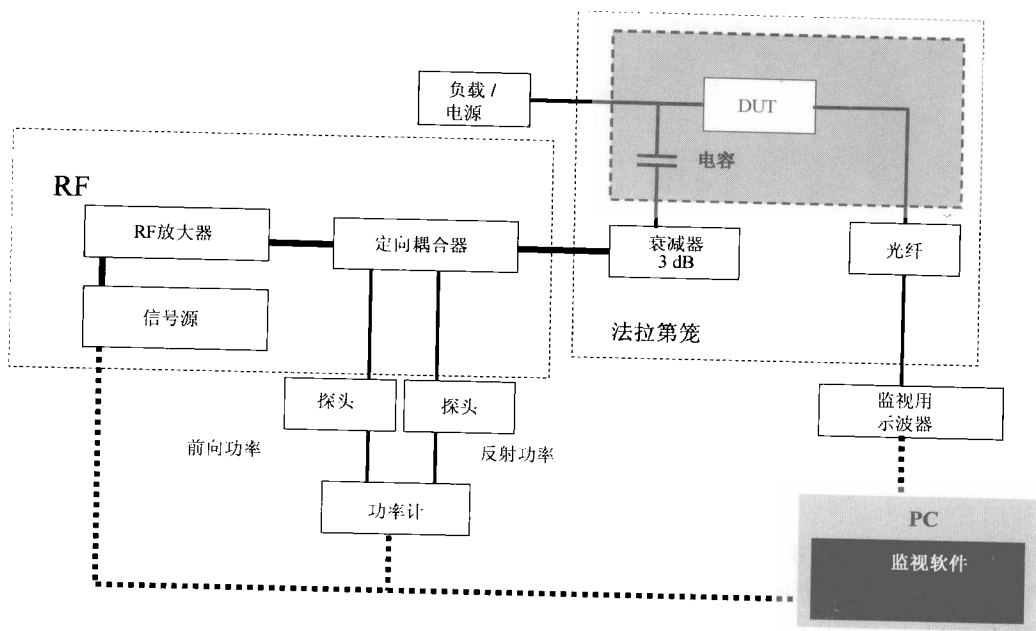


图 4-49 带有衰减器的 DPI 测试配置

注入电容的取值通常为 $1 \sim 10$ nF。因为元器件要承受重大的电气过应力，所以此处应该使用高电压电容。当在高注入功率下进行长期测试时，应当频繁更换该电容以保持其性能不下降。

在标准的最新版本中，需要明确注入系统的传输增益（也就是 $[S_{12}]$ 参数），此时可使用一个 50Ω 的端口代替 DUT。源传输的功率和注入负载的功率之比的最大值应该是 0dB，并且在整个频率范围内的最大容限为 3dB。

7.1 DPI 测试算法

DPI 测试算法比 BCI 方法简单，因为只需要通过定向耦合器监视 DUT 的注入功率（如图 4-50 所示）。需要对耦合器和 DUT 之间的路径阻抗进行仔细的校准，以量化 DUT 接收到的准确功率。为了节省测试时间，通常初始功率不设定为 0，而是设定为 $P_{\text{limit}} - x$ dBm，其中 x 是功率的裕量。

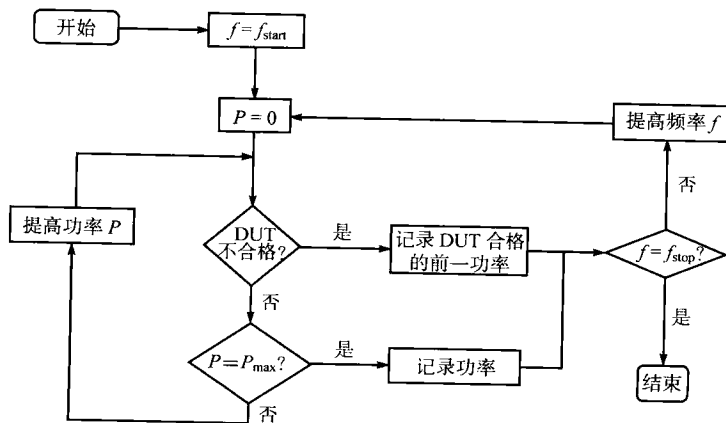


图 4-50 DPI 测试流程图

DPI 的流程图比 BCI 的流程图要简单。进行 DPI 测试时,在每一频率上,应将功率提高至用户说明书中的功率目标值或直至被测设备不合格为止。为了节省测试时间,进行下一个频率测试时,初始功率可设为比前一个频率小 6 dB,以减少功率的循环迭代。

射频干扰信号是一个正弦连续波(DC~1 GHz)或者正弦 AM 调制波(1 kHz, 80%的调制因子)。通常的功率目标值是 1 W (30 dBm)。在特定情况下目标值可以提高到 5 W (36 dBm)。

7.2 DPI 测试结果

典型的 DPI 测试结果如图 4-51 所示。该图表示的是测试汽车上的 LIN 界面。蓝色曲线表示 DUT 合格时的最大注入电流。从图中可知 DUT 在 10 MHz 和 90 MHz 时未达到电流目标值。

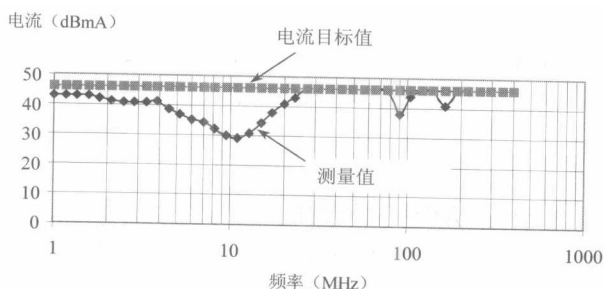


图 4-51 在 LIN 界面电路上进行 DPI 测试的结果举例

DPI 测试方法非常适用于 IC 测试。其主要问题是当测试引脚数量太多时,测试时间太长。有鉴于此,合理的方法是对测试引脚进行预选,而不是测试所有引脚。

8. 集成电路的瞬态抗扰度

本节将描述评估集成电路的瞬态抗扰度性能的瞬态抗扰度测试环境和测试方法。尽管产品级别的瞬态环境和测试方法已经标准化且易于理解,对 IC 而言等效的方法仍未成型。

这样一来,IEC 及其他的一些组织都在进行这方面的工作。目前讨论的重点是产品级别测试方法在 IC 领域的适用性,以及针对 IC 研究特定的测试方法。

8.1 动机

研究 IC 在冲击脉冲下的抗扰度的原因之一是如 Camp (2004) 所述,随着科技的发展,设备的瞬态抗扰度性能在下降(如图 4-52 所示)。这可能是由噪声裕量下降、时钟频率上升或者集成电路复杂度提高所引起的。

在 IC 级别上需要考虑几种瞬态噪声。最常见的是静电放电(ESD),在几个纳秒内其幅度可以达到几千伏。静电放电的波形一般如图 4-53 所示。

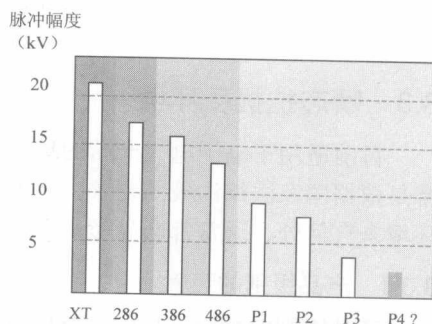


图 4-52 随计算机代数的更新,其抗扰度性能在下降(Camp, 2004)

人体接触电子设备,或者与其他硬件之间发生电接触,都有可能产生 ESD。第 5 章将对 ESD 模型进行详细的讨论。图 4-54 是电快瞬(EFT)的例子,EFT 的上升时间是 5ns,重复频率为 5kHz。可以在集成电路的输入/输出端口加入处理 ESD 和 EFT 脉冲的特定器件,这些器件可以在不损伤元器件的前提下驱散注入的寄生能量。关于这些特殊器件的

讨论可参考 Wang (2002) 的文章。

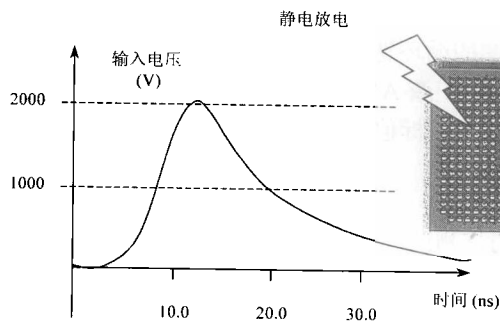


图 4-53 典型的 ESD 脉冲图

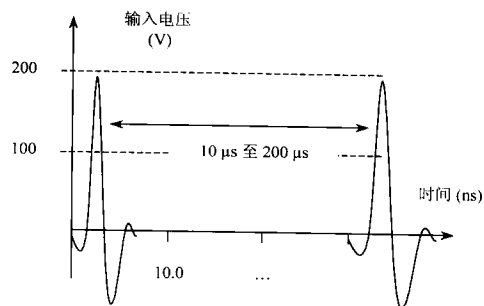


图 4-54 电快瞬的脉冲图

8.2 耦合路径

瞬态脉冲的影响

以下讨论瞬态信号施加点和被测设备之间的耦合路径。无论是通过共模阻抗、互耦还是容性耦合，瞬态信号均可能向以下点传播：输入端口、输出端口、外围接地端口 (V_{ssx}) 和/或内核接地端口 (V_{ssC})，外围电源端口 (V_{ddx}) 和/或内核电源端口 (V_{ddC})，下层端口 (V_{ssIS})。波形导数的至关重要性决定了耦合路径的高通特性，如式 (4-11) 所示：

$$V_{\text{induced}} = L \cdot di/dt \quad (4-12)$$

瞬态信号对设备工作的干扰后果如图 4-55 所示。如果脉冲幅度足够高，将产生一个寄生短脉冲并将信号改变为一个伪 1[如图 4-55 (a) 所示]。与之对称的在图 4-55 (c) 处短脉冲产生一个伪 0。从图中还可以看到在正常的信号传输过程中信号的灵敏度提高了[图 4-55 (b) 所示的上升沿和图 4-55 (d) 所示的下降沿]。

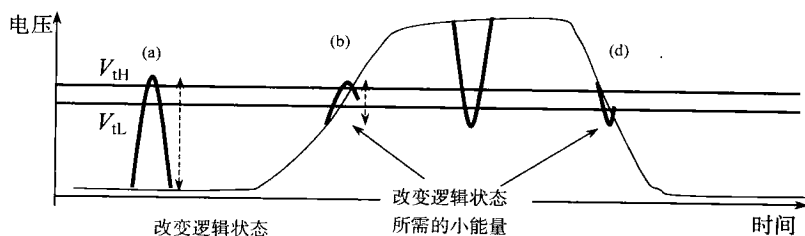


图 4-55 改变逻辑值所需的能量随传输过程减小

8.3 瞬态抗扰度环境

目前适用于电子电气产品的瞬态抗扰度环境只对于最终的成品有明确的规定。适用的环境通常是根据国家法律法规的要求，而不是根据目标市场的形势需要确定的。不管适用的瞬态抗扰度环境来自何处，通常都会参考一个现存的国际标准。

8.3.1 产品级别的环境

产品级别的瞬态抗扰度环境可以分为三大领域：消费和工业领域、汽车领域，以及军事和航空航天领域。这种划分源自这三个领域的实际电磁环境的差异。

许多国家标准和国际标准已经规定了影响瞬态抗扰度的电磁环境特征。本节只关注国际标准

部分。

消费和工业领域电子电气产品的瞬态抗扰度环境定义为电快瞬(EFT),标准是 IEC 61000—4—4。汽车领域电子电气产品的 EFT 标准是 ISO 7637—2。OEM 设计者一般执行这些标准测试方法以满足产品特性和法规要求。军事和航空航天领域通常没有瞬态抗扰度要求。

8.3.2 集成电路级别的环境

目前并没有国家标准或者国际标准规定集成电路的瞬态抗扰度环境。产品级别的瞬态抗扰度环境基于产品使用现场的典型电磁环境或根据用户的要求(家用和商用)进行了扩展。而 IC 级别的瞬态抗扰度环境则与成品的设计有关。即使在一个特定环境和应用情形下,因为产品实现的多样性及随之而来的 EMC 特性的变化,都使得 IC 级别的瞬态抗扰度环境很难被标准化。尽管如此,我们还需要继续开展进而明确一个或多个适当的 IC 级瞬态抗扰度环境。

因为没有可靠的 IC 级别的瞬变抗扰度环境,半导体用户一般倾向于使用产品级别的环境来考察 IC 的符合性。虽然这种方法可以给出最坏情形下的环境,但是事实上 IC 的引脚上很少会受到这种等级的干扰。电源、数字滤波及印制电路板的设计都会衰减瞬变电平。因此使用产品级别的环境来考察 IC 时一定要特别注意,以免带来设计上的额外费用。

8.4 集成电路的测试方法

目前没有针对集成电路的标准瞬态抗扰度测试方法。IEC 第 47 技术委员会(TC 47)正在进行这方面的工作(IEC 62215)。如表 4-6 所示,多数文档仍然处于提案阶段。在标准化测试方法出来之前,半导体制造商倾向于同时使用产品级别的测试方法和某些针对特定 IC 的测试方法。

表 4-6 集成电路冲击脉冲抗扰度测试标准提案

标 准	描 述	截至 2005 年的状况
IEC 62215—1	定义	新提案
IEC 62215—2	脉冲抗扰度测试方法(低电压)	新提案
IEC 62215—3	电快瞬(EFT),静电放电抗扰度(ESD) (高电压)	新提案

8.4.1 使用产品级别测试方法测试 IC

只要能够正确理解产品级别的测试方法的限值,就可以用这些方法来评估 IC 的瞬态抗扰度特性。通常适用于 IC 测试的产品级别测试方法是源自 IEC 61000—4—4 或者 ISO 7367—2 等标准的改良方法。产品制造商通常用这些改良方法来评估子系统或者模块的特性。使用这种方法进行测试比使用其他的独立的测试方法对最终产品而言有更强的针对性。测试装置、硬件配置,以及 IC 的工作模式与最终产品相应的部分越吻合,这种针对性就越强。

在具有特定 IC 的 PCB 的电源线和信号线上注入电快瞬信号的典型实验装置如图 4-56 所示。该实验装置使用了上述 IEC 和 ISO 标准所规定的标准 EFT 信号源和容性耦合夹(50~200pF)。试验装置要求如下。

- 接地参考平面(GRP)是一块厚度不小于 0.25 mm 的金属板(铜板或者铝板)。GRP 的尺寸是 1.6 m× 0.8 m,安装在 0.8 m 高的绝缘桌子上。
- 被测 PCB、耦合夹和所有的电缆放置在接地参考平面上,并且用厚度为 0.1 m 的绝缘支座将其隔开。PCB 的负载均直接固定在接地参考平面上。
- EFT 发生器、耦合/去耦网络(CDN)和 PCB 的负载均直接安装在接地参考平面上,并

且固定。

- 信号线和/或数据线的总长为 2 m，并且夹入容性耦合夹。耦合夹和 PCB 或其负载之间的线缆长度不超过 0.5 m。
- CDN 和 PCB 的交流-直流电源之间的交流（AC）电源线长度不超过 0.5 m。
- 除了穿过耦合夹的电缆之外，所有的电缆应放置在接地参考平面上方 0.1 m 处。
- 除了接地参考平面之外，DUT 和所有其他导电性结构之间的最小距离是 0.5 m。

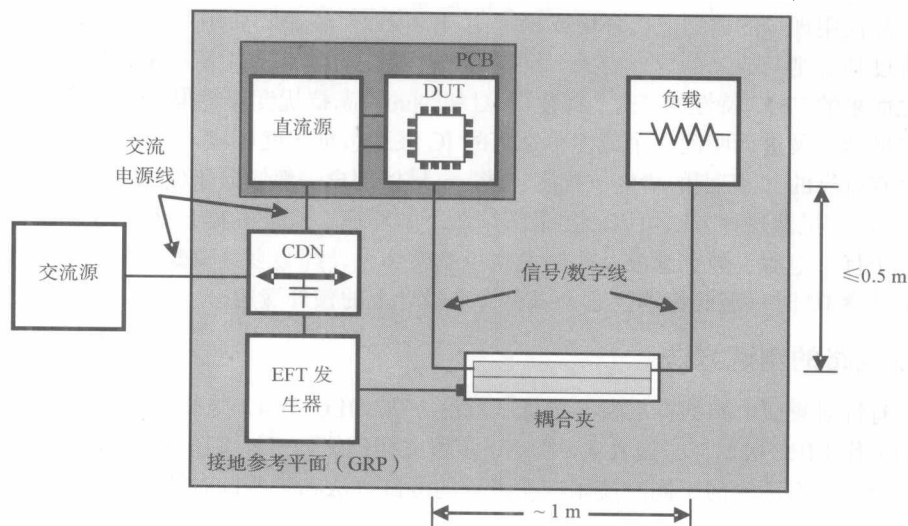


图 4-56 PCB EFT 测试装置俯视图（不合比例）

通常使用与成品测试相同的干扰信号。根据被测设备（DUT）的性能可以适当降低干扰信号的瞬态电压电平。

8.4.2 测试流程

电快瞬抗扰度测试流程如图 4-57 所示。需要在各个期望的瞬态注入点或位置按照该流程对 IC、PCB 或者终端产品施加瞬变信号。确定电快瞬信号的极性后，再将 EFT 发生器设定在最低电压等级上，对被测设备施加 60 s 的测试。记录测试数据和政府标准中规定的抗扰度性能等级。根据测试结果选择下一步动作：提高电压，改变极性或终止测试。

注意：并不一定要严格按照 DUT 不合格测试流程来确定 DUT 不合格的所有条件。如果按照测试流程完成后 DUT 仍能工作，可以在较高的电压等级下继续测试以确定 DUT 的更严格的性能等级。

8.4.3 不合格判据和监测

不合格判据取决于 IC 类型、IC 功能及用于监测性能降级的 PCB 的影响。对于不合格判据来说，其监视能力取决于 PCB 的监测和记录性能降级的功能。

8.4.4 测试 PCB

在本测试方法中，DUT 为通过连接线安装在 PCB 上的 IC。可以选用下列 PCB：PCB 实际产品，普通的 IC 示范或评估用 PCB，或者用于 EMC 评估目的的独立 PCB（如符合 IEC 61967 或者 IEC 62132 系列标准的 PCB）。PCB 类型的选择和相应的测试适用性如表 4-7 所示。

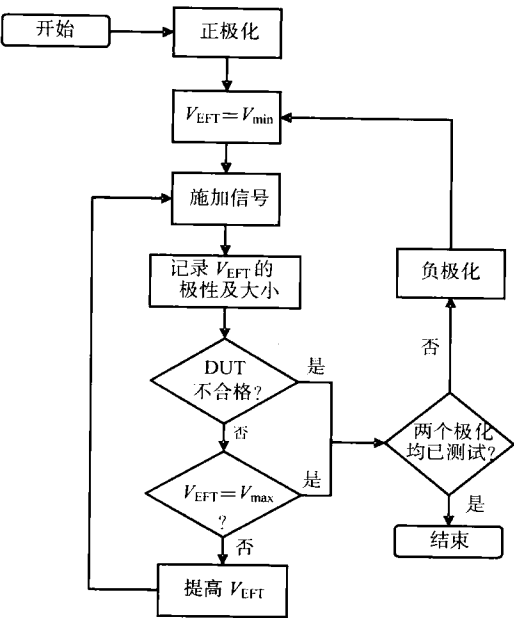


图 4-57 电快瞬抗扰度测试流程图

表 4-7 测试 PCB 类型选择准则

PCB	用 途
产品，特殊用途	模拟产品的应用性能
通用，非独立用途	模拟通用的应用性能
EMC，独立用途	隔离 IC 性能

特定 IC 测试用 PCB 应当使用自带的交流-直流电源，如果没有则应当使用一个标准的交流-直流电源。可按表 4-8 定位电源。

表 4-8 测试 PCB 类型选择准则

测试类型	电 源
产品，特殊用途	与实际应用相符
通用，非独立用途	推荐放在 PCB 上。脱离 PCB 之后，会改变电源的影响
EMC，独立用途	脱离 PCB

8.4.5 使用产品级别测试方法的注意事项

使用产品级别的瞬态抗扰度测试方法评估 IC 的性能有一些实在的优点，但也有严重的限制。其优点是可以更好地判断 IC 瞬态抗扰度性能对 PCB 及子系统设计的影响，在一种更典型或者通用的应用状态下描绘出 IC 的瞬态抗扰度性能，进而采用合理的 EMC 措施；如果进一步建立了 IC 与整个系统之间 EMC 性能的相关性，可使用测试结果优化子系统的设计或者原材料的选择。

IC 产品级测试方法的局限性在于两个方面：与系统或者终端产品 EMC 性能相关；IC 的 EMC 性能特征和 PCB、电源、线缆的脱离。与产品级性能相关性的解除方法是受实际应用时的测试设置的相似性所决定的。

对某一特定类型的产品，如果设计经验足够丰富，测试相似性足够高，则可以在 IC 测量结果

和系统性能间建立合理的相关性。本节不再讨论这方面的内容。

评估 IC 单独的 EMC 性能受到了多方面的阻碍。最主要的方面是实际的 IC 性能受 PCB 的设计特征（包括 EMI 控制元器件、引脚负载等）、PCB 布局 and 连接电缆所限制。即使没有 EMI 控制元器件，注入的瞬态抗扰度测试信号到达 IC 引脚前也会被寄生的电容和电感改变。这样 PCB 设计上的不同也会导致无法单独评价 IC 的性能。PCB 的布局对 IC 瞬态抗扰度性能的影响至关重要。即使是设计规划相同的 PCB，其布局上看似微小的变化也会导致性能测试的巨大差异。

既然不同的 PCB 封装需要不同的布局，结果就是很难对不同情况下的 IC 测试结果进行对比。除非封装具有统一的引脚输出和功能，否则不同制造商的产品的测试结果也同样无法对比。

另外，在测试过程中监视单个或者多个 IC 引脚上的注入电压和电流也是非常难实现的。即使成功的测试能够明确给出被测设备的敏感度波形，但是这一波形的用途也是有限的。如果 PCB 或者 IC 引脚发生变化，瞬态测试一般都无法复现。

8.5 新兴的 IC 测试方法

IEC TC 47 正在制定集成电路瞬态抗扰度通用的测试方法。其目的是得出不受 PCB 及连接电缆影响的 IC 的 EMC 性能。对 IC 的 EMC 性能进行单独评估需要使用具有独立应用功能的 PCB，而且 PCB 要具备足够的设计控制以保证 PCB 规划及布局的最大相似性。IEC 61967—1 和 IEC 62132—1 中都有这种 PCB 的例子。在这两大系列标准的其他部分也能找到该类例子。

新型的 IC 瞬态抗扰度测试方法重点研究两种注入方案：引脚注入和参考点注入。引脚注入方案将瞬态信号发生器的输出依次耦合入 IC 的每一个独立引脚内。参考点注入方案在被测板和远程参考点之间或者不同的 IC 接地引脚之间施加瞬态信号。

8.5.1 引脚注入试验装置

引脚注入测试方案通过一个特定的瞬态波形来评估每一个 IC 引脚的性能。测试时分别施加相对于 IC 接地（一般是 VSS 或者 VEE）极性为正和负的瞬态信号。基本试验装置如图 4-58 和图 4-59 所示。试验装置中使用按照 IEC 61967—1 和 IEC 62132—1 标准设计的 PCB 来安装 DUT。试验装置要求如下。

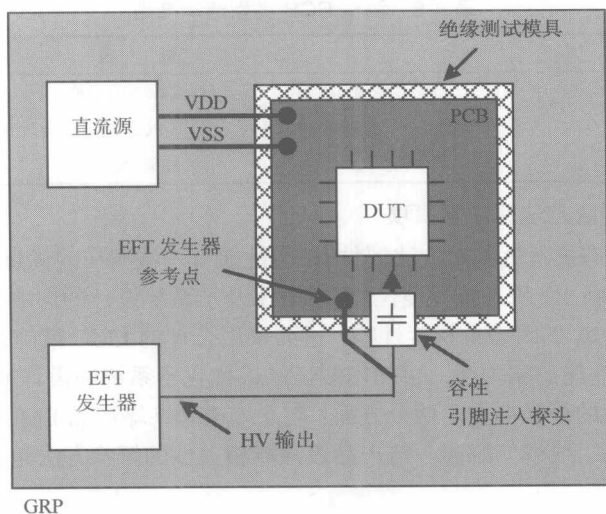


图 4-58 引脚注入试验装置（俯视图）

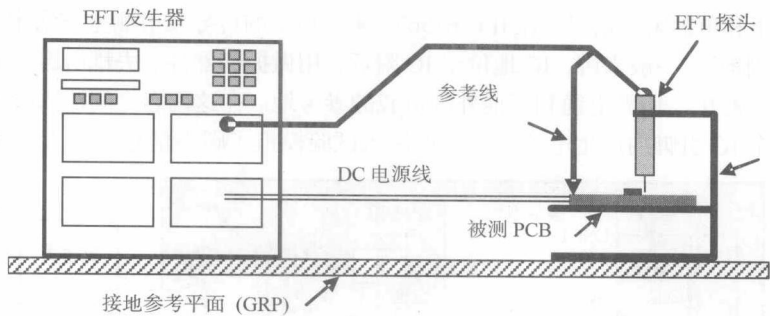


图 4-59 引脚注入试验装置（侧视图）

- 接地参考平面（GRP）是一块厚度不小于 0.25 mm 的金属板（铜板或者铝板）。GRP 的尺寸是 1.6 m × 0.8 m，安装在 0.8 m 高的绝缘桌子上。
- 在测试 PCB 和接地参考平面之间放置厚度为 0.1 m 的绝缘支座。
- EFT 发生器和电源均直接安装在接地参考平面上，并且固定。
- 所有的电缆应放置在接地参考平面上方 0.1 m 处。
- 除了接地参考平面之外，DUT 和所有其他导电性结构之间的最小距离是 0.5 m。
- 所有的连线越短越好。

EFT 探头如图 4-60 所示，探头通过同轴线与 EFT 发生器直接相连。探头由一个串联电容和一个小的金属探头组成。串联电容的取值应当合适，以保证其不会在 DUT 的任何引脚上产生明显的负载。建议在高阻抗或者输入模式下测试各个引脚，此时 DC 阻断电容的取值不会对 DUT 的功能造成明显影响。对于输出引脚，DC 阻断电容的取值不能够超过额定电容负载的 10%，以避免输出波形的过度降级。DC 阻断电容可以是离散的元器件，也可以是嵌入式 PCB 的结构。测试 PCB 安装在稳定的绝缘夹具上。夹具可同时定位探头，保证探头与各个 IC 引脚或者无线封装（如球状矩形排列 BGA），以及各个 PCB 测试点都能顺利接触。

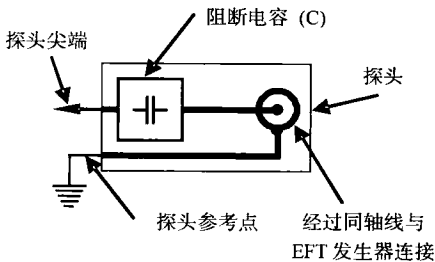


图 4-60 EFT 引脚注入探头示例

还有一种替代方法是将探头电容直接集成到 PCB 上，如图 4-61 所示。此时，EFT 发生器的同轴高压输出端口直接连接至 PCB 的同轴转换器上。耦合网络与 IEC 62134—4(IEC, 2003) 中用于 RF 抗扰度测试的耦合网络相同。必要时可以使用电阻 R 限制注入电流。应根据表 4-9 列出的不同耦合机制选择适当的 DC 阻断电容 C。

表 4-9 DC 阻断电容的选择

耦合机制	C 的取值	参考标准
间接，容性耦合夹	50 ~ 200 pF	IEC 61000—4—4
间接，辐射场	6.8 nF	IEC 62132—4
直接，AC 或 DC 电源	33 nF	IEC 61000—4—4

8.5.2 参考点注入测量法的设置

参考点注入测试方案用于评估特定瞬态波形下整个 IC 的性能。测试时在参考电压不同的两点上

分别施加极性为正和负的瞬态信号。在 IEC 61967—4 所规定的传导发射测量方法中，这两点定义为“IC 地”和“外围地”。一般来讲，IC 地位于 IC 附近，用做振荡器件、去耦电容和其他周边负载的参考地。外围地远离 IC，用做电缆和其他外围负载的参考地。在这两点之间注入瞬态信号会在连接到外围地的每一个 IC 引脚内产生电流。参考点注入试验模拟了瞬态信号耦合入一捆电缆的情景。

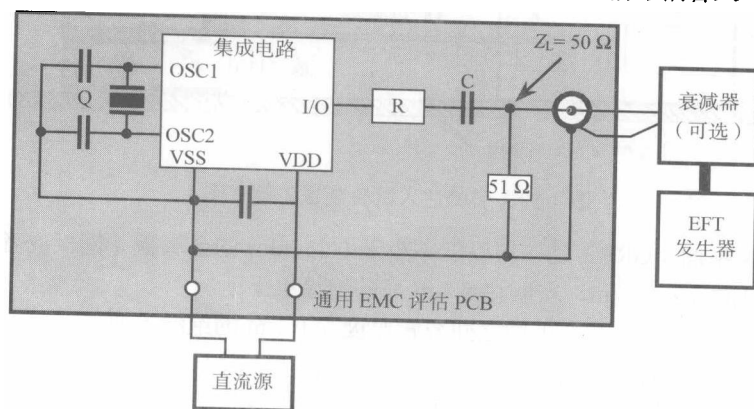


图 4-61 EFT 向 PCB 注入电流示例

本方法的一种替代方法是在不同电源区域的 VSS 引脚（如数字 VSS 引脚和模拟 VSS 引脚）之间注入瞬态信号，详见 Fiori（2004）的论述。

基本试验装置如图 4-62 所示。试验装置与 DPI 注入法相同。DUT 安装在符合 IEC 62132—4 或者 IEC 61967—4 要求的 EMC 评估的 PCB 上。

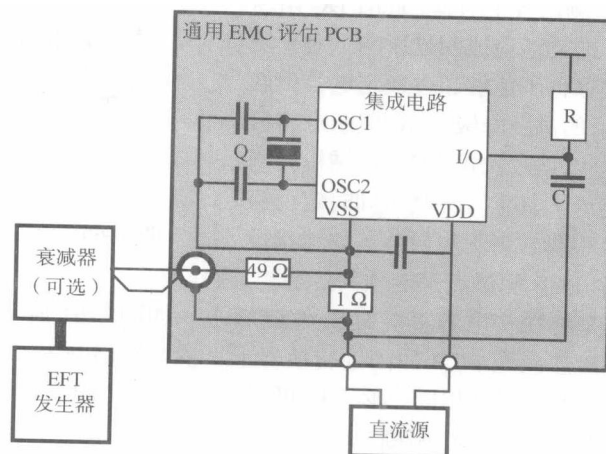


图 4-62 参考点注入法试验装置

8.5.3 干扰信号

通常干扰信号与终端产品测试所用信号相同。根据 DUT 的特性可以适当降低干扰信号电压。

8.5.4 测试程序

测试程序虽然取决于 DUT 的功能，但是与等效终端产品的测试程序大致类似。

8.5.5 不合格判据和监测

同样, IC 类型、IC 功能及对 PCB 影响不同, 不合格判据也不同。对独立于应用功能的 IC 进行 EMC 评估时, 使用一个通用的 IC EMC 测试板可以更精确地描述 DUT 不合格的情形。如评估微控制器时, 执行特定的代码或是使用计算机监测软件可以实时地监测和记录一些能自我恢复的“软错误”。这类错误是很难或者说无法通过目测来检测的。

8.5.6 测试 PCB

对于引脚注入测试方法, 被测 IC 可以安装在任何类型的 PCB 上: PCB 实际产品, 某类 IC 示范和评估用 PCB, 或者用于 EMC 评估目的的独立 PCB (如符合 IEC 61967 或者 IEC 62132 系列标准的 PCB)。不过一般最好选用 EMC 测试专用的 PCB, 使用这种 PCB 可以更好地控制 DUT 各个引脚的负载。在比较不同 IC 的性能时测试数据也较为可靠。

对于参考点注入测试方法, 应当选用 EMC 测试专用的 PCB。

8.5.7 同步脉冲抗扰度

冲击脉冲测试具有一定的随机性, 因为大多数 EMC 测试用的脉冲发生器 (ESD、EFT 等) 同步或触发的精度都不高。测试时通常是向被测设备施加一系列的脉冲, 以确定脉冲过后被测设备是否可以按照预期的状况正常工作。

如果在感应冲击脉冲的作用下, 某个信号电平超过了特定的逻辑信号的要求, 只要逻辑门限电压不被超过而且脉冲持续时间足够长, 则可能什么反应也没有。

纳米级的 CMOS 技术使用一个时间长度为 20 ~ 50 ps (90 nm 的 CMOS) 逻辑门开关延迟, 这样所有的冲击脉冲都可能会对集成电路造成威胁。另外, 在逻辑信号转变过程中, 信号通过预定的逻辑电平进入一个“灰色区域”, 在这个区域内会产生一个起作用的限值窗口。在这个 (通常低于 100 mV 的) 灰色窗口内, 输入的微小变化都将导致输出的明显改变, 如图 4-63 所示。

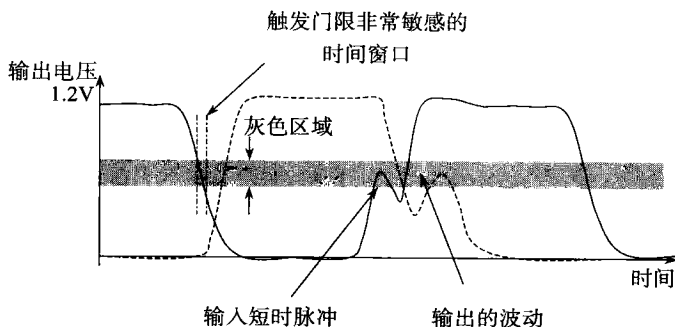


图 4-63 “灰色区域”内的微小变化会导致输出的明显改变

逻辑单元的等效增益在其转变区域内是非常高的。举例而言, 对于一个 100 ps 内电压变化 1.8 V 的信号而言, 其对短时脉冲非常敏感的时间窗为 6 ps 左右。在这个时间窗之外, 产生逻辑短时脉冲所需的幅度非常接近 $V_{DD}/2$ 。如果时钟信号的频率是 200 MHz ($T_{\text{period}} = 5 \text{ ns}$), 对这个敏感的时间窗造成影响的概率约为 0.1%, 也就是每 1000 个脉冲内可能有 1 次脉冲产生影响。

如果按照 IEC 61000—4—2 的要求对被测设备施加 50 次脉冲, 则基本不可能对最敏感的时间窗造成影响, 即使施加 10000 次脉冲, 统计显示也只会发生 10 次敏感的影响, 而这只是设备抗扰度的最下限。如果提高冲击脉冲幅度可能会产生更多的影响, 但是产生何种影响、何时产生影响仍然是未知数。

1) 建议解决方案

一种新的冲击脉冲抗扰度测试方法可用于寻找程序周期内的敏感时隙。使用这种方法时，冲击脉冲沿着指定路线在预定义的时间（完全同步）施加给被测设备，以保证其同步性。冲击脉冲信号必须在（基本）不影响功能信号的方式下耦合入被测设备的各个引脚：I/O 引脚、重置（reset）、振荡器、 V_{SSX} 、 V_{DDX} 等。

该测试的先决条件是被测设备的程序循环持续时间为常量且不随数据内容而改变。为了确定程序循环的起止时间，必须指定一个单独的引脚（字节）。程序循环完成翻转位和时钟信号，测试系统的某个有效信号会设置触发条件。使用这个固定的触发条件信号触发一个时延发生器，该时延发生器可以 10 ps 的增长步长将时延从 ns 设置到 ms 级。这样一来程序周期被分割为 10 ps 间隔的小段，而且在每一步都可以施加冲击脉冲信号（计入设备和电路的系统延迟时间）。

使用时域调制信号分析仪（抖动分析仪）测量被测设备的程序周期持续时间，并与未受干扰的程序周期做比较。因为在程序运行周期内受到了感应脉冲的影响，故其持续时间将会加长或者缩短，这取决于：

- 冲击脉冲的极性（正/负）；
- 冲击脉冲的幅度；
- 冲击脉冲的上升时间；
- 冲击脉冲的持续时间；
- 时延，如程序循环或者代码运行的时刻。

2) 冲击脉冲耦合装置

将脉冲信号耦合入电源引脚和接地引脚的网络有一个 $1\ \Omega$ 的串联电阻和一个 $10\ \mu\text{H}$ 的并联电感（以旁路直流电流）。由于直流电感的阻抗可以达到 $10\ \text{m}\Omega$ ，所以耦合网络几乎不会造成电流-电阻的电压降（IR drop）。在输出负载为 $50\ \Omega$ 的发生器和 $1\ \Omega$ 负载之间串入一个比率为 1:4 的 RF 变压器以降低 RF 损耗，如图 4-64 所示。在 RF 变压器后再串联一个 $2\ \Omega$ 的电阻，这样整体的负载阻抗为 $3\ \Omega$ 。

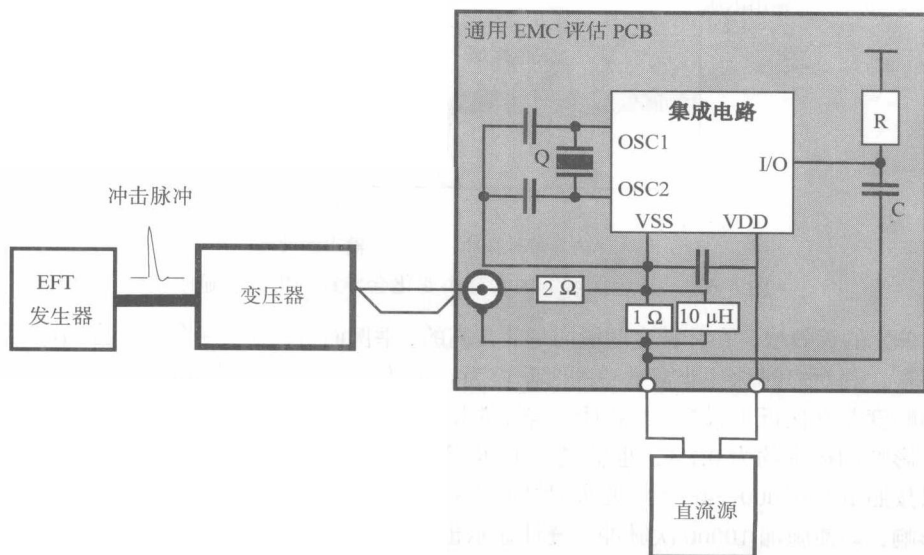


图 4-64 将冲击脉冲耦合入 IC 的接地引脚内

除了 RF 变压器外,还可在脉冲发生器的输出端接入一个 $48\ \Omega$ 的负载,这样可以使耦合网络的带宽扩展到 1 GHz 以上 (-3dB)^①。

将脉冲信号耦合入 I/O 引脚或者其他引脚时,耦合网络必须对功能信号是透明的,具有高度的定向性,且不会给引脚增加额外的负载。可以有多种实现方式,不过最适合且损耗最小的一种方式是使用 RF 等效电话叉电路。电话叉的负载必须与引脚的负载相同,以得到高度定向性(即负载由引脚所决定)。

当在输入引脚使用电话叉电路时,耦合入输入引脚的信号要比信号源的发射信号小 40 dB。在输出端口上也可以得到同样的定向耦合特性。将信号耦合入振荡引脚,重置引脚时,可在 $1\ \Omega$ 耦合网络上串联一个位于 reset 引脚(或者在 V_{SS} 、 V_{DD} 端口处)附近的定时电容。这种耦合测量网络也不能对被测设备功能产生明显影响。

3) 复杂性

对于高密度接口(HDI)板,测试时必须合理选择施加脉冲的引脚以节约测试时间。当内核和外围的电源电压不同时,要选择所有独立的电源引脚和接地引脚(最少为 4 个或者 3 个)。

如果被测设备使用一个公用的 V_{SS} ,测试引脚数可从 4 个减为 3 个。对 I/O 引脚,可以只选取那些有用的或者会暴露在外部冲击脉冲下的引脚进行测试。其他引脚(如振荡引脚和重置引脚)一般很少会直接暴露在外部冲击下,不过为评估其敏感度也可以对其进行测试。

测试变量的增加会导致测试时间的增长,如

- 几个待测引脚;
- 不同的编码;
- 不同的冲击脉冲条件。

大多数同步信号处理器在时钟信号的上升沿起作用。这样,最敏感窗口会以一定的偏移出现在时钟信号的上升沿。与时钟信号周期相比,其上升沿时间很短,一般是时钟周期的 1/10 或更短。这样测试信号的程序周期必须尽量短以保证能捕捉到“错误”信息。

一系列的短时测量也可以找出抗扰度问题的根源:振荡器、PLL、电平位移器、程序计数器等等。

4) 测试结果

在测试方法的发展完善过程中,对各种被测设备,从最简单的逻辑门电路到微处理器和 DSP 都进行了测试。

从图 4-65 中可以看出微处理器伴有抖动。不施加冲击脉冲信号或者在时钟上升沿前后施加脉冲信号时,系统的抖动为 1 ns。但是在敏感时间窗口内,抖动上升为 3 ns,其幅度、上升时间和冲击脉冲持续时间也如图 4-65 所示。本例中,敏感时间窗口出现在内核单元和外围单元之间的通信过程中,并同时触发程序循环位。通过这步操作,就可以得到最敏感的时间窗口,并可有针对性地进行抗扰度分析。

如图 4-66 所示,抖动很高的时隙与执行的程序代码无关。因此,敏感的时隙只是适用于执行特定代码的特定微处理器的特定端口。改变上述某一个参数可能会影响到整体的响应。

注:① 为了使这一措施更有效,耦合网络此时必须要尽可能地靠近被测的 IC 引脚。

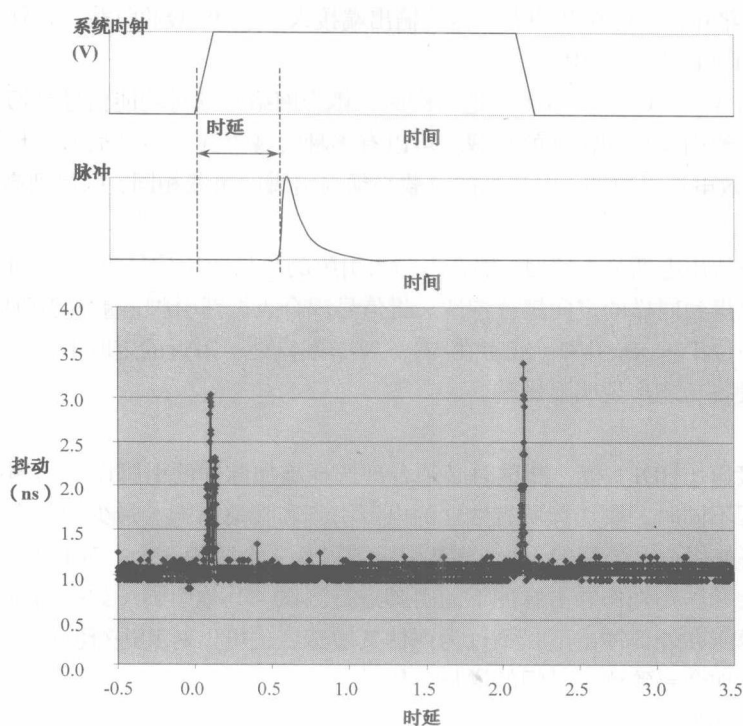


图 4-65 微处理器的抖动与脉冲时延测量结果

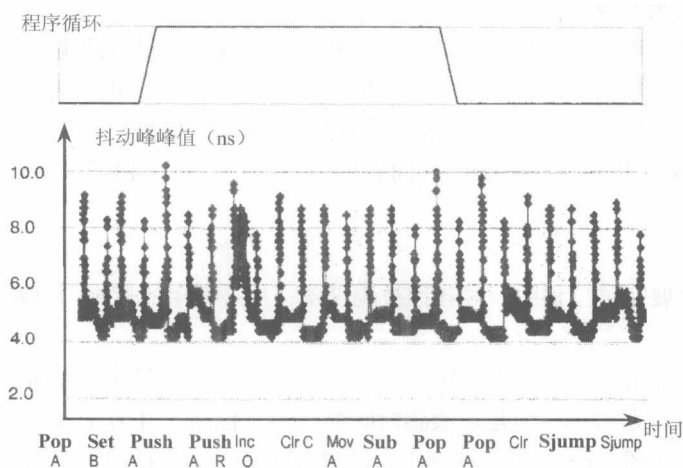


图 4-66 代码执行期间 TDMA 信号的响应

8.6 讨论

本节讨论了集成电路快速瞬变抗扰度环境和抗扰度性能测试方法。尽管本节详细罗列了有关信息和准则，最终的标准化测试方法可能还会有所不同。事实上，可以预料 IEC 及其他组织目前的工作可能是对目前已有的集成电路快速瞬变抗扰度测试方法进行提炼或加以背离。

冲击脉冲抗扰度测试是一项跟时间有关的测试方法。同步脉冲信号抗扰度测试方法可以保证捕捉到程序循环中最敏感的时间窗。

本节中使用的耦合方法对所有类别的 IC 引脚均适用。已经证明时间窗检测和抖动数量测量方法的重复性很好。

9. 电波暗室内的发射和抗扰度测试

许多电子设备的 EMC 标准中规定, 进行发射测量时需要考虑电子电路远场辐射的贡献。通过特定的设置, 这些测试方法也可应用于测试集成电路的特性。本节除了描述远场发射的基本概念外, 还将介绍在电波暗室和混响室内进行发射/抗扰度测量的设置。

9.1 IC 的远场发射

一般而言, IC 的远场发射来自电路板走线、封装导线和焊缝的辐射, 而且除了在极高频之外 IC 并不直接辐射。图 4-67 是一个典型的印制电路板横截面图。

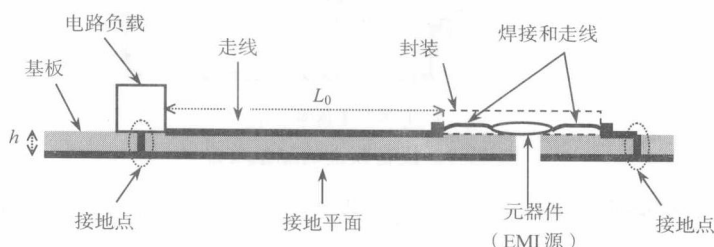


图 4-67 典型的印制电路板横截面图

远场发射取决于五个主要的参数: 元器件 EMI 源的频谱图、焊接布局、走线长度、电路负载和 EMI 波长。可以将其分为两种情况。在低频情况下, EMI 源最小波长 λ_{\min} 要远大于走线长度 L_0 , 即

$$\lambda_{\min} \gg L_0 \quad (4-13)$$

在高频情况下, EMI 源最小波长 λ_{\min} 要远小于走线长度 L_0 , 即

$$\lambda_{\min} \ll L_0 \quad (4-14)$$

与封装导线和焊接线相比, PCB 走线要长得多, 因此它也是主要的发射源。在低频条件下, 如果电路负载与走线阻抗匹配良好, 电路发射特性类似于磁偶极子或电偶极子。假定 PCB 导电性能良好, 并且接地平面无限大, 可假定电路板的发射与一个表面积是 $2hL_0$ 的磁偶极子或者高度是 $2h$ 的电偶极子等效。此处辐射被限定在接地平面上方的半无限自由空间内。假定一个电流 $I(\omega)$ 沿着长度为 L_0 , 高度为 $2h$ 的线圈流动, 则其产生的垂直于接地平面的最大半环形模式磁场如图 4-68 所示。

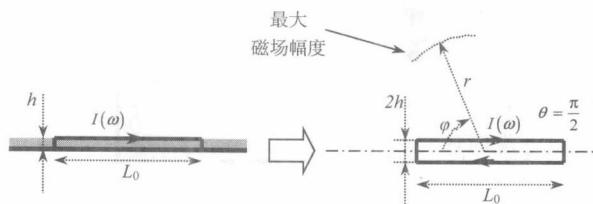


图 4-68 电流环的辐射

此时可以按照元电流偶极子特性使用公式计算近场/远场条件下的电磁场分布 (参见第 3 章)。

被测的 IC 和 PCB 可以看成是一系列具有特定空间取向的电流偶极子,从而可以计算其电磁场。

9.2 测量 IC 的远场电场

可按照如图 4-69 所示的试验装置测试远场电场。被测电路固定在屏蔽盒外壁上的长方形孔内。DUT 的接地平面必须直接与屏蔽盒相连。屏蔽盒的作用是防止来自电路板背面的寄生发射。

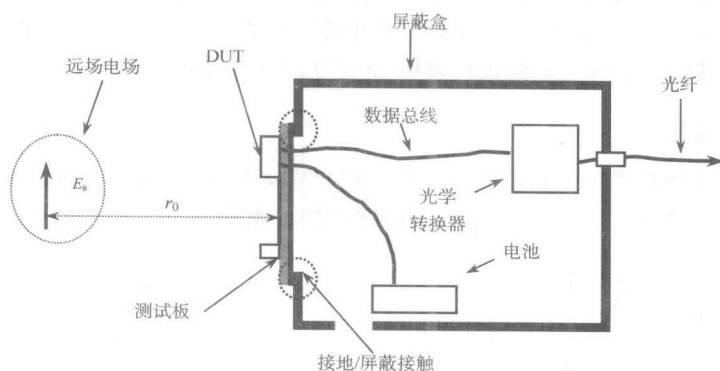


图 4-69 设备级别的测量装置

DUT 使用放置在屏蔽盒内的电池供电。为减少线缆的寄生发射, DUT 的数据总线最好使用光学链路。

通常,远场测量要求宽带接收天线所在的位置 r_0 必须远远大于波长。其典型的距离是 $1 \sim 3 \text{ m}$ 。国际标准中使用的最大电场发射一般是 $40 \text{ dB}\mu\text{V/m}$ ($100 \mu\text{V/m}$), 相当于通常的广播接收机的灵敏度等级。

9.3 电波暗室内的发射测量

电波暗室是墙壁和天花板上装有吸波材料的屏蔽室。通常, EMC 标准中并不要求电波暗室的接地平面有吸波材料, 在这种情况下电波暗室又称“半电波暗室”。如图 4-70 所示, 被测设备固定在距离地面高度为 h_0 的转台上, 它与接收天线之间的距离是 d_0 。通过转台旋转可找出 DUT 发射的最大角度。

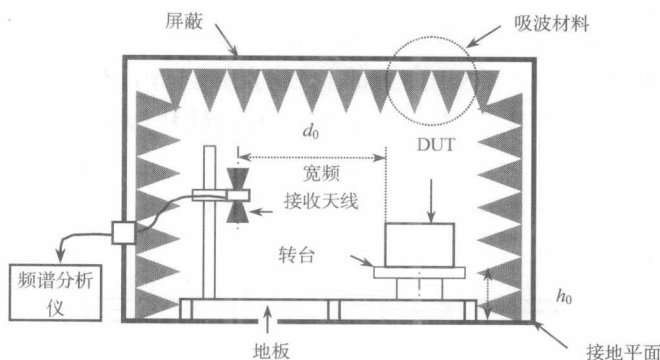


图 4-70 电波暗室内的发射测量装置图

吸波材料用于避免来自暗室墙壁的反射, 以得到与自由空间类似的波的传播环境。但是由于

吸波材料尺寸和特性的不同,一般都有一个低端截止频率(通常是 100 MHz)。DUT 和接收天线之间的距离 d_0 取决于暗室的尺寸,对集成电路而言其值一般取 1 m。根据 CISPR (2002) 标准,在 300 MHz ~ 1 GHz 频率范围内,接收天线可以使用对数天线(偶极子阵列),在 1 ~ 10 GHz 频率范围内可以使用喇叭天线。

9.4 IC 辐射的抗扰度测试

考虑测试板位于电磁波照射下的情形,如图 4-71 所示。测试板和 IC 的耦合效应可以用如图 4-72 所示的耦合线理论来说明。测试板上走线的人射来自平面波和屏蔽盒本身的互感。

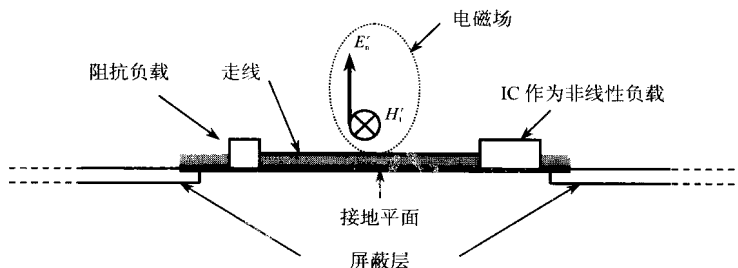


图 4-71 照射在电磁波下的测试板

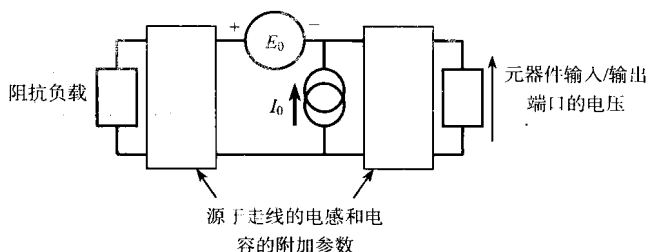


图 4-72 入射电磁场在 PCB 走线上产生寄生的电流和电压

由法线方向的分量 E_n^r 和切线方向的分量 H_t^r 感应产生的寄生电流可以用电流源 I_0 表示,寄生电压可以用电压源 E_0 表示。假定激励产生正弦波,且波长远大于走线的物理尺寸,这个电压和电流与入射电磁场的关系可以用下式表示:

$$E_0 = j\omega\mu_0 H_t^r L_0 h \quad (4-15)$$

$$I_0 = j\omega C_0 E_n^r L_0 h \quad (4-16)$$

式中, C_0 表示走线单位长度上的电容; L_0 是走线长度; h 是导体和接地平面之间氧化层的厚度。式(4-15)和式(4-16)表明耦合强度随频率升高而增加。

在高频时,耦合因为谐振现象而加强,特别是当走线左侧的负载呈现短路特性时。另外,感应产生的电磁场与入射电磁场的极化也有关系,此时不能用上述简化公式来计算 E_0 和 I_0 。

9.5 电波暗室内的抗扰度测试

当入射电场从 10 V/m 上升到 1000 V/m 时,在这一过程中 IC 容易出现故障。Hoad (2004) 的研究进一步表明在 1 ~ 10 GHz 之间随着频率的上升,会导致个人计算机主板出现故障的电场幅度也随之上升(如图 4-73 所示)。值得注意的是,新一代的 PCB 比旧的更不敏感。

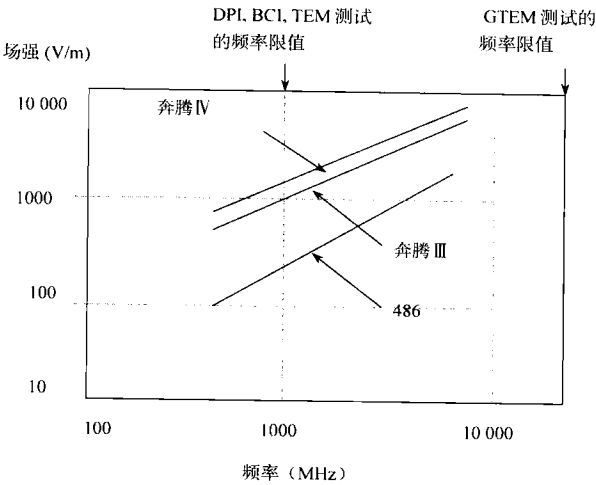


图 4-73 敏感度与干扰频率之间的关系 (Hoad, 2004)

在开阔空间中很难得到这么高的场强。另外各国法令也禁止在开阔空间使用这样强的发射信号，因为它们显然会对无线电通信造成干扰。下面将介绍在电波暗室中进行辐射抗扰度测试的方法。图 4-74 为实验用的电波暗室。

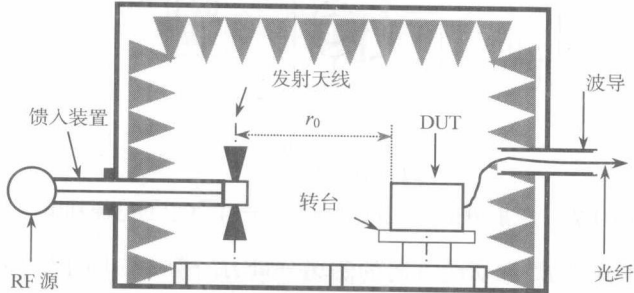


图 4-74 电波暗室横截面图

将暗室外高功率射频源的信号馈入到暗室内的宽频段发射天线中。通常发射天线与 DUT 之间的 r_0 是 1 ~ 3 m。通过光纤使用位于暗室外的测试设备监测 DUT 产生的故障信号。

EMC 标准规定的测试步骤分为两步：第一步是场的校准；第二步是测试本身。校准场的目的是在没有 DUT 时对 RF 功率进行调整，以在 DUT 摆放区域内得到期望的电场强度。此时在 DUT 摆放区域内的有限点上使用场强探头测量电场。EMC 标准中建议在所有点上的场强与场强平均值之间的偏差在 6 dB 以内。校准之后可进行测试。在每一给定频点下，使用转台将 DUT 旋转一周以检查是否有故障发生。如果在所有可能的取向 DUT 均无故障，则此时应提高 RF 功率直到故障发生或者到达频率上限为止。

为了得到整体的辐射图景，DUT 必须安装在屏蔽盒某一侧面的外壁上。在电波暗室内进行抗扰度测试时，测试时间长而且所需功率高。一般可以使用 100 ~ 1000 W 的功率放大器来研究集成电路对射频的干扰度。

9.6 混响室内的发射和抗扰度测试

使用混响室可以扩展集成电路的发射和抗扰度测试范围。混响室就像是一个大型的电磁腔体，由不使用吸波材料的屏蔽室构成。假定理想条件下矩形混响室的尺寸是 a 、 b 、 d ，其谐振频率如下式所示：

$$f_{mnp} = \frac{c}{2} \sqrt{\left(\frac{m}{a}\right)^2 + \left(\frac{n}{b}\right)^2 + \left(\frac{p}{d}\right)^2} \quad (4-17)$$

式中， c 是真空中光速；整数 m 、 n 、 p 代表谐振模次。

在相应频率下进行激励时，腔体内产生驻波，场呈正弦波分布。如果波长远小于混响室的尺寸，在混响室墙壁上会产生很多波的反射，并且混响室内某些部分的场辐射图是各向同性的。

但是为了得到一个随机分布的均匀电磁场，要在混响室的合适位置上加入一个带有高导电性搅拌棒的模次搅拌器。图 4-75 是使用混响室进行 IC 抗扰度测试的布置图。为了避免干扰信号直接耦合入 DUT，发射天线指向混响室的某一个角落。如前所述，测试板安装在屏蔽盒上并且放置在一个距离混响室墙壁和接地导电平面几个波长处的桌子上。

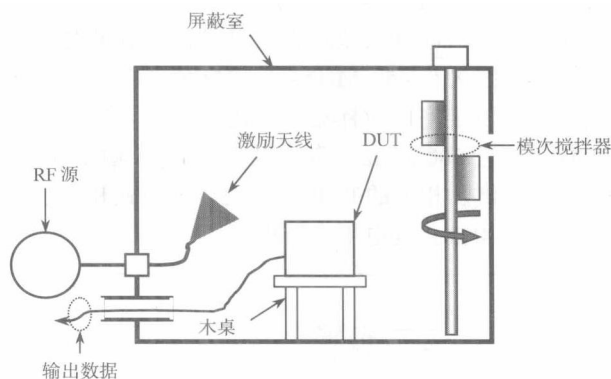


图 4-75 混响室

使用屏蔽盒内的电池给 IC 供电，输出数据通过光纤送出混响室。

抗扰度测试流程如下：在每一个给定频点上，对发射天线的发射功率都进行校准。当将模次搅拌器旋转 360° 时，到达 DUT 的电磁波的幅度和极化方向随机改变。通常模次搅拌器的旋转速度很慢（1 转/秒）。提高旋转速度可以节省测试时间，因为 DUT 暴露在最坏情形下的概率提高了。

校准时使用一个小的 3D 电场探头测量混响室内的电场幅度。在混响室矩形空间内 8 个角落和中心共 9 个点上测量，这样共得到 27 个场值，其幅度的不确定度与模次搅拌器的位置有关。所有测量数据的标准偏差应在 3 dB 以内。

需要注意的是，在混响室内进行抗扰度测试时很小的入射功率（1 ~ 10 W）就可以产生一个 100 V/m，甚至更高的场强，这是由于腔体内的多次场谐振效应而造成的。

也可使用混响室进行发射测量。此时可以通过接收天线测得的功率推导出辐射场的强度。试验装置与抗扰度测试类似，只是用频谱分析仪代替了功率放大器。测试时应随着搅拌器的转动记录场强的最大值。

如图 4-76 所示为安装在一个非常小的 PCB 上的数字时钟的发射测试结果。DUT 放置在电波暗室内的转台上，距离接地平面 1 m。宽带接收天线与 DUT 之间的距离是 3 m。在 30 ~ 300 MHz

上使用双锥天线，在 300 MHz ~ 1 GHz 上使用对数周期天线。从图中可以看出在 30 ~ 230 MHz 范围内测得的频谱并不满足 EN55022 标准的发射限值要求。

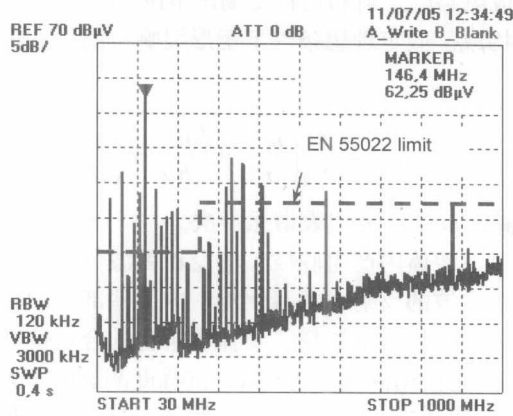


图 4-76 使用混响室测量时钟装置的辐射发射

如图 4-77 所示的敏感度测试结果是这么得到的：在每一频点下，提高发射天线的功率直到被测数字电路的输出出现故障为止。观测到的故障为逻辑状态的错误改变。图中纵轴所示为触发该错误状态的电场幅度值。图中虚线为在 450 MHz ~ 1 GHz 范围内，在电波暗室中测得的敏感度电平，实线则是在同样状态下，在混响室内搅拌器全速转动下测得的敏感度电平。两条曲线形状类似：敏感度的临界值都出现在接近 500 MHz 的频率处，这与 IC 输入处所连接的 PCB 走线的谐振是相符的。在 500 MHz 以上，与波长相关的 PCB 走线的传播模式和由于封装、电路的寄生电容所引起的过滤效果二者相结合，使得抗扰度电平有所提高。

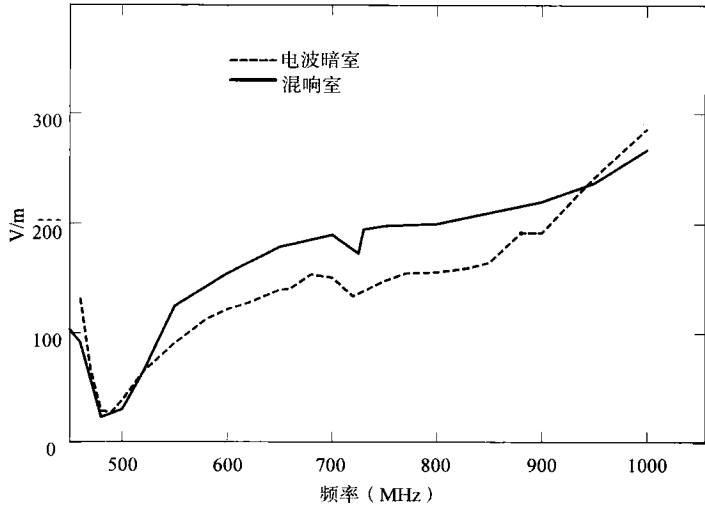


图 4-77 电波暗室和混响室内逻辑电路的 RF 骚扰敏感度

9.7 讨论

可以在电波暗室内测量 IC 的远场发射和辐射抗扰度特性，以确定其在自由空间的特性。但是电波暗室因为必须使用吸波材料和宽频功放而造价昂贵。一种合理的替代方法是使用混响室。两者的发射和敏感度测量结果相似。

10. 片上测量

可以使用多种片上测量技术以确定 IC 内的 EMC 噪声源, 从而确定电流的峰值幅度、功率网络内的电流和耦合到集成电路其他部分的电流。过去几年里, 寻找一种不对芯片造成影响、在时域内准确度可达几个皮秒的片上测试方法以替代复杂、昂贵和不精确的片外测试方法已经成为人们的研究方向。

Soumyanath (1999) 提出了一种基于轨对轨比较器 (rail-to-rail comparator) 的无干扰时域测试方法。其校准需要使用一套复杂的、时间分辨率有限的外部设备。Makie-Fukuda (1996) 则提出一种基于电压比较器的测试方法, 通过这种方法可以得到噪声的幅度和电压均方根值。因为在深度亚微米技术下 MOS 晶体管的最高工作频率可以高于 30 GHz, 所以可以设计出用于高带宽信号采样的片上示波器 (Zheng, 2003; Vrignon, 2005), 使用这个示波器可以得到芯片内部电流的信息, 进而推导出整个电路的寄生发射。

10.1 片上示波器

一种简单有效的方式是使用芯片内的采样和保持电路, 可以用这个电路直接监测电路内某点的电压波动。取样传感器的示意图如图 4-78 所示。使用一个外部信号 Synchro 触发在片外采样、放大和输出的寄生现象。

采样周期根据不同的时延而重复, 并由 Vanalog 进行外部控制, 一直到波形重建为止。其作用类似于采样示波器。

目标现象是在 VDD 和 VSS 互联电路上产生供电线波动的核心开关。使用四个探头在串联在电源线上的两个电阻 R_{VDD} 和 R_{VSS} 的两端对电压进行采样。电阻取值很小, 以减小电压下降对电流测量造成的影响。根据 R_{VDD} 和 R_{VSS} 上的压降即可求出电流值。

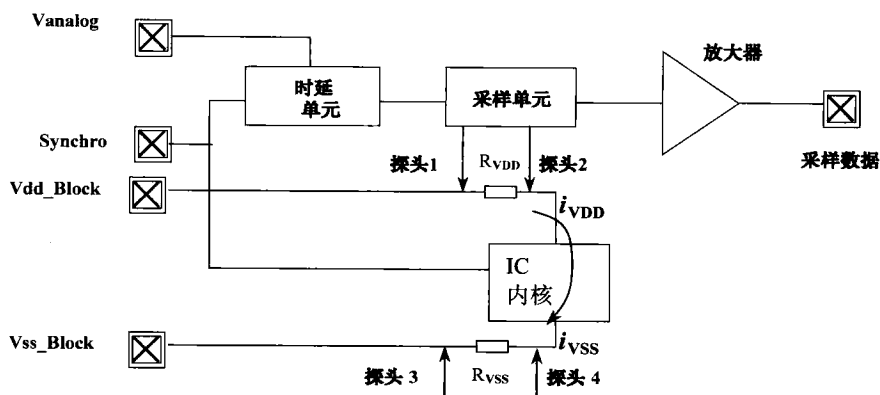


图 4-78 内核电流片上采样原理图

采样顺序如图 4-79 所示。每当 Synchro 信号上升时, 会出现一个在电源线上产生波动的电流峰值。与此同时, 采样信号加入一个时延 Δt_i , 这个时延线性相关于外部控制电压信号 Vanalog。在“采样”信号的触发沿, 对电压值进行采样并存储到一个小电容内。该电容的作用类似于一个可以存储几百个纳秒的模拟内存。捕捉到的模拟信号为外部模数转换器产生信号的跟随器所复制。

在不同的 Vanalog 取值下重复上述流程多次, 即可在频率和传感器的时间分辨率限定范围内重建电压波动。

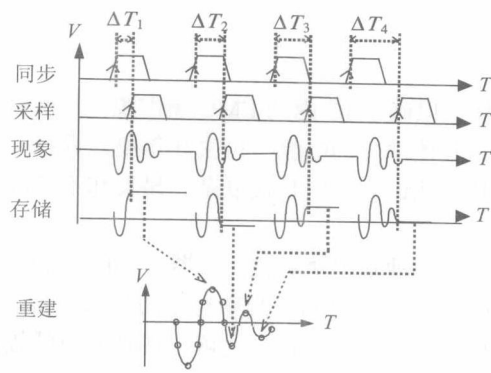


图 4-79 原始电流波形的重建

如图 4-80 所示为片上采样时延单元的时延信号与 Vanalog 的关系图,其线性度良好。如图 4-81 所示为位于 $0.18\ \mu\text{m}$ 的 CMOS 上的 4 探头采样传感器布局图。4 个采样探头及放大器布置在一个 $600\ \mu\text{m}^2$ 的硅面上。如图 4-82 所示为在逻辑内核的时钟信号触发沿使用片上传感器测量电流的结果。图中所示电流峰值相当于大约 10 000 个反相器和逻辑门的同时开关。

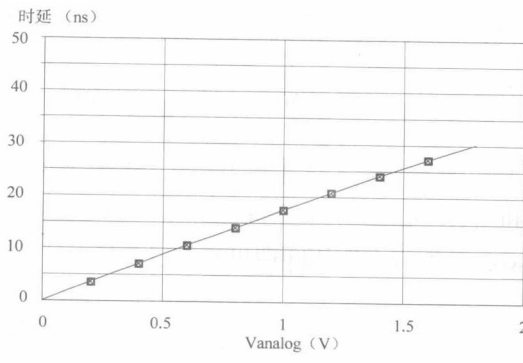


图 4-80 时延单元特性和 Vanalog 电压控制

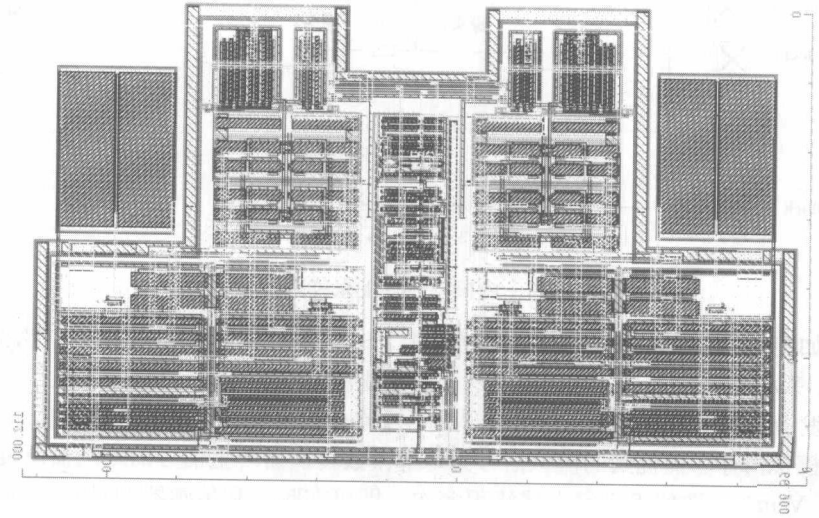


图 4-81 片上采样示波器的实例

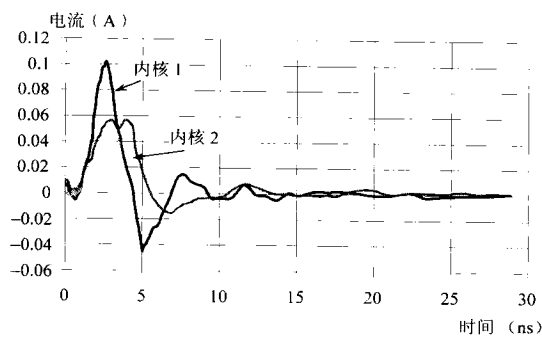


图 4-82 在 V_{DD} 电源线上的芯片内内核的电流采样

V_{DD} 线上电压为 2.5 V。由于电阻、电容和电感效应，电流会产生长线的波动。可以使用一个阻尼振荡器来监测这种自感效应。在一个标准的逻辑内核（内核 1）上，在最初的三个纳秒内可以观测到一个 100 mA 的电流。使用片上去耦电容后在同样的内核（内核 2）上观测到的电流就将降至 60 mA。

随着技术尺寸的降低，测量系统的带宽和精度会逐步提高，如表 4-10 所示。集成时使用的硅面积也同样随之减小。另外，测量系统可以轻松地嵌入到各种 CMOS 技术中。使用 0.18 μm 的 CMOS，测量系统可以达到 20 GHz 的带宽和接近 5 mV 的分辨率，完全满足内核电路及基底噪声评估的需要。

表 4-10 片上采样性能和技术

技 术	带 宽	可观测度	电压分辨率	时间分辨率	传感器尺寸
0.7 μm	4 GHz	1 ~ 30 ns	5 mV	5 ps	$10^4 \mu\text{m}^2$
0.35 μm	8 GHz	1 ~ 100 ns	5 mV	5 ps	$2500 \mu\text{m}^2$
0.18 μm	10 GHz	1 ~ 300 ns	5 mV	5 ps	$600 \mu\text{m}^2$
90 nm	14 GHz	1 ~ 500 ns	5 mV	5 ps	$400 \mu\text{m}^2$

11. 集成电路的 EMC 测试计划

几年前,EMC 特性就已经成为电子系统设计商提交给 IC 制造商的 IC 技术指标中的常见元素。EMC 特性一般包含元器件的寄生发射和抗扰度电平。大多数 EMC 规范源自 IEC 61967、IEC62132 等国际标准。这些规范给出了测试方法及满足汽车 EMC 要求的相关限值等级。这种通用的规范可能并不能够完全适用于任何元器件。此时，可以通过集成电路的 EMC 测试计划来详细地规定测试条件、测试装置及其他相关信息。

11.1 标准发射电平

适用于传导噪声测量的发射电平的详细分类可以参见 IEC 61967—4。被测设备的频谱在整个测试范围内应当低于某个特定限值，如图 4-83 的曲线所示。

图 4-83 为发射幅度的三种不同的斜率：每十进制幅值线 0 dB 的斜率（以大写字母表示，如 $A=84 \text{ dB}\mu\text{V}$ 、 $B=78 \text{ dB}\mu\text{V}$ 等）；每十进制幅值线-20 dB 的斜率（以数字表示，如“1”在 120 $\text{dB}\mu\text{V}$ 与 1 MHz 相交处，“0”在 60 $\text{dB}\mu\text{V}$ 与 1 MHz 相交处，“20”在 0 $\text{dB}\mu\text{V}$ 与 1 MHz 相交处等），每十进制幅值线-40 dB 的斜率（以小写字母表示）。

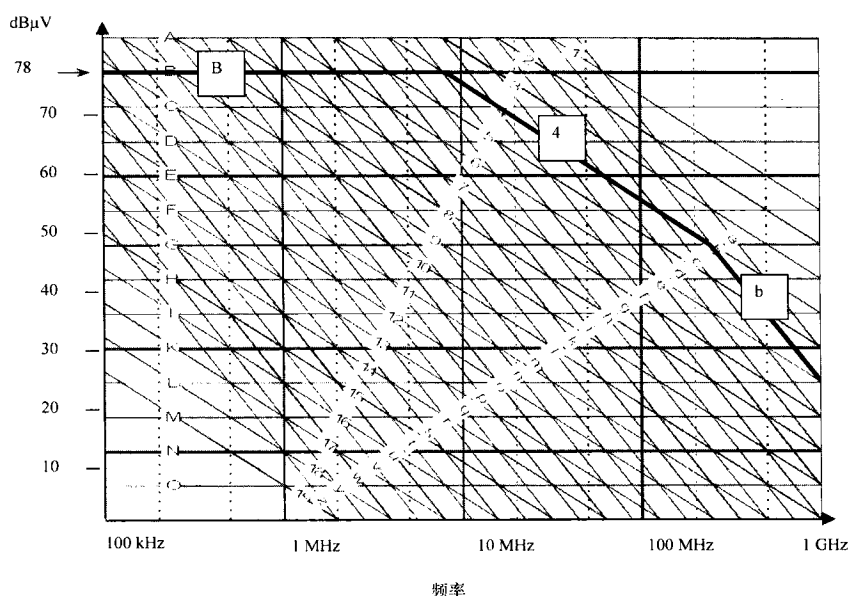


图 4-83 IEC 61967—4 规定的发射限值曲线

每个斜率的垂直间隔为6dB。最大发射电平一般由IC客户所决定，并且可以根据应用和需要由一、二或三种斜率来表示。这样发射电平最多可以表示为一个三位数字，如图4-83中的“B4b”。每一位数字代表图中相应的一种斜率。明确最大发射电平是一种方便交流的标准化方法。汽车工业领域中使用的发射限值如图4-84所示（Marot, 2004）。图中的电平1代表仅有6 dBμV的低电平，这是针对那些具有最小片上去耦合电容的低成本应用的通常仅有两层的印制电路板而言的。

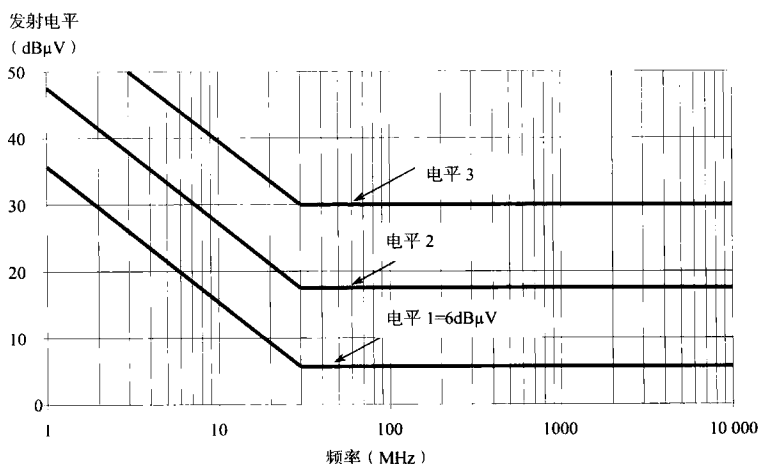


图 4-84 汽车工业领域中的IC传导发射电平

汽车设备制造商设计低成本电路板时所使用的IC必须满足最低10 dBμV的辐射噪声限值（如图4-85所示的电平1）。但是在TEM小室内，大多数16位IC的峰值噪声可以达到20~30 dBμV，此时电路板上必须使用更多的滤波和去耦元器件。

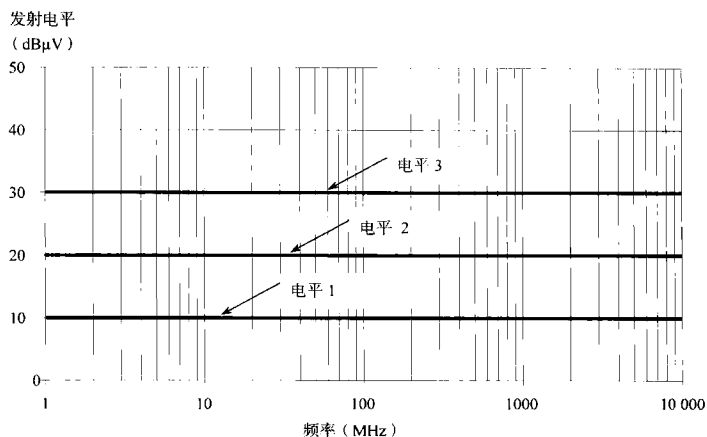


图 4-85 TEM 小室内测量用的最大发射电平

11.2 抗扰度电平

大电流注入测试 (BCI) 标准规定了一种通过感应耦合测量 IC 抗扰度的方法。测试时使用一个磁场探头将干扰信号感应到被测线缆中。其限值如图 4-86 所示, 单位是 dBmA。在汽车工业领域最低成本的 IC 的要求一般是 46 dBmA (Marot, 2005)。

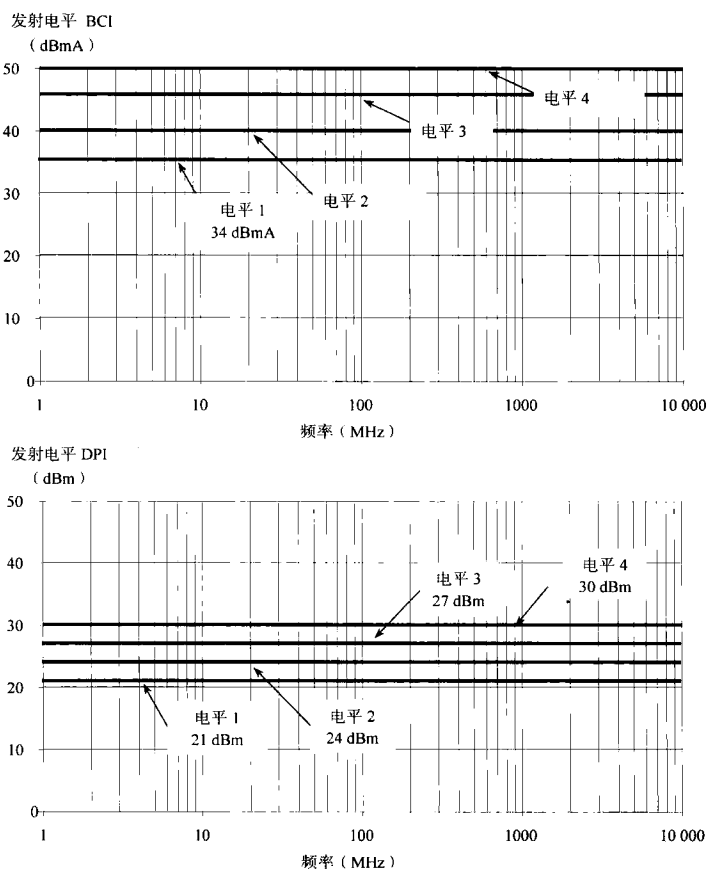


图 4-86 使用 BCI 和 DPI 方法时 IC 的敏感度电平 (上图: BCI, 下图: DPI)

直接功率注入法（DPI）标准规定了一种通过容性耦合夹测量 IC 抗扰度的方法。其限值也如图 4-86 所示，单位是 dBm。在汽车工业领域最低成本的 IC 要求一般是 30 dBm。

12. 讨论和总结

标准的发射测量方法的主要特性如表 4-11 所示。所有方法均在 150 kHz ~ 1 GHz 频率范围内适用，其中 GTEM 小室测试方法可以扩展到 18GHz。TEM/GTEM 小室测试方法需要使用特定的测试板，该测试板对尺寸、层数、DUT 的位置和外部组件都有严格的限定。其他测试方法对测试板的要求相对简单，如 1Ω/150 Ω方法只需要分离的元器件和 SMA 转接头，而 WBFC 方法中的测试板可按其正常使用的方式摆放在暗室内。

表 4-11 各种发射测量方法的比较

项 目	IEC 61967—2 TEM/GTEM	IEC 61967—3 1/150 Ω	IEC 61967—5 WBFC	IEC 61967—6 磁场探头
频率范围	150 kHz ~ 1/18 GHz	150 kHz ~ 1 GHz	150 kHz ~ 1 GHz	150 kHz ~ 1 GHz
被测量	IC 的 E/H	差模和共模发射	共模传导发射	差模和共模发射
单引脚测试	否	是	否	是
测试板	特定限制	增加电阻、电容和 SMA 转接头	应用板	长走线

标准的敏感度测量方法的主要特征如表 4-12 所示。如同发射测量方法一样，这些提案的目标频率范围是 150 kHz ~ 1 GHz，GTEM 小室则可以产生上限达 18 GHz 的入射场。BCI 测试方法在直接连接至 DUT 的线缆上产生寄生电流。

BCI 法是用于得出测试设备敏感度特征的 BCI 标准的改进版。DPI 测试方法通过容性耦合的方式在尽可能靠近 IC 引脚处注入寄生过电压。因为 IC 的输入阻抗一般不是匹配的 50 Ω，所以这种方法的主要缺点是电缆的谐振，以及需要明确前向、反射和 RF 发射功率之间的区别。

表 4-12 各种敏感度测试方法的比较

项 目	IEC 62132—2 TEM	IEC 62132—3 BCI	IEC 62132—4 DPI	IEC 62132—5 WBFC
频率范围	150 kHz ~ 1/18 GHz	150 kHz ~ 1 GHz	150 kHz ~ 1 GHz	150 kHz ~ 1 GHz
注入机制	IC 暴露在 E/H 场中	连接至 IC 的电缆内的寄生电流	通过电容注入到 IC 引脚的 寄生过电压	通过 100 Ω负载线注入到 IC 引脚内的功率
单引脚测试	否	是	否	是
测试板	特定限制	有连接至 DUT 的电缆	每一个注入点加入电阻， 电容和 SMA 转接头	应用板

WBFC 逼近方法通过负载为 100 Ω的电缆向 IC 引脚内注入功率，其测量配置与 BCI 和 DPI 方法类似。

针对静电放电、电快瞬和电过应力等的冲击脉冲抗扰度测试的新方法正在研究中。这些方法得到了消费电子产品制造商用户和汽车工业设备设计商的大力支持。

13. 参考文献

- [1] Baudry, D., Bouchelouk, L., Louis, A. and Mazari, B., 2004, Near-field complete characterization of components radiated emissions, *Proceedings of EMC Compo 04*, Angers, France.
- [2] Bolomey, J. C., Gardiol, F. E., 2001, *Engineering applications of the modulated scatterer technique*, Artech House.
- [3] Budka, T. P., Wacławik, S. D., Rebeiz, M., 1996, A coaxial 0.5-18 GHz near electric field measurement system for planar microwave circuits using integrated probes", *IEEE Transactions on Microwave, Technology and Techniques*, 44(12): 2174-2184.
- [4] Camp, M., Gerth, H., Garbe, H., Haase, H., 2004, Predicting the breakdown behavior of microcontrollers under EMP/UWB impact using a statistical analysis, *IEEE Transaction on Electromagnetic Compatibility*, 46(3): 368-379.
- [5] CISPR 25, 2002, Radio disturbance characteristics for the protection of receivers used on board vehicles, boats, and on devices—Limits and methods of measurement; <http://www.cispr.org>.
- [6] De Leo, R., Rozzi, T., Svara, C., and Zappelli, L., 1991, Rigorous analysis of the GTEM cell, *IEEE Transactions on Microwave, Theory and Techniques*, 39(3): 448-500.
- [7] Fiori, F., and Musolino, F., 2004, A New Technique for the Measurement of IC Susceptibility to Electrical Fast Transients, *2004 International Symposium on Electromagnetic Compatibility*, Eindhoven, The Netherlands.
- [8] Gao, Y., Wolff, I., 1998, Miniature electric near-field probes for measuring 3 D Fields in planar microwave circuits, *IEEE Transactions on Microwave, Technology and Techniques*, 46(7): 907-913.
- [9] Garreau, P., Van't Klooster, K., and Bolomey, J.C., 1992, Modulated scattering calibration procedure for a 2D array, proceedings of IEEE AP-S conference, Chicago, 30-45.
- [10] Hoad, R., Carter, N. J., Herke, D., Watkins, S. P., 2004, Trends in EM susceptibility of IT equipment, *IEEE Transaction on Electromagnetic Compatibility*, 46(3): 390-395.
- [11] IEC 61967, 2001, Integrated Circuits, measurement of electromagnetic emissions, 150 kHz to 1 GHz, *IEC standard*; www.iec.ch.
- [12] IEC 62132, 2003, Characterization of integrated circuits electromagnetic immunity, *IEC standard*; www.iec.ch.
- [13] Kazama, S., Arai, K. I., 2002, Adjacent Electric Field and Magnetic Field Distribution, *IEEE International Symposium on EMC, Minneapolis, USA*, 395-400.
- [14] Liang, W., Hygate, G. Nye, J. F., Gentle, D. G. Cook, R. J., 1997, A probe for making near-field measurements with minimal disturbance: the optically modulated scatterer, *IEEE Transaction on Antenna and Propagation*, 45(5): 772-780.
- [15] Makie-Fukuda, K., Anbo, T., Tsukada, T., Matsura, T., and Hotta, M., 1996, Voltage-comparator-based measurement of equivalently sampled substrate noise waveforms in mixed-signal integrated circuits, *IEEE Journal of Solid-State Circuits*, 31(5): 726-731.
- [16] Marot, C., 2004, EMC IC measurements in design for automotive electronic unit, *Proceedings of EMC Europe 2004*, Eindhoven.

-
- [17] Marot, C., 2005, EMC measurement relation between IC and system in automotive application, *Workshop EMC for ICs, EMC Zurich 2005*.
 - [18] Muccioli, J. P., North, T. M. and Slattery, K. P., 1996, Investigation of the theoretical basis for using a 1 GHz TEM cell to evaluate the radiated emissions from ICs, *IEEE International Symposium on Electromagnetic Compatibility*, USA.
 - [19] Slattery, K. P., Neal, J., Cui, W., 1999, Near-field measurements of VLSI devices, *IEEE Transaction on Electromagnetic Compatibility*, 41(4): 374-384.
 - [20] Soumyanath, K., Borkar, S., Zhou, C., and Bloechel, B. A., 1999, Accurate on-chip interconnect evaluation: a time-domain technique, *IEEE Journal of Solid-State Circuits*, 34(5): 623-631.
 - [21] Vignon, B., Ben Dhia, S., Lamoureux, E., and Sicard, E. 2005, Characterization and modeling of parasitic emission in deep submicron CMOS, *IEEE transaction on EMC*, 47(2): 382-387.
 - [22] Wang, A.Z.H., 2002, *On-Chip ESD protection for Integrated Circuits, An IC Design Perspective*, Kluwer Academic Publishers, ISBN 0—7923—7647—1.
 - [23] Zheng, Y., and Shephard, K. L., 2003, On-chip oscilloscopes for noninvasive time-domain measurement of waveforms in digital integrated circuits, *IEEE Transactions on VLSI Systems*, 11: 336-344.

第 5 章 EMC 建模——集成电路中骚扰 发射和抗扰度现象的建模概览

摘要：本章主要描述了集成电路中的寄生效应和 EMC 现象的建模。首先介绍了静电放电、内部电流行为等现象，然后给出了 PCB 和封装的模型，最后概述了骚扰发射（如 ICEM, IBIS, IMIC 和 LECCS）和抗扰现象的模型。

关键词：串音；静电放电；HBM；发射；抗扰；ICEM；IMIC；LECCS；IBIS；VHDL-AMS；I/Os；PCB；封装；TEM 小室；近场

1. 静电放电模型

1.1 简介

本节将介绍几种最为重要的静电放电（ESD）测试模型和标准。许多标准中所介绍的 ESD 测试方法都是基于不同的模型的，如人体模型、机器模型、带电器件模型和传输线脉冲模型。这些模型在不断的改进之后复现了集成电路受静电放电影响的大多数不同的失败特性。

众所周知，当人的手碰到门把手或车门时，指尖会放出电火花，这时所看到和感觉到的火光就是一种静电放电现象。短暂的静电放电扰动仍是半导体工业中的最重要的问题之一，同时也是一种当物体近距离接触时，由电荷再平衡所引起的不可忽略的现象。尤其是在最近使用较薄栅氧化层和较短信道长度的技术中，静电放电的破坏性特性也就变得越加明显（如图 5-1 所示）。

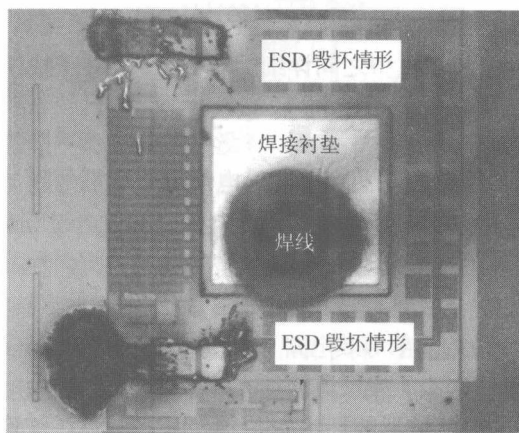


图 5-1 受静电放电影响所产生的熔化了的金属痕迹图

例如，汽车工业中的高静电放电保护层明确具备多项产品规格，这些规格对车载电气电子设备的电气化特性和电磁兼容特性提出了要求。迄今为止，这些要求主要针对汽车工业的直接供应商，而供应商则将这些要求日益趋向于转加给 IC 制造商。因此，对于汽车工业所应用的 IC，经常需要

直接处理 ESD 脉冲并将其去除,这些都已系统级的测试方法中有所介绍了(如 EN61000—4—2)。

为了满足这些需求,必须改进静电放电的保护结构,进而能够从敏感的内部电路中转移走更高的电流,并且能够在静电放电过程中钳住更高的电压。由于设备的尺寸在不断缩小,而且电压窗口也越来越小,所以有效的静电放电保护电路的设计也就越发具备挑战性。处理集成电路中的静电放电脉冲的期望方法仍然是使用片上的保护结构。

1.2 ESD 测试模型

评估集成电路的静电放电灵敏度是防止和控制静电放电的一项重要因素。在进行 ESD 控制的早期,主要工作放在了 ESD 测试方法模型的改进上,该模型能够包括 IC 使用过程中会发生的所有不同 ESD 事件。经发现,人工操作时产生的放电可能会毁坏一些集成电路,而在自动的机械操作中的放电会毁坏更多的集成电路。

回溯到 20 世纪 60 年代,用于增强集成电路的第一个 ESD 模型是人体放电模型(HBM)。但是不久之后,人们意识到 HBM 不能解释所有的静电放电故障,随着自动化操作机械的广泛使用,机器放电模型(MM)也就应运而生了。但是由于其他类型的静电放电损坏的存在,而这两种模型也不能涵盖这些损坏,如当集成电路沿着货运管道下滑时会被充电并且会在接触到接地金属桌面时放电。早在 20 世纪 80 年代初期,就用带电器件模型(CDM)来解释了这一类型的损坏。

在所有这些测试中,集成电路通常都没有上电,并且仅考虑了集成电路封装和操作过程中的残存部分。将来,集成电路必须在封装和操作过程中被保存完好,还要针对静电放电过程中的所有可能的干扰多进行一些集成电路上电后的测试。

为了总结出集成电路对静电放电的抗扰性的特征,诸如 AEC(汽车电子设备委员会),EIA/JEDEC(电子工业联盟/电子元件工程联合委员会)和 MIL-STD(美国军规标准)等标准化组织都已经制定了许多关于静电放电的标准。鉴于静电放电的特性,在这些标准中所描述的静电放电都是以上述三种基本的模型为基础的(Ming-Dou, 2001)。

尽管这些模型不可能包含影响集成电路的所有静电放电现象的全频谱,但是却复现了静电放电场故障的众多特性。我们通常所关心的故障特性是结漏、短路、栅氧化层击穿、热破坏等。Kelly 等人对 CMOS 设备给出了静电放电模型之间详细的对比及其各自的故障特性(Kelly, 1995)。

1.3 人体模型(HBM)

最陈旧的但也是最广泛使用的测试集成电路静电放电鲁棒性的模型就是众所周知的“人体模型”。其描述的是一个站立的充电的人接近接地集成电路时的放电过程。当人的手指和集成电路引脚之间的空气被击穿时,人体的电容就通过集成电路和接地引脚向地面放电。

最早描述这类静电放电事件的传统标准是 MIL—STD—883x 的方法 3015.7。该标准定义了一个用以描述人体模型静电放电事件的简单等效电路(如图 5-2 所示)。该电路中的电容($C_{\text{HBM}}=100\text{ pF}$)表征带电人体,电阻($R_{\text{HBM}}=1500\ \Omega$)表征典型的人体放电电阻。

人体模型静电放电脉冲的电流波形的规格如图 5-3 所示,这种波形是由人体模型静电放电测试仪在短线上产生的。对于商用集成电路而言,通常其人体模型静电放电电压是 2 kV,由放电引起的峰值电流是 1.3 A。设计较好的片上保护器件通常能够很容易在足够低的电压下转化电流脉冲,以保护集成电路片核的易受损设备。

除了 MIL—STD—883x 的方法 3015.7 之外,还有其他的 HBM 标准,如 JEDEC JESD22—

A114—B (EIA, 2000), ESDA STM5.1—1998 (ESD Association, 1998), 或 AEC—Q100—002—REV—C (AEC, 1998)。

系统级的标准 EN 61000—4—2 (IEC, 2001) 中描述了另外一种静电放电 (仍然以 HBM 为基础), 该标准最初用于评估整个电子系统的静电放电性能, 描述的是带电人体通过金属工具 (如手里握着的螺丝刀) 向接地待测设备 (DUT) 放电的事件。

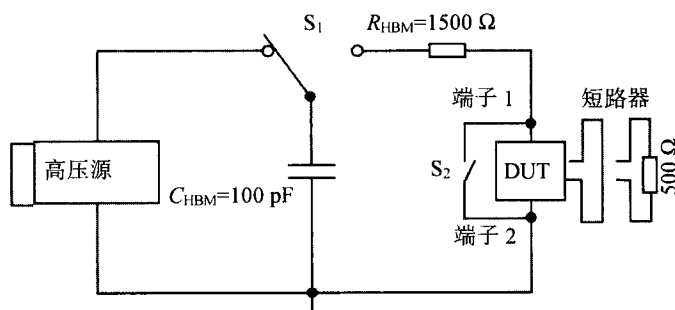


图 5-2 简单的等效 HBM 电路 (MIL—STD—883x) (IC 级)

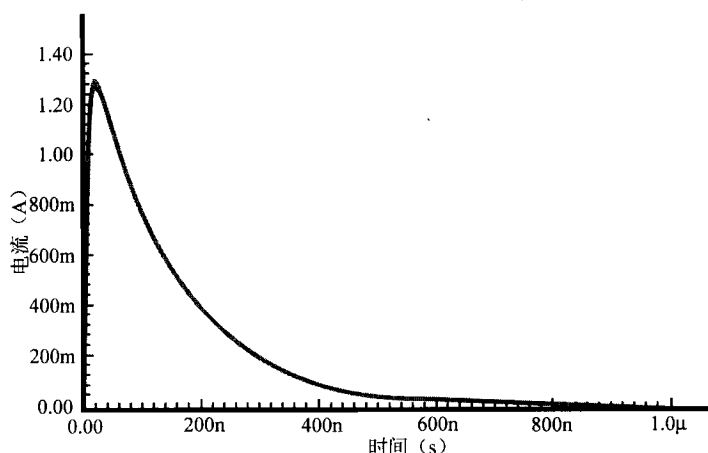


图 5-3 MIL—STD—883x 中所规定的 2 kV HBM ESD 脉冲的电流波形

如果电子系统的性能在静电放电测试后没有低于制造商所规定的性能等级, 则说明其可以通过该测试。在测试过程中, 性能等级下降是允许的, 但是不能改变实际的操作或所存储的数据。首选的测试方法是接触放电, 空气放电仅在接触放电不适用的情形下进行。每种测试方法的电压都是不同的, 这取决于 DUT 能够承受的电压等级。

通常, ± 4 kV 的放电可以使用接触法, ± 8 kV 的放电可以使用空气法。

目前, 标准 EN61000—4—2 正逐渐在集成电路电平特性的测试中被广泛使用。在汽车工业中, 对于直接与集成网状电缆相连的集成电路, 可以使用这项标准。在没有附加的外部 ESD 保护结构时, 全部的放电电流会直接注入集成电路的引脚。

根据汽车工业中集成电路的特性所配置的系统级 ESD 测试由 Körber 在 2004 年提出。该测试先假设半导体设备大部分的 ESD 干扰都是由对设备的电力电子器件的连接引脚直接放电所引起的, 并且仅适用于交通工具中那些与集成网状电缆直接相连的 IC 引脚。为了考虑到必要外部成分的影响, 必须使用特定的测试用印制电路板。

系统级 ESD 的典型波形与 IC 级的波形完全不同,如图 5-4 所示。它是由放电波形和两个连续的事件所组成的。首先是一个下降时间极短(小于 1 ns)的非常尖锐的电流峰值,它表征金属工具局部电容的放电过程,随后就是使用金属工具的人体的放电过程。

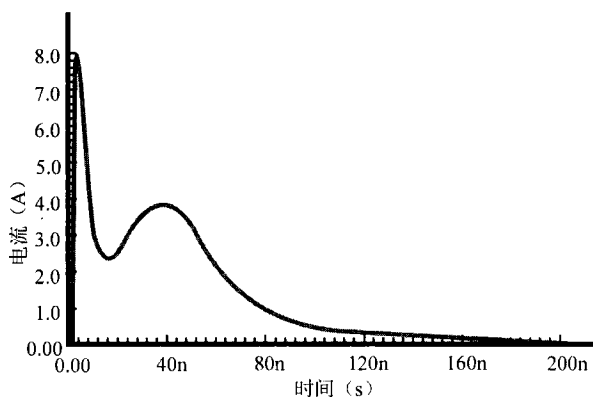


图 5-4 EN 61000—4—2 中所规定的 2 kV HBM ESD 脉冲的电流波形(系统级)

与 IC 级 HBM 标准相比,人体的电容和放电电阻都是不同的,如 EN 61000—4—2 规定 150 pF 的电容通过 330 Ω 的电阻放电,这样可以得到更高的放电能量。

图 5-5 给出了 2 kV 的系统级 HBM 脉冲与 2 kV 的 IC 级 HBM 脉冲的区别。可以看出,相同电压的系统级 ESD 事件的峰值电流可以很容易达到幅值的数十倍,其脉冲的下降时间比 IC 级 HBM 脉冲要快,包含的能量也比 IC 级 HBM 脉冲多。可以看出系统级所要求的值明显超过了 IC 级的值。

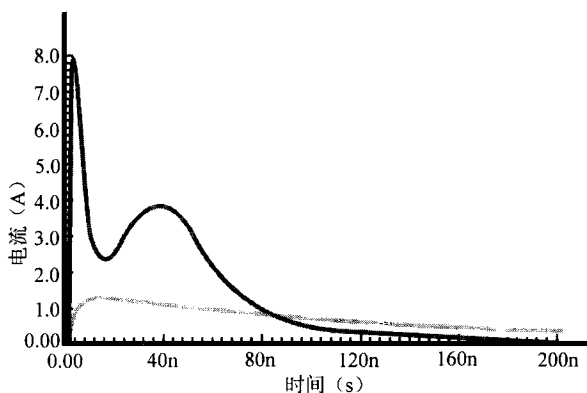


图 5-5 2 kV 的系统级(EN 61000—4—2)和 IC 级(MIL—STD—883x) HBM ESD 脉冲的电流波形比较图

1.4 机器模型(MM)

除了人体放电之外,任何带电的物体在接触 IC 时都可以向 IC 进行静电放电。这类金属机器的典型电阻比人体的要小很多,所以会产生更大的 ESD 峰值电流。

机器模型(MM)代表了一种 ESD 应力,它是在 IC 的使用过程中由机器产生的(如在 IC 制造或测试过程中的金属机器)。MM 起源于日本,它代表了一种对 IC 的低阻抗、高电流的放电。主要的 MM 标准有 ESDA 的 STM5.2—1999(ESD 联盟,1999),JEDEC EIA/JESD22—A115—A

(EIA, 1997), 以及 AEC—Q100—003—REV—F (AEC, 2001)。

MM 的放电电路与 HBM 相似, 除了放电电容是 200 pF 外。而且由于放电电阻保持为最小(最好的情况是 $0\ \Omega$), 所以几乎所有的电能都注入到了 IC 引脚。图 5-6 是 AEC—Q100—003—REV—F 中规定的 MM 的模型电路。

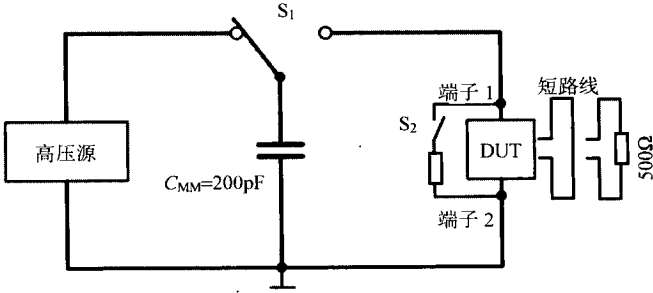


图 5-6 MM ESD 测试的等效模型电路 ($C_{MM} = 200\text{ pF}$, 电阻和放电路径上的电感可忽略不计)

MM ESD 测试中的极低的放电电阻导致了极高的峰值电流, 这在很大程度上也取决于测试系统的无源元件和 DUT。DUT 的电压容限必须能够承受 MM ESD 测试(通常情况要求为 $\pm 200\text{ V}$, 要求提高时需要 $\pm 400\text{ V}$), 而且其值比 HBM ESD 测试时的值要小得多。由 MM ESD 测试所引起的典型的 ESD 故障与 HBM 测试时的故障通常是相似的(扩散区域的温度故障)。

MM ESD 测试仪的输出波形应该与图 5-7 中的典型电流波形相匹配, 其振荡是受测试系统寄生电感的影响而产生的。由于放电路径上的寄生效应, MM ESD 测试仪所生成的实际的 ESD 电流波形与标准中所规定的会有所不同。

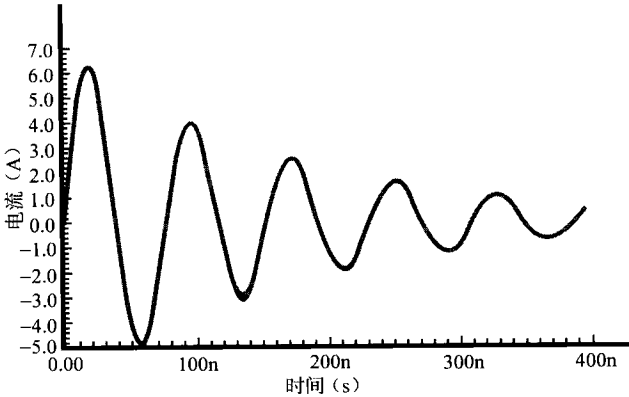


图 5-7 AEC—Q100—003—REV—F 中规定的 400 V MM ESD 的电流波形

1.5 带电器件模型 (CDM)

对于 HBM 和 MM 而言, 是由外部带电人体或机器负责进行静电放电的; 而带电器件模型 (CDM) 则不同, 带电的 IC 自身就是放电的起因 (Speakman, 1974)。这样一来, 电荷最初是储存在 IC 内的, 并且如果它的一个引脚接触接地物体, 它就会自行放电。

这种情况主要发生在自动化制造和装配过程中, 如当 IC 沿着传送装置进入自动测试仪或运送管道时。

由于在半导体制造过程中,人工的操作越发多余,所以抗 CDM 应力的敏感度的鉴定就越发重要。CDM ESD 表征了通过低阻抗接地路径的快速放电(时间单位是 ns)。尽管在 IC 内存储的电荷通常是很少的,但由于极低的阻抗和放电路径上的电感,所以 CDM 能够产生很大的 ESD 电流。

ESD 的预充电主要基于两种机理:直接充电或场感应充电。如果是场感应充电,则整个 IC 都通过电场感应进行充电;如果是直接充电,则 IC 就通过直接在其一个引脚上连接高阻抗电压源进行充电。

有两种常规的 CDM 测试程序可用于表征 IC 的敏感度,即直接测试 IC 的无插槽 CDM 测试和将 IC 插入 IC 插槽的插槽 CDM 测试(SDM)。对于无插槽 CDM 测试,DUT 要倒置在绝缘充电板的“引脚朝上的位置”。这样它就可以通过场感应或直接感应的方式给 DUT 充电,而且场感应模式会更好,因为给 IC 充电时并不会损坏 IC。放电过程的执行需要一个可以直接连接 IC 某一引脚的接地探头。为了保证脉冲波形的可复现性,探头必须具备很低的阻抗,并且 CDM 测试仪必须具备很小的寄生效应。图 5-8 是这种测试设置的简单示例。

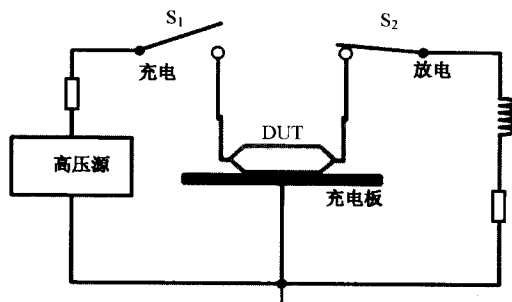


图 5-8 CDM ESD 测试设置（无插槽 CDM 感应场）。

主要的 CDM ESD 标准是 JEDEC JESD22—C101—A (JEDEC, 2000), ESD STM5.3.1 (ESD 联盟, 1999), 以及最为重要的 AEC—Q100—001。

JEDEC JESD22—C101—A 标准中所规定的 CDM ESD 脉冲波形如图 5-9 所示。由于放电路径上的寄生效应会极大地影响脉冲波形,所以很难设计一个 CDM 测试仪来满足标准波形的要求。

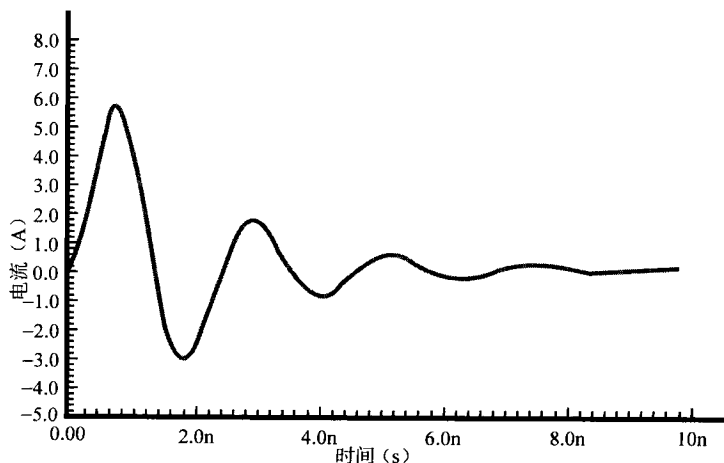


图 5-9 JEDEC JESD22—C101—A 所规定的 500 V CDM ESD 放电的电流波形图

之前所讨论的 HBM 和 MM ESD 应力, 其主要的故障模式是扩散区域的热故障, 而 CDM 放电通常会表现出不同的故障特性 (Maene, 1994; Brodbeck, 1996; Brennam, 2004), 其中典型的一项故障就出在栅氧化层的引脚孔上, 这是因为在非常短的应力期间, 孔上产生了很高的电流 (数安培) 和薄栅氧化层间相应的高电压。

由于现在的半导体设备的栅氧化层越来越薄, CDM ESD 测试中也包含了 ESD 事件的抗扰性特征。

1.6 传输线脉冲模型 (TLP)

除了上述这些用来评估 IC 的 ESD 鲁棒性的测试方法, 另外一种对 ESD 保护结构的非破坏性的评估技术正在凸显其重要性。由于传统的 ESD 测试方法主要是基于对测试样品的合格与不合格的评估, 所以传输线脉冲模型 (TLP) 可提供众多优点并有可能取代其他的测试方法。

TLP 技术最初由 Maloney 等人提出, 目的是为了评估 ESD 保护结构的特性, 该技术是一种通过同轴传输线的放电产生大电流方波脉冲的简单方法 (Maloney, 1985)。这种脉冲评估技术强调了 ESD 保护器件的动态行为, 并且不会导致热破坏, 其基本原理如图 5-10 所示。

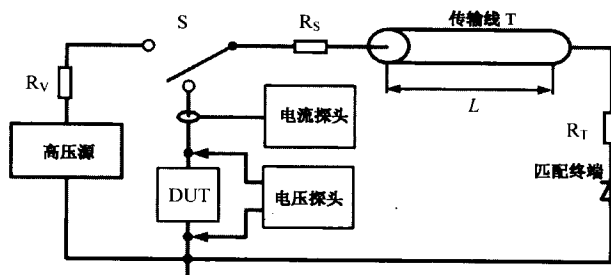


图 5-10 TLP 测试系统机理 ($R_V=1\text{ M}\Omega$, $R_S=50\sim 1000\ \Omega$, $R_T=50\ \Omega$)

由高压电压源通过电阻 R_V 给传输线 T 充电至某一特定的电压, 当开关 S 关闭之后, 已经储存在传输线内的电荷会通过串联电阻 R_S 和 DUT 流向地面, 这样就会产生一个高电流脉冲, 如图 5-11 所示。

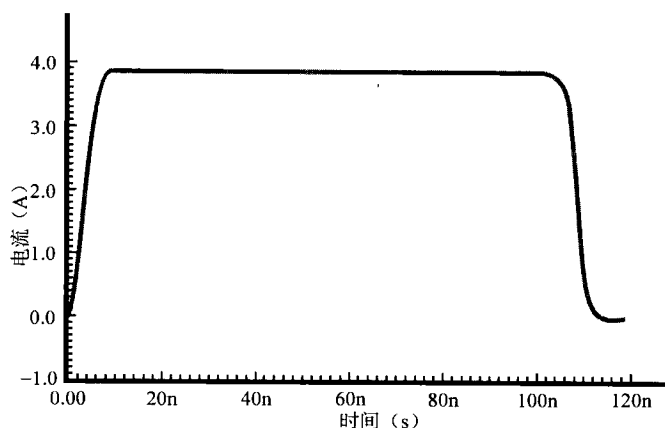


图 5-11 ANSI/ESD SP5.5.1—2004 中规定的 TLP 电流波形 (脉冲宽度为 100 ns, $t_r=0.2\sim 10\text{ ns}$, $t_f=0.2\sim 10\text{ ns}$)

脉冲的宽度由传输线自身的长度来决定。有多项研究正在试图描绘出与 HBM 脉冲具有相同

能量的理想 TLP 脉冲, 目的是为了将 TLP 与 HBM 的测量结果相结合 (Salome, 1998; Lee, 2000; Barth, 2000; Barth, 2001; Notermans, 1998)。

在放电过程中, 可以测量流经 DUT 的电流脉冲 $I(t)$ 和其相应的电压响应 $V(t)$, 它们的平均值对应于 $I-V$ 图上的某个点。由于预充电电压在逐步升高, 故可在 $I-V$ 图上顺序得到所有其他电流和电压值。

TLP 测量的结果是待测设备的类似静态的 $I-V$ 特征图, 这样就可以观察设备在 ESD 条件下的行为。通常可在每次放电后测量漏电流, 并且可以用漏电流的剧增与否结合设备二次击穿所引起的电压的二次骤回来判断设备的 ESD 的感应损坏。

晶闸管整流器 (SCR) ESD 保护设备的 TLP 测量实例如图 5-12 所示。右边的曲线 (细线) 是设备的脉冲 $I-V$ 特征图, 它是通过对多次放电的电压、电流的测量而逐步得出的。左边的曲线 (粗线) 是增大 TLP 应力时设备的漏电流, 可以看出在脉冲电流约为 6.2 A 时漏电流剧增, 这与 9 kV 应力的 IC 级 HBM 的测试结果相一致, 这一点就是二次击穿点, 设备在此时会受到严重毁坏。另外, 从 $I-V$ 图上可以得到一些有用的参数以评估保护设备的 ESD 保护能力, 如动态导通电阻或保持电压。

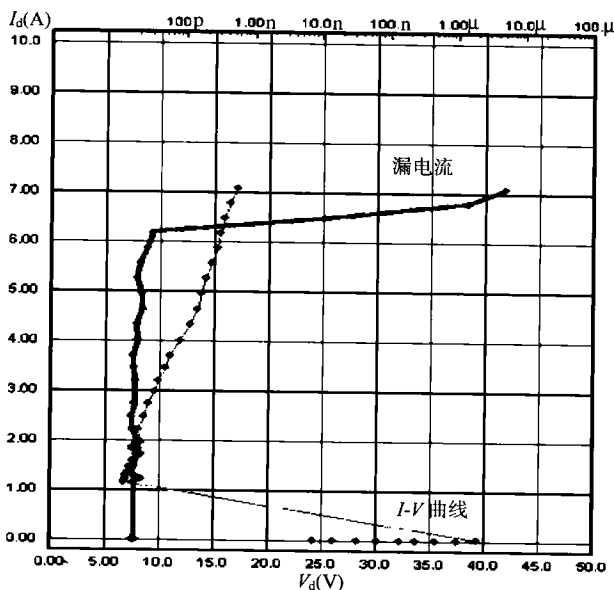


图 5-12 脉冲的 $I-V$ 曲线和晶闸管整流器 ESD 保护设备的漏电流的测量

TLP 评估方法的优点, 如可复现的电流脉冲波形和 $I-V$ 图提供了一些有用信息, 都促成了标准的 TLP 测试模型的改进和发展。2004 年, ESD 联盟就已经完成了标准的执行文件, 即 ANSI/ESD SP5.5.1—2004, 在这一标准中规定了测量参数和 TLP 测试仪的设置规则, 以满足基于 TLP 的 ESD 测试的可比性和可靠性要求。

2. 内部电流整流

2.1 起因

在制造集成电路之前事先模拟 IC 的寄生发射可以有效地避免对 IC 进行反复的设计, 从而节约成本和缩短上市周期。为了准确模拟 IC 的电磁发射, 有必要知道主要干扰源的所在。

IC 的电磁寄生发射主要源于每个器件门的活性或逆变器的外部供电。图 5-13 是器件门的简略示意图和其电源布线的简单模型。

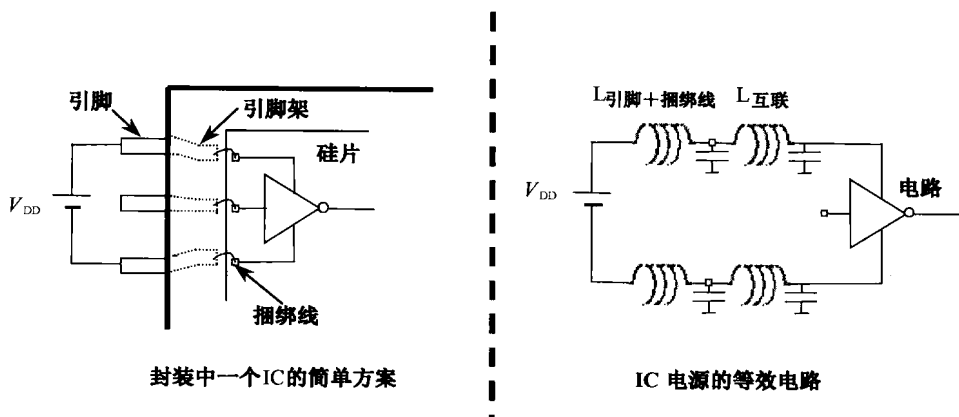


图 5-13 IC 封装内的电子模型

2.2 寄生发射的基本原理

当逻辑门被激活时(如图 5-14 所示),逻辑电平从 0 到 1 和从 1 到 0 的转变会在供电路径(V_{DD} 和 V_{SS})上产生峰值电流 I_p 和 I_n 。IC 封装内的电流的快速变化会产生电源供电的扰动。通过接缝和封装电感的电流如果发生变化,就会自感应出接近于 FM 频带的严重反弹的电压降。

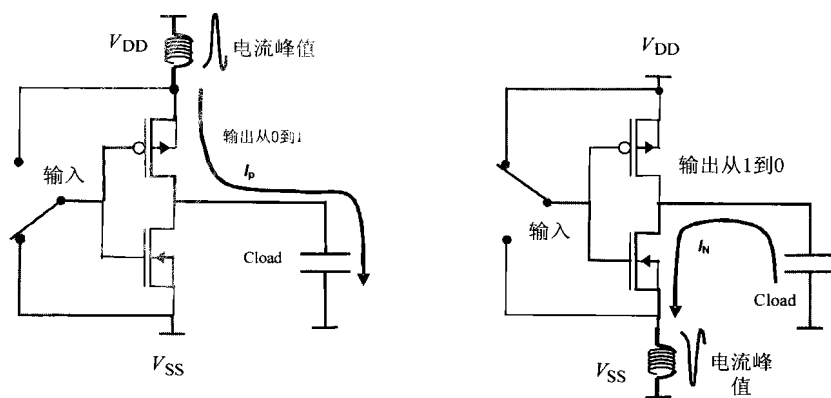


图 5-14 起源于逆变器转换过程中器件电流流动的寄生发射的基本原理

由于逆变器具有不对称的结构,所以电流峰值在开启和关闭时是不同的。为了简化建模方法,就要考虑这两种电流波形之间的平均值(如图 5-15 所示)。

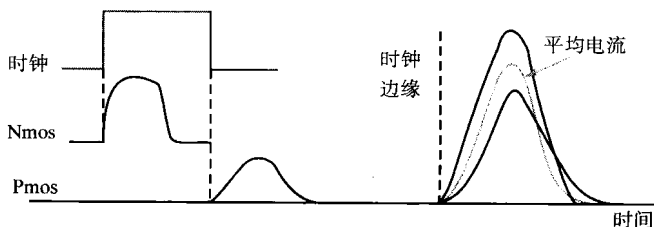


图 5-15 在一个开关转换过程中的 Nmos 和 Pmos 上的耗电电流峰值

电流峰值取决于两个主要的参数：电流幅值和 IC 的操作频率周期。这项技术的发展趋势会影响 IC 的操作频率，并且会对电流峰值产生重大影响，会导致电流峰值变得更短更尖锐，并在发射谱上轮流产生很多恶劣影响。

随着 CMOS 设备的逐步小型化，电流峰值幅值也在减小，但其减小的速度要比单元密度增长的速度慢（如表 5-1 所示）。

表 5-1 各种 CMOS 设备情况下的电流峰值

技 术	年代	供电	单元密度 /mm ²	时钟频率（MHz）	通过每个门的电流	整流延时
CMOS 1.2 μm	1985	5V	8 K	4 ~ 50	1.1mA`	1 ns
CMOS 0.8 μm	1990	5V	15 K	4 ~ 90	0.9 mA	0.5 ns
CMOS 0.5 μm	1993	5V	28 K	8 ~ 120	0.7 mA	0.3 ns
CMOS 0.35 μm	1995	5 ~ 3.3V	50 K	16 ~ 300	0.6 mA	0.2 ns
CMOS 0.25 μm	1997	5 ~ 2.5V	90 K	40 ~ 450	0.4 mA	0.12 ns
CMOS 0.18 μm	1999	3.3 ~ 2.0V	160 K	100 ~ 900	0.3 mA	0.1 ns
CMOS 0.12 μm	2001	2.5 ~ 1.2V	240 K	150 ~ 1200	0.2 mA	70 ps
CMOS 90 nm	2004	2.5 ~ 0.8V	480 K	300 ~ 2000	0.15 mA	50 ps
CMOS 65 nm	2007	2.5 ~ 0.7V	900 K	500 ~ 3000	0.1 mA	30 ps

由于在 IC 的不同模块整合了多项功能，并且这些功能多为并行工作的，总的电流峰值取决于各个器件模块电流消耗之和，所以多个门同时整流时，总的电流幅值就会增加。

例如，一个 CPU 是由 3000 到 300 000 个内部逻辑门组成的（如表 5-2 所示）。对于每个时钟周期，这些逻辑门中仅有一小部分（10%）是被激活的。

表 5-2 CPU 的活性

CPU 类型	逻辑门总数	一个时钟周期内的被激活的逻辑门的数量
8 bits	3000 ~ 5000	300 ~ 500
16 bits	15 000 ~ 100 000	1500 ~ 10 000
32 bits	50 000 ~ 300 000	5000 ~ 30 000

可以通过以下多种仿真方式对电流进行预测。

- 电路仿真或 SPICE 仿真：多于 10 000 个门时，这种方法不实际。
- 使用 PowerMill（Synopsys®）方法进行内插仿真：这种方法的主要约束条件是各个器件的布局在其他情况下应该也是可以利用的。
- 行为仿真：这种统计学的仿真方法应在早期的设计过程中采用，并且要考虑到大量的门。当供货商不能提供任何核心模型时（如不需要进行布局时），IC 的使用者同样可以采用这种统计学的评估方法。基于技术的更新换代，管芯的尺寸、处理器的型号及每个时钟周期所产生的电流峰值的粗略估计值等信息都是可以获得的。这种方法需要进行很多项近似，但是可以给出处理器所消耗的电流的近似情况。从标准的角度考虑，这种方法是更合适的。

假设有一个 16 位微控制器，其 10 000 个逻辑门同时进行整流，所得到的电流峰值可能会接近 4.5A。目前，门和内部连线的延迟扩散了出去并将电流峰值降低了 10 倍。为了保存能量，峰值的幅

值要除以 10。如图 5-16 所示, 可以看到在 4 ns 内, 450 mA 的峰值的产生过程。

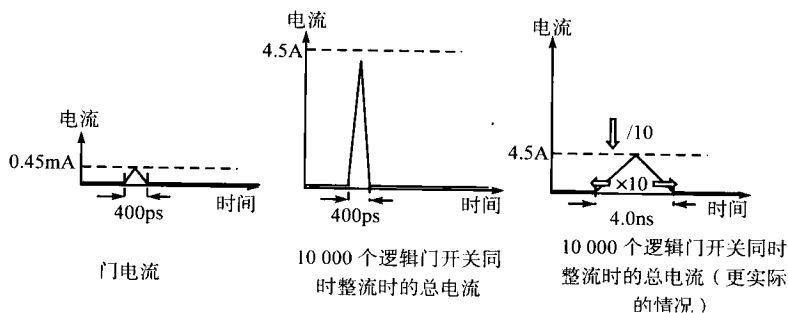


图 5-16 由 10 000 个整流门的内核所产生的电流峰值

3. 印制电路板模型

3.1 PCB 概述

使用 EMC 的模拟和仿真工具时, 需要考虑到在每个很小的结构内的复杂模拟、数字或混合信号板, 以及紧随而来的电或电磁耦合。

本节将给出电子印制电路板的 EMC 建模法和一些有关电气 EMC 仿真的应用。首先要介绍的是用于设备或集成电路的 PCB 设计的实用 PCB 配置及技术方法和物理特性。随后要介绍的是在测试用的 PCB 上 (10 cm×10 cm 的规格) 测量和仿真 EMC 信号时所涉及的基本数字电路。

在较低的频率或开关速率时, 从实际应用角度考虑, 沿电路板传播的信号和脉冲的轨迹可被看做是无失真和时延的电信息和数字脉冲。然而在现代电子电路中, 由于时钟率的增加, 这些结构将不能再被视为被动的载波, 取而代之的是寄生电容和电感及功率损耗, 它们引入了对信号有负面影响并且会产生寄生辐射场的时延和失真。

由 PCB 和设备所产生的一些 EMC 发射可被确定为: DC 供电耦合和噪声、输入/输出耦合和直接辐射发射。在 PCB 中, 主要是一种流经共模阻抗和供电接线的由供电通断电流所引起的传导模式噪声。受标准 PCB 上布线长度的影响, 主要的电、磁场通过板上的一些器件进行辐射。

3.2 PCB 的标准形状和特征

3.2.1 单、双边 PCB

高密度的集成电路的连接通常是通过薄的实心基片材料实现的, 称其为板, 在板上通过蚀刻或绢印法进行传导连接: 这就是印制电路板 (PCB), 并可以根据所设计的系统调整板尺寸 (从 1 cm×1 cm 到 50 cm×50 cm)。器件和封装芯片分布在板的一边 (器件边)。

这里使用到了以下两种互联技术。

- 单边 PCB: 在这种板上导线或铜线分布在一边, 而器件在另一边。封装电路的引脚由穿孔连接技术焊接在轨迹上。
- 双边 PCB: 导线或铜线可分布在基片板的两边, 使用穿孔表面固定技术将器件放置在其中一边上 (如图 5-17 所示)。

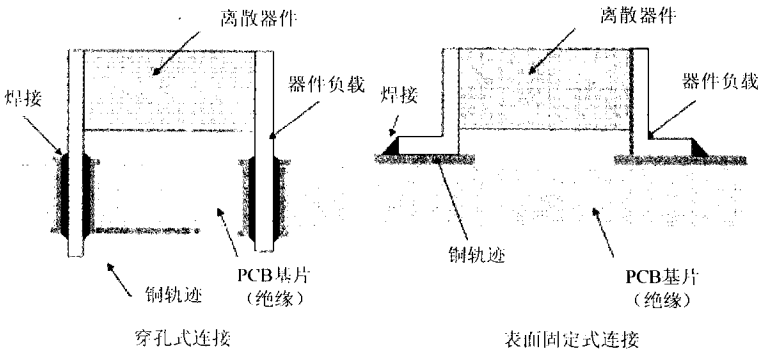


图 5-17 PCB 技术

在 PCB 上使用的最普遍的导电材料是铜，铝材仅用于一些特殊场合（电源 PCB）。表 5-3 中列出了 PCB 所使用的一些导电和绝缘材料的物理特性。

表 5-3 PCB 所使用的一些导电和绝缘材料的物理特性

导 体	电导率 σ (S/m)	绝缘体	相对介电常数 ϵ_r
铜	5.7×10^7	聚四氟乙烯	2.17 ~ 2.33
		PTFE Teflon	
铝	3.96×10^7	环氧 E 玻璃	4.3 ~ 4.5
		E-Glass epoxy(FR4)	
铅	5.0×10^7	铅玻璃	6.0
		Lead-Glass	

PCB 基片上的主要铜线轨迹可以通过下列参数来模拟（如图 5-18 所示）：

- 基片高度 e_s ；
- 导体长度 L_0 ；
- 导体宽度 w ；
- 导体厚度 e 。

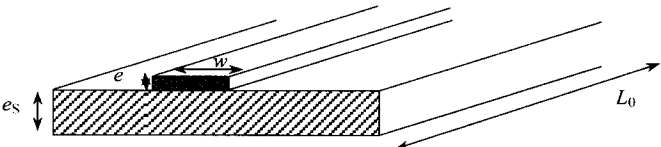


图 5-18 PCB 的基本互联轨迹

为了得到这种单一轨迹的适合阻抗，内外导电参数都要考虑在内。

1) 导体的内部固有参数： R （电阻）和 Li （内电感）

- 电阻：如第 3 章所介绍的，根据公式（5-1）得出低频电阻（或 R_{DC} ），根据公式（5-2）得出高频电阻（或 R_{HF} ）（要考虑趋肤深度 δ ）。电阻的增长遵循 $f^{1/2}$ 律。

$$R_{DC}(\Omega / m)=\frac{\rho}{we} \tag{5-1}$$

如果可以在窄带内分辨出导体 ($e \ll w$), R_{HF} 可由下式得出:

$$R_{\text{HF}} \approx \frac{\rho}{2\delta w} \quad (5-2)$$

- 内电感: PCB 铜线轨迹的 L_{DC} 和 L_{HF} 以复杂的解析形式表示 (Tesché)。多数情况下, 可以根据导体的外电感值 Le 将内电感忽略。

2) 两个临近导体 (如信号导体和接地导体或返回路径导体) 之间的相互影响所导致的外部参数 (如图 5-19 所示)

在这种组态下的导体会产生:

- 由闭环所定义的外部电感 Le ;
- 由电荷分布所定义的电容 C 。

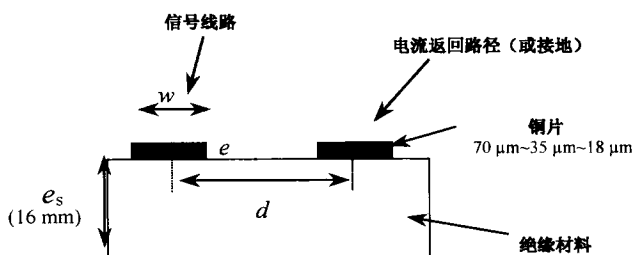


图 5-19 微轨迹组态

对于任一导体, 其通用公式如下:

$$Le(\text{H/m}) = \mu f_G \quad (5-3)$$

$$C(\text{F/m}) = \frac{\epsilon}{f_G} \quad (5-4)$$

式中, μ 是材料的渗透性; f_G 是取决于导体形状 (Tesché, 1997) 和材料介电常数 ϵ 的函数。

3.2.2 导电平面

根据轨迹的尺寸可将导电平面视为无限大, 这样一来, 就没有磁通量的返回路径和存储的电荷了, 也就没有了感应或容性的电等效器件。导电平面的阻抗是实阻抗 (如电阻)。由于趋肤效应阻抗会随频率而变, 其值可以表示为欧姆/平方米 (长度=宽度), 即有

$$R_{\text{DC}} (\text{欧姆/平方米}) = \frac{\rho}{e} \quad (5-5)$$

$$R_{\text{HF}} (\text{欧姆/平方米}) = 370.10^{-9} \sqrt{f} \quad (\text{对于铜面}) \quad (5-6)$$

3.2.3 微带线

与双边 PCB 一样, 导电连线可以放置在绝缘基片的任一边 (如图 5-20 所示)。与减少寄生和噪声的最新技术相对应的传统技术是微带线组态。

上层所有网络的电流返回路径都位于平面内, 可以:

- 减少 PCB 整个表面的共模阻抗;
- 坚固 PCB 的板底;
- 在高速信号或低通断时间的情况下, 可对传输特性进行控制, 这是基于准静态横电磁波

(TEM) 的基本组态。

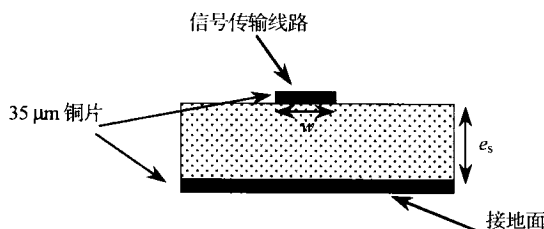


图 5-20 微带线组态

由外部的电参数 Le 和 C 所表征的传输特性分别见式 (5-3) 和式 (5-4), f_G 的计算式为

$$f_G = \frac{1}{2\pi} \ln \left(\frac{8d}{w} + \frac{w}{4d} \right), \text{ 对于 } \frac{w}{d} \leq 1 \text{ 而言}$$

$$f_G = \frac{1}{\left[\frac{w}{d} + 1393 + 0,667 \ln \left(\frac{w}{d} + 1,444 \right) \right]}, \text{ 对于 } \frac{w}{d} > 1 \text{ 而言} \quad (5-7)$$

Le 和 C 都与频率无关, 且随距离而变 (与几何尺寸成反比)。

3.2.4 多层 PCB

现在的高密度 PCB 中的多层 PCB 技术是用单带状线技术的实例所表征的, 它是位于两个平面导体结构之间的轨迹, 并且在轨迹周围都是绝缘材料 (如图 5-21 所示)。

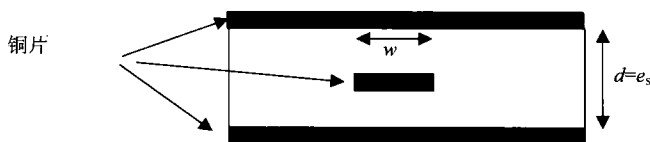


图 5-21 带状线组态

独立的平面可以作为信号正常传播的屏蔽或波导, 同样也可作为 PCB 共模行为的较好的返回路径。可将两个或更多的平面用做独立功率-接地平面, 独立模拟-数字平面。器件可以放置在外部平面上通过铜轨迹连线 and 孔与其他平面相连, 这就形成了 PCB 的 3D 互联。

Le 和 C 分别见式 (5-3) 和式 (5-4), f_G 的计算式为

$$f_G = \frac{1}{4} \ln \left(\frac{d}{w_{\text{eff}} + 0.441d} \right), \text{ 对于 } \frac{w}{d} \leq 1 \text{ 而言} \quad (5-8)$$

式中

$$w_{\text{eff}} = w - \begin{cases} 0, (w/d < 0.35) \\ d(0.35 - w/d)^2, (w/d > 0.35) \end{cases}, \text{ 对于 } \frac{w}{d} > 1 \text{ 而言}$$

Le 和 C 都与频率无关, 且随距离而变 (与几何尺寸成反比)。

3.2.5 电源/专用 PCB

电源瞬变和高密度通断电流专用的 PCB 通常是单边或双边的, 并具有大功率、接地和互联的轨迹。由于电源电流分布会引起铜线发热, 所以轨迹可为 35 ~ 70 μm。电源 PCB 可以承受一个很

宽的接地平面（可达 1 cm），在这一平面上可通过 PCB 较低的一边形成热汇点，而器件则位于较高的一边。

对于高功率的通断电流，双边的组态设计成铜环氧铝的多层结构或铜环氧氮化铝的结构。这些带有用于静态和动态的电源热耗散的绝缘隔离基片的平面产生了和之前的微带及带状线组态一样的非理想性的阻抗。这种电源 PCB 应该用 3D 的互联方法和部分等效器件的概念进行模拟（如图 5-22 所示）。

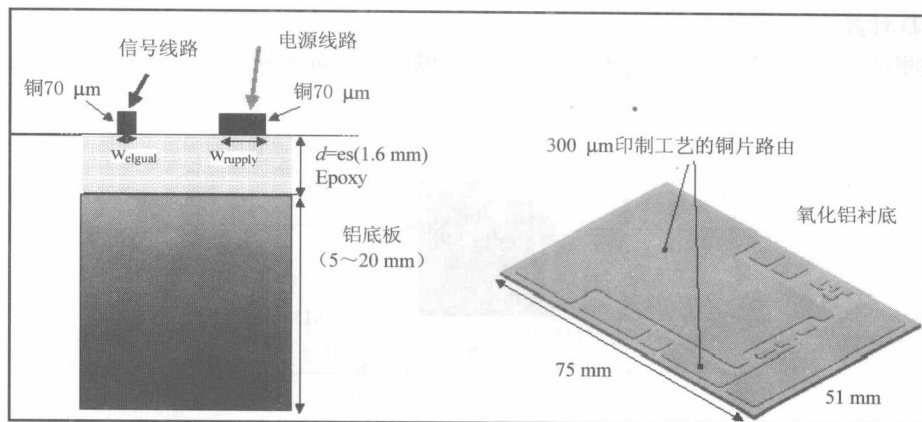


图 5-22 功率 PCB（2D 视图）和 300 μm 铜和氮化铝的夹层（3D 视图）

3.2.6 3D 方法：部分参数、耦合系数

在许多实际情况中，PCB 的布线、铜面不能满足 2D 的要求：等效线的有限尺寸、边缘效应、非理想导体或路径损耗。与弯曲、结合和通路有关的不连续也没有考虑在 2D 计算的范畴内。

为了模拟这些不连续性影响，有必要绘制出完整的三维结构模型并加以分析，特殊情况就是 PCB 上的轨迹结构不能匹配微带或带状线的图。在传输线理论（TLT）中仍可以使用等效电单元（RLC），但是并不采用 2D 的方法来提取参数及模拟 PCB 的电气效应和 EMC 效应。这样就需要引入 3D 效应，因此必须采用数学方法对传播和电磁场效应进行评估、模拟和计算。首先使用网格化技术并随后在频域或时域求解 Maxwell 方程，用所得出的结果解决下列电磁问题：基于 PCB 的结构和频率要求的电流分布密度、电势线和场线、辐射近场和远场。接下来就是将这些电磁问题的解决方法应用于包含时延和传播效应的电流区域中，这是与电路部分器件有关的概念和技术。

3.2.7 举例

在下面的例子中列举出了 2D 和 3D 方法中测试板（如图 5-23 所示）的等效电参数。

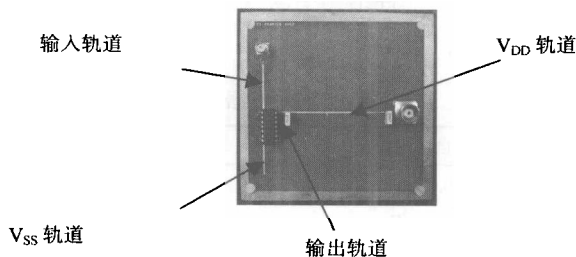


图 5-23 PCB 测试板

由于它是双边 35 μm 厚的铜 PCB，在另一边带有 10 $\text{cm}\times 10\text{ cm}$ 的接地底板，所以每一轨迹都可看做是微带线结构 ($w\ll L_0$)。其特性如下所示。

- V_{DD} 轨迹: $L_0=6.5\text{ cm}$, $w=0.8\text{ mm}$;
- V_{SS} 轨迹: $L_0=1.9\text{ cm}$, $w=0.8\text{ mm}$;
- 输入轨迹: $L_0=3.2\text{ cm}$, $w=0.8\text{ mm}$;
- 输出轨迹: $L_0=1.3\text{ cm}$, $w=0.8\text{ mm}$ 。

1) 2D 计算

假设测试板的所有轨迹的交叉部分都具有相同的组态 (环氧铜微带)。将每一个 PCB 轨迹看做一个单元模型，就会得到图 5-24。

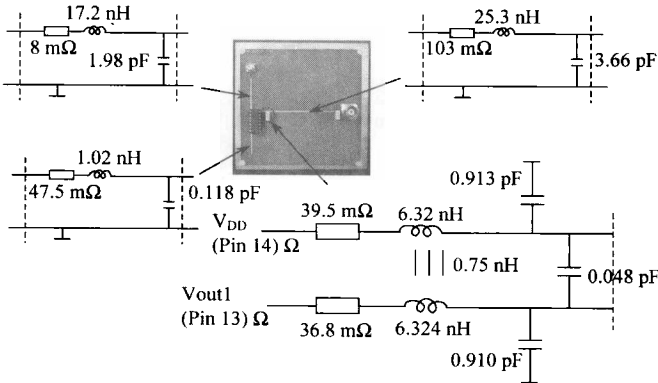


图 5-24 V_{DD} 和输出之间的耦合模型

对于高频的多层结构，单元模型可分成 n 个单元并作为一个分布式模型。可以通过模拟输出轨迹 (引脚 13) 和 V_{DD} 线之间的邻近区来考虑板的 2D 线耦合效应。因此，可以根据图 5-24 沿着长度 (1.3 cm) 对微带差分线进行模拟。

2) 3D 计算

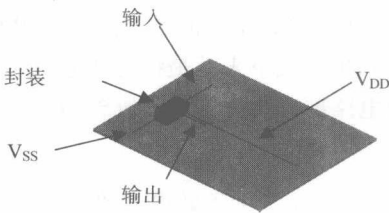


图 5-25 测试用 PCB 的 3D 原理图

假设 V_{SS} 线、输出线或输入线受 PCB 的边缘或者是其之间互耦合的影响，则测试用的 PCB 可以通过一个 3D 的电磁解决方法来进行模拟 (如图 5-25 所示)。电荷分布的计算及板上 4 个导体的电流密度可转换成一个部分电器件的等效 4×4 矩阵。为了表示这种电学原理，可以根据耦合因子进行简化：对于小于 10% 的较小的耦合因子，可以排除这种结构中的互感电器件。表 5-4 是这类普通测试用 PCB 的结果。

表 5-4 等效电器件的值

导 体	C_i (自身电容)	L_i (自身电感)	R_i (自身电阻)
输入	0.62 pF	31 nH	0.057 Ω
输出	0.53 pF	10.3 nH	0.024 Ω
V_{DD} 线	1.18 pF	72.2 nH	0.11 Ω
V_{SS} 线	0.57 pF	16.5 nH	0.032 Ω

4. 封装

功率、速率、成本的持续增长促进了大多数电子工业的发展,根据摩尔定律,也促成了芯片体积的逐渐减小。

封装技术作为后期进程的一部分也由此起到了重要的幕后作用。当前的一项重要趋势就是新的封装技术的涌现,在这种技术中封装层的集成扩张了硅层的集成,在同一封装中可以容纳两个或更多的管芯。

在这一节,首先列出了一些电流标准的 IC 封装和其技术原理,然后给出了其电等效模型的数值求解方法,以及分析计算和数学计算方法。

4.1 标准 IC 封装技术

封装技术可由下列三种参数决定。

- 引线间距:如果是双列直插式封装(DIP)就从 2.54 mm 开始,如果是塑料方形扁平封装(PQFP)就从 0.3 mm 开始。
- 引脚数量:DIP 中为 40~60,球形触点阵列(BGA)中为 500。
- 互联的有效性:也就是活性芯片和封装痕迹间的比率,在 DIP 中为 1%~5%,在薄小型尺寸封装(TSOP)中为 50%。

图 5-26、图 5-27 中列出了不同的封装技术。



图 5-26 插孔式封装

表面封装技术 (SMT)

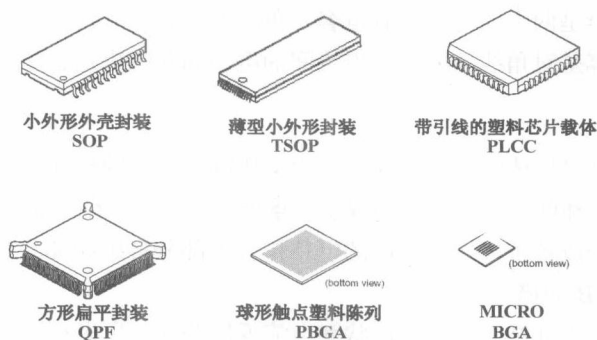


图 5-27 表面安装式封装

4.2 等效封装电路的计算

通过封装的电子模型可将其物理特性转换为与电路形式相结合的电子特性。典型的电路特征

是直流电阻 R 、电感 L 、电容 C 及封装中不同结构的特征阻抗 Z_0 。通过这种电子模型可以找到从管芯到板子的信号通路。图 5-28 就是芯片封装互联的视图。

为了仿真不同模型的复杂程度,可采用简单的集中电路模型、分布式集中电路模型、单导体传输线模型或多导体传输线模型等不同形式。

4.2.1 封装电阻

由于陶瓷封装技术中使用的钨合金镀金具有很高的电阻率,所以陶瓷封装具有相对较高的电阻。塑料或有机封装则具有较低的电阻,这是由于其使用的是铜或铜合金镀金(见第 3 章的表 3-3)。

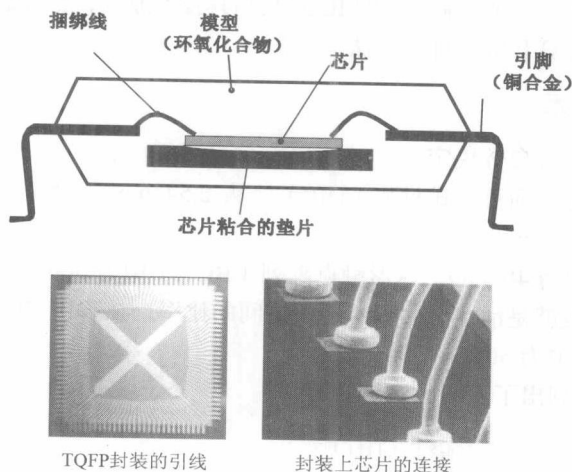


图 5-28 芯片封装互联的视图

4.2.2 封装电容

电容的值由引线的长度、横断面的尺寸、引线间距、引线与功率或地平面的间距、外包材料的介电常数及引线的数量所决定的。陶瓷封装所用材料的相对介电常数为 $8 \sim 10$, 塑料封装所用材料的相对介电常数为 $4 \sim 6$ 。

标准尺寸的电容可以通过公式计算得出。负载电容是引线和所有外部环绕导线的总电容。引线间与引线间的电容是两引线间的共有电容。负载电容就是所谓的“短路”电容矩阵的对角线上的量, 引线间的电容是对角线外的量。引线间的电容和互感决定了两引线间的电磁耦合的程度。








4.2.3 封装电感

当时变电流流经导体时, 导体间会产生电压降, 这样的导体就是一个电感器。封装的这种特性是决定串音效应和同时开关噪声的程度的重要因素。电感的典型定义表明了它是一种电流回路, 而电流回路可以分成若干段, 每一段的电感包含了部分自感和部分互感, 这也就是部分元器件的概念(参见 3DPCB 的描述)。

由于电感取决于其结构的几何形状和电流返回路径, 所以可用几个简单的公式计算其值。采用电磁分析技术与部分元器件矩阵开放的方法相结合的软件代码非常适于计算封装内的复杂结构或高功率封装的电感。

表 5-5 是封装的电容、电感通用的典型值。

表 5-5 通用封装的电容和电感值

封 装	描 述	引线电容	引线电感
	双列直插式封装 (DIL)	1 ~ 10 pF	2 ~ 15 nH
	收缩型 DIL (SDIL)	1 ~ 10 pF	1 ~ 10 nH
	小外形封装 (SOP)	1 ~ 7 pF	1 ~ 7 nH
	方形扁平封装 (QFP)	2 ~ 5 pF	3 ~ 7 nH
	球栅阵列封装 (BGA)	1 ~ 10 pF	0.5 ~ 10 nH
	微间距球栅阵列封装 (FBGA)	1 ~ 20 pF	0.5 ~ 10 nH
	芯片尺寸封装 (MCSP)	1 ~ 15 pF	0.5 ~ 5 nH

4.3 例 1：中等功率 IC 封装

通过使用 3D 的电磁软件可对 SOP 封装进行简单的表示,通过计算得的场分布可以得出传导部分和其周围的电荷,以及电势的分布情况。然后结合部分元器件的概念,可将最初的电磁计算转换为 ixj 的电容矩阵,矩阵中的 C_{ii} 是每一个针的电容值, C_{ij} 是引线与对引线间的互感电容值 (见图 5-29)。

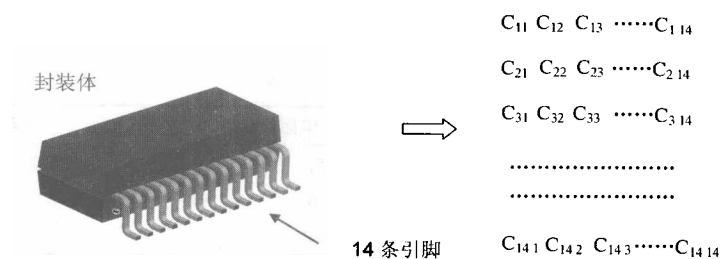


图 5-29 1/4SOP 封装 SO56 的 3D 原理图

可对代表 14×14 矩阵的 1/4 封装进行数学分析。表 5-6 是封装的电容矩阵。

表 5-6 封装的电容矩阵

$C_{11}=1.056 \text{ pF}$	$C_{12}=0.64 \text{ pF}$	$C_{13}=0.15 \text{ pF}$	$C_{14}=0.054 \text{ pF}$
$C_{21}=0.64 \text{ pF}$	$C_{22}=1.34 \text{ pF}$	$C_{23}=0.44 \text{ pF}$	$C_{24}=0.21 \text{ pF}$
$C_{31}=0.15 \text{ pF}$	$C_{32}=0.44 \text{ pF}$	$C_{33}=1.2 \text{ pF}$	$C_{34}=0.37 \text{ pF}$
$C_{41}=0.054 \text{ pF}$	$C_{42}=0.21 \text{ pF}$	$C_{43}=0.37 \text{ pF}$	$C_{44}=0.64 \text{ pF}$

电感和电阻的矩阵也可以表示成相同的形式。

4.4 例 2: Cesame 芯片封装

Cesame 芯片是装配在 TQFP144 封装内的，可以使用 3D 场的方法对这种封装进行电模拟，图 5-30 是封装内的 2 个引脚的电路图，图中用电流控制的电压源来表示引脚间的感应耦合。

表 5-7 给出了封装模型无源器件的近似值。由于与电路内核相连的一对供电引脚对称地分布在芯片周围，所以对于每个内核来说，焊接的长度和引线的长度实际上都是相同的。

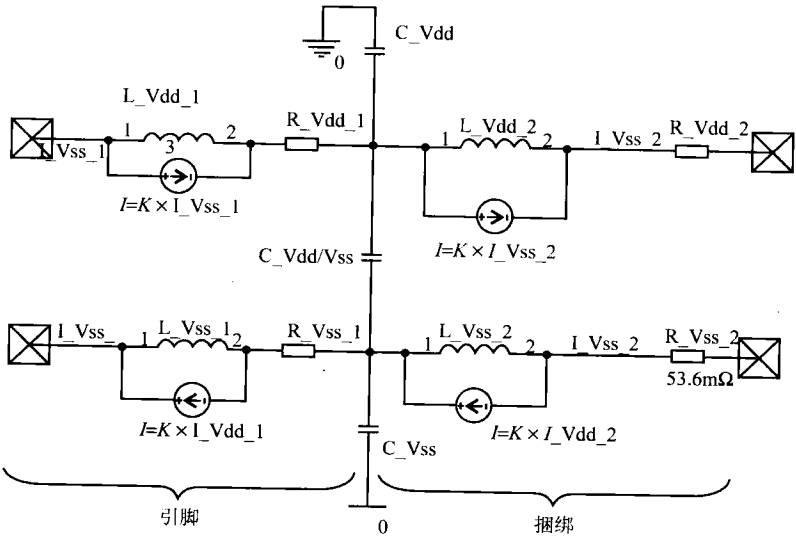


图 5-30 TQFP144 封装的电模型

表 5-7 供电网络的寄生器件

	电感 (nH)				电阻 (mΩ)		电容 (pF)	
	L_1	K_1	L_2	K_2	R_1	R_2	接地耦合	$C_{vdd/vss}$
Pin vdd	6.2	0.65	6.0	0.66	56	53	0.45	
Pin vss	6.2	0.65	6.0	0.66	56	53	0.45	0.67

5. 发射模型

5.1 简介

对于系统级集成电路来说，需要对发射模型进行不断的改进。实际上，为了保证与系统级标准的一致性，EMC 的系统工程师必须计算出系统内任何设备都不能超过的最大发射电平。此外，设备供应商必须明确指出其 PCB 的噪声是否能够满足规格的要求。为了计算的方便，必须明确电路中的各个噪声源，这对于大规模集成电路（VLSI）和片上系统（SoC）来说尤为重要。

5.1.1 物理特性

在设备或电路板的电子网络中，电能和电磁能可用下列三种形式表示：

- 电流和电势穿过导线和器件的形式；
- 近场磁场和电场的形式，在这种形式下能量储存在电容和自感内；
- 远场辐射形式，在这种形式下能量通过电磁波进行辐射。

噪声源可以通过这三种形式中的任一种传播能量。可用坡印廷定律计算各种能量 [式 (5-9)]:

$$\frac{\partial u}{\partial t} + \nabla \cdot S = -J \cdot S \quad (5-9)$$

式中, u 为总能量密度; S 是坡印廷矢量; J 为电流密度。

5.1.2 强耦合和弱耦合

在 EMC 研究中, 通常要分别考虑 PCB、组件、布线、封装和系统等因素。理论上, 分别计算这些量及系统整合所有的量都是很容易的, 但是使用这种方法需要假设向系统中添加器件是不能够影响其固有特性的。例如, 缓冲器的输出电路可以在不连接任何负载的情况下通过特殊的软件进行模拟, 缓冲器所驱动的某条线上的时域电压和电流可以利用之前的结果通过电路分析软件计算出来, 但是如果缓冲器包含了那条线, 结果则会不一样。

IC 的封装阻抗可以通过探头测得。所得到的测量结果减去探头的阻抗就是封装的阻抗。然而, 封装的实际阻抗可能会受到探头自身阻抗的影响。

实际上, 独立性和独立行为的假设一般是可以接受的, 并且应该通过仿真和测量结果的比较来判断这种假设是否成立。而在其他情况下, 是对所谓的“典型配置”进行评定的, 也就是要考虑实际的电气化条件。在芯片设计领域里, 这种方法叫做“协同设计”, 它需要考虑硅设计中的封装的电特性。

通常将这种假设叫做强耦合或弱耦合, 主要取决于元器件之间的独立电平。

5.1.3 从封装到 PCB

根据弱耦合的假设, 需要对噪声源进行分别分析, 然后为了计算扩展到 PCB 中的噪声, 还要在 PCB 中重新使用噪声源模型。

设备的宽带电气原理图是用其某一输入引脚的波平面定义的。诸如电容器和轨迹等其他设备, 如果它们没有与板连接器相接, 那么其原理图也要加入到最初的原理图中。为了准确得出噪声电平的估计值, 在原理图中通常要包含电平“1”的布线模型及与布线相反一侧的负载 (这种方法应该叫做总体协同设计法)。此外, 建模和传导发射的标准通常会得出很重要的结果, 这样一来就需要对供电进行布线模拟了。

5.2 ICEM 模型

5.2.1 简介

由于制造工艺的发展, 使得每平方毫米内的晶体管密度逐渐增大并且在硅层内也嵌入了更复杂的电子功能。现在最新的模拟技术、数字技术及功率技术共享了同一块硅片。其中, 部分芯片产生了 EMI 但其他的则对 EMI 电平具有很低的灵敏度。还有一个问题就是必须要保证所有的嵌入式功能都能够使用 (即有自动兼容性或内部抗扰性)。表 5-8 给出了现在所使用的 IC 的灵敏度范围。

表 5-8 片上模拟功能的灵敏度

模拟功能	PLL	模拟比较器	12 位 ADC	RF
灵敏度电平	~ 10 mV	~ 1 mV	~ 100 μ V	~ 10 μ V

数字功能及 IO 开关数目的不断增长, 导致产生了现在的 VLSI 电路中的 10~50A 的巨大的峰值电流。封装的寄生器件和硅的感应阻抗都是随频率而增长的。仅几百毫欧姆和几纳亨利都足以引起电源分布网络中 10~300 mV 范围内的严重的内部电压降。因此, 如果有一部分数字噪声通过电源分布网络传输到模拟功能中, 那么将会在芯片内部和其自身产生严重的不兼容。

由于制造工艺的进步,故芯片上有了越来越多的晶体管,同时数字功能的峰值电流也在急剧增长。这些变化都使得流经电缆、封装和 PCB 轨迹的电流逐渐增大。PCB 和封装之间的串音电平在近场内是增大的,并且 PCB 轨迹可以在 PCB 外侧传播更多的射频发射,在远场则会导致 PCB 产生故障和更高的发射电平。这就表明在 IC 或电子系统的设计初期就有必要利用集成电路 EMC 模型进行 EMC 分析了。

提高集成电路和电子设备最初的通过率是所有 EMC 设计师的重要目标之一。根据不同的应用,目前需要 3~10 次的运作才可以满足 EMC 的标准。另外,现在可以使用新的工具和方法来制定 IC 和电子设备的 EMC 标准,但是在标准制定过程中需要一个集成电路的 EMC 模型(ICEM),这一模型是由法国标准组织(UTE)的 IEC47A 提出的。

5.2.2 IC 的 EMC 模型的要求

对 IC 的 EMC 模型必须要能够进行下列 3 项 EMC 分析。

1) IC 发射分析

IC 的内部功能是传导和辐射发射的主要来源。图 5-31 就是辐射和传导发射的不同起源图。传导发射是传输到供电网络和 IO 线上的,辐射发射是通过封装和管芯进行传播的。

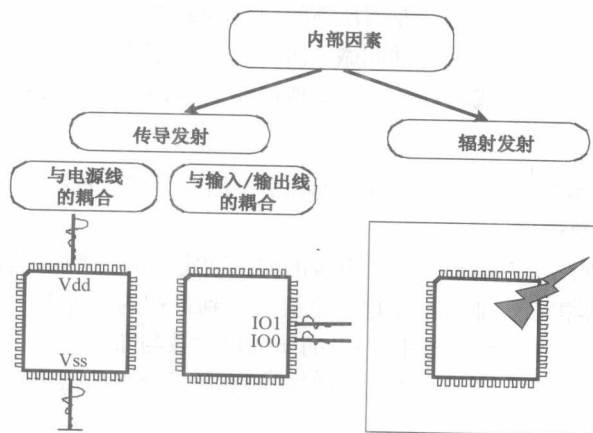


图 5-31 IC 的内部功能是传导和辐射发射的主要来源

图 5-32 给出了 IC 的 EMC 模型的一种结构示例。内部的数字功能(culprit)向耦合路径和发射组件(封装、线缆和回路)传播发射。发射的一部分通过模块间的耦合路径先传输到 IO 段,然后进入 IO 终端,最后进入发射组件(PCB 轨迹和电缆)内。IO 功能可以和数字功能一样传播发射。

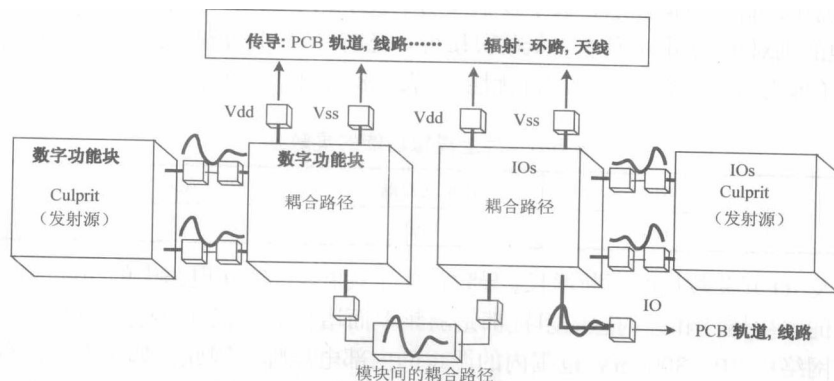


图 5-32 使用 ICEM 进行典型的 IC 发射分析

2) IC 的自动兼容分析

通过对发射源 (culprit) 的发射模型、耦合路径、发射接收方的抗扰模型进行描述之后, 就可以进行自动兼容分析了。图 5-33 是应用于抗扰分析的典型示例。内部的数字功能产生了发射, 这些发射通过耦合路径耦合到了接收方 (ADC、PLL 和放大器)。如果电平发射强度太大, 就会降低接收方的性能并引发自动兼容问题。

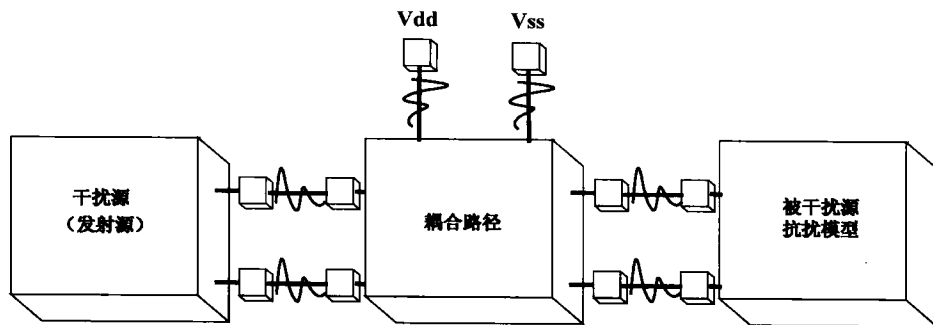


图 5-33 使用 ICEM 进行自动兼容分析的典型方法

3) PCB 分析

通过 IC EMC 模型可以在终端了解到内部电流和阻抗的大致情况, 并且在 PCB 级强制允许传导和辐射发射。

- 传导发射: PCB 的电源分布网络是由电源平面、轨迹、耦合网络和电压调节器组成的。网络的阻抗取决于频率, 并且包含了许多共振和反共振频率, 而在这些频率下会导致发射超出规范要求的范围。

可以在 IC 的操作频率范围内利用 IC EMC 模型对电源网络阻抗进行调谐和控制。目前都是使用去耦电容来稳定阻抗的。通过 IC EMC 模型可以有效地得出正确的数值和去耦电容的数量, 这就大大减少了 EMC 设计师的反复试验的次数。

- 辐射发射: IC EMC 模型可以为辐射发射提供所有的有效分析信息, 但是在分析过程中需要一些特定的工具。
- 抗扰分析: 如果了解了 IC EMC 模型和 PCB 所使用的电源分布网络模型, 就可以对由 PCB 传输给芯片的抗扰问题进行一定的分析。

5.2.3 ICEM 体系

IC 的结构可以确定 IC 的特性。这种结构中包含执行 IC 各种功能的所有功能模块, 以及连接 IC 模块和外部设备界面的所有内外连接。

基于对 IC 结构的考虑, 可以使用 ICEM 模型来描述所有内部模块的电行为和电磁行为 (如图 5-34 所示)。

ICEM 模型描述了 IC 结构的 EMC 特性, 它构建在一套 ICEM 模块的周围, 而 ICEM 模块则构建在 ICEM 器件 (IA、PDN 和 IBC) 的周围。

制定 EMC 标准的目的是不要对每个器件进行结构性描述, 也不可能通过一个模型就包含所有可能的情况。然而, 工艺在不断进步, 频率也已经上升至 GHz 频带。波长和电信号速率的比值一直保持相同的状态。而且在不久的将来, 结构性描述将会更加复杂化 (例如, 需要根据传输线来

模拟各种连接, 而且还要考虑趋肤效应)。

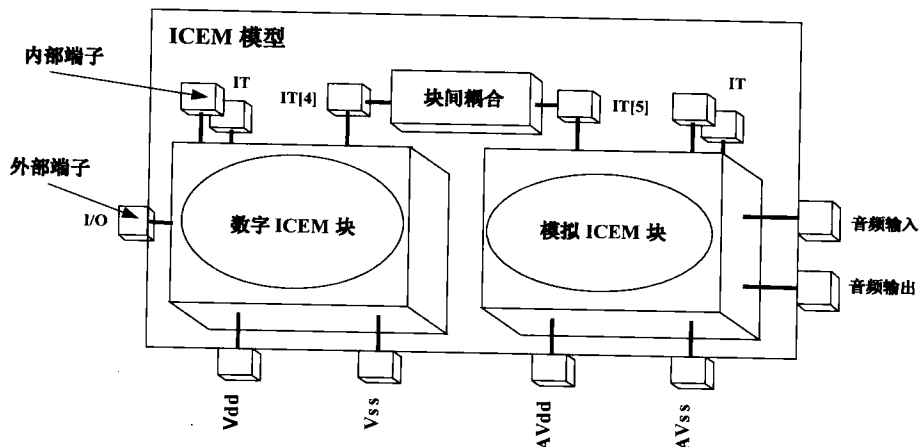


图 5-34 构建在一套 ICEM 模块周围的 ICEM 模型

5.2.4 ICEM 描述

如图 5-35 所示, 需要 3 个 ICEM 器件来描述 ICEM 模块。

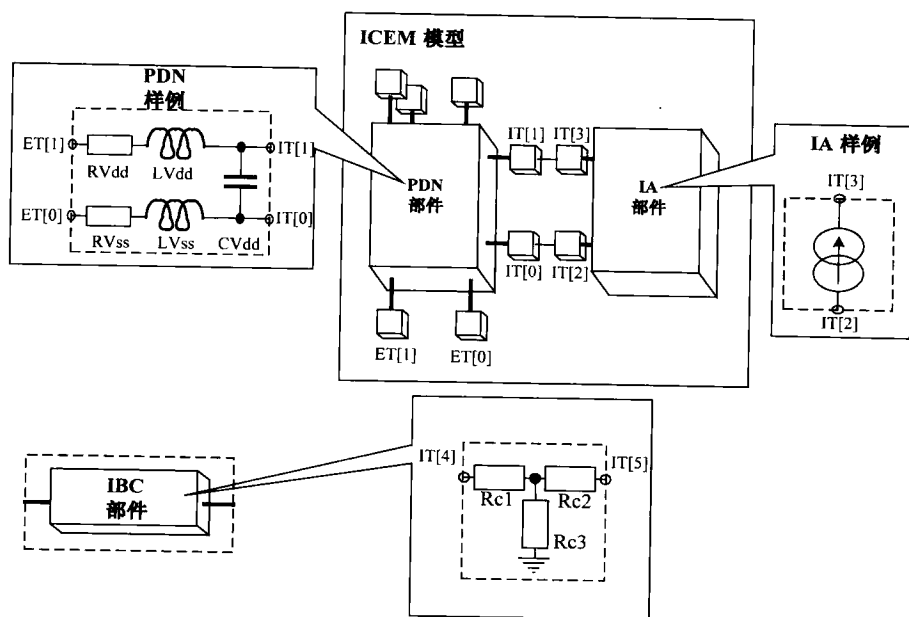


图 5-35 构建在 ICEM 器件周围的 ICEM 模型框图

1) 无源分布网络 (PDN) 组件

PDN 组件可以描述终端之间的阻抗结构。分析方法不同, 则 PDN 形式也不同。

- 传导分析: 适用于这种分析的 PDN 表述的是如供电端和 I/O 端之间的终端阻抗。
- 辐射分析: 这类情况下的 PDN 表述的是用于模拟偶极子周围电磁场的电磁偶极子。其辐射结构包括封装尺寸或等效辐射源的结构。

如图 5-36 所示, ICEM 模型有两种等级。ICEM 等级 1 是通过很多阻抗结构的详细信息对 PDN

进行描述的，这种模型的视图对于自动兼容分析来说非常有用，事实上可以访问内部电源线并测量内部的电压降。模拟电源线的数字噪声排斥电平是可以估算出的，模拟功能的性能损耗也是可以预估的。ICEM 等级 2 的模型很简单，它只能表述 PDN 外部的基本视图，可使用这种视图评估 PCB 的去耦合网络。

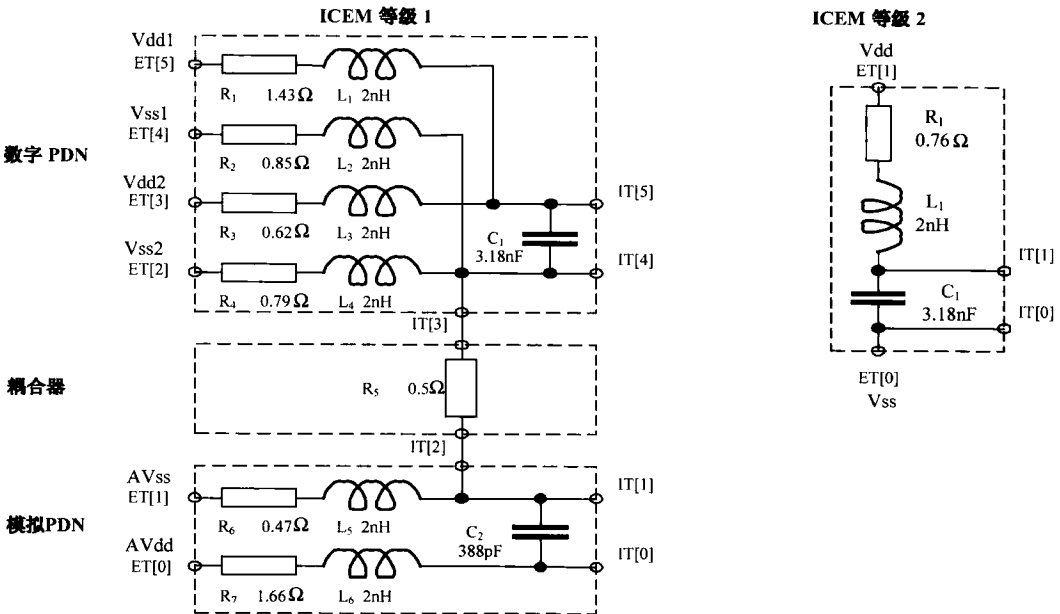


图 5-36 PDN 组件的两种表述视图

2) 内部活性 (IA) 组件

IA 组件表述的是 ICEM 模型的内部活性，其形式也取决于不同的分析方式。

- 传导发射：此时，IA 描述的是内部模块的驱动电流，可从时域和频域两个角度考虑。诸如 IPWL 和 IPULSE 这样的 Spice source 组件可以用来描述不复杂的信号；特殊的 Spice source 组件，如 ISTM，可以用来下载文件中定义的外部的 IA 源。
- 辐射发射：此时，IA 描述的是使用电流向量的电磁发射。不同频率的电流向量都用电流模块的形式来表示。ASCII 码中的一种特殊形式包含在了标准中并且可被终端电磁模拟器所采用。IC-EMC 是这些工具中的一个。

3) 内部模块耦合 (IBC) 组件

IBC 组件表述的是两个内部端口之间的连接(如两个不同的接地端)，图 5-35 是一个示例。IBC 组件模拟了两个内部接地端(数字 IT[4]和模拟 IT[5]的接地端)之间的基片连接。IBC 组件既可以是一个简单的电容器，也可以是一个复杂的阻抗网络。

外部和内部的端口并不是 ICEM 组件，只是普通的节点。外部设备和 IC 通过外部的终端口相连，这些端口既可以是供电引脚，也可以是输入/输出引脚。内部端口用于连接其他的 ICEM 组件，如 PDN、IA 或 IBC，或是连接抗扰模型和电、磁偶极子。

一个完整的 IC 结构包括三个 ICEM 组件和一套 ICEM 模型模块。例如，对于内外阻抗可以使用 PDN 描述 I/O 端口，并且使用 IA 表述该端口的特性。

5.2.5 ICEM 的建模过程

ICEM 模型可以在测量或设计过程中产生。

1) ICEM 在测量过程中的产生

可以通过网络分析仪或时域反射器来生成 PDN 的结构。需要使用测试板对 PDN 阻抗进行测量而且测试板不可嵌入在 PDN 中。这种测量使用的是矢量网络分析仪 (S_{21} 参数), 可参考 Novak 的文章 (Novak, 1999)。

图 5-37 中的实线是“去嵌入”过程后的 IC 阻抗, 点状线表示的是测量过程中所得到的 PDN 模型。

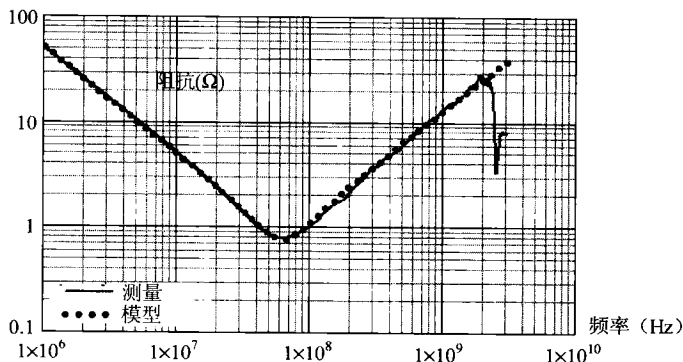


图 5-37 “去嵌入”后的 PDN 阻抗

IA 模拟的是 IC 的内部特性, 这种电流是不能直接测量的。假设 IC 的 PDN 是已知的, 只有外部电流 $I_{\text{ext}}(t)$ 是可以测量的 (如图 5-38 所示), 内部电流 I_{int} 可在频域中通过式 (5-10) 求得。

$$I_{\text{int}}(f) = I_{\text{ext}}(f) \cdot \frac{Z_c + Z_l}{Z_c} \quad (5-10)$$

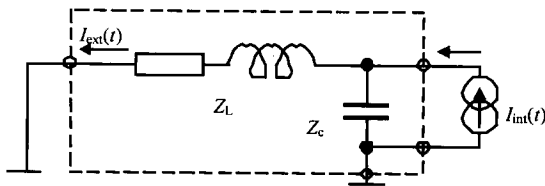


图 5-38 $I_{\text{int}}(t)$ 的求解原理

在时域测得 $I_{\text{ext}}(t)$, 然后通过使用快速傅里叶变换 (FFT), $I_{\text{ext}}(t)$ 就可转换成 $I_{\text{ext}}(f)$, 再计算 $I_{\text{int}}(f)$ 。最后再通过 FFT 的逆变换, 将 $I_{\text{int}}(f)$ 转换成 $I_{\text{int}}(t)$ 。

图 5-39 是上述过程所得到的 $I_{\text{int}}(t)$ 和 $I_{\text{ext}}(t)$, $I_{\text{int}}(t)$ 比 $I_{\text{ext}}(t)$ 大很多。封装就像是一个低通滤波器, 可以抑制高频谐波量。

2) ICEM 在设计过程中的产生

可以从封装供应商的数据库中或者使用 3D 场的方法得到 PDN 的参数, 而在设计过程中提取 PDN 参数则是基于硅制造者的经验。

现在的 EDA 工具是通过数以千计的晶体管复原电流消耗的, 这种工具可以对整个 IC 进行模拟并且可以对 IC 的晶体管部分进行深入的分析。

有一些工具中混合了 VHDL、SPICE 和 VHDL-AMS 等语言, 这样一来就可以模拟任何一种程序并复原整个 IC 的 IA 组件了 (参考 5.2.7 节)。

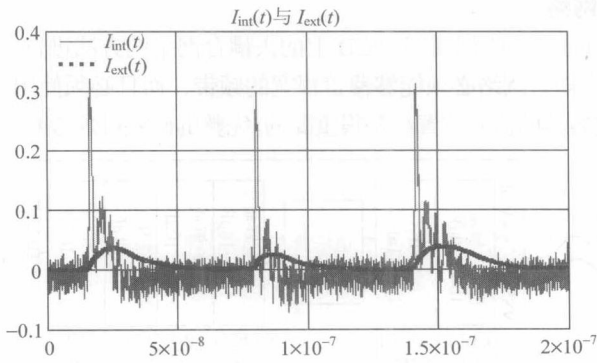


图 5-39 内外电流

5.2.6 ICEM 的应用

1) 8 位微控制器 ICEM 模型

图 5-40 是 8 位微控制器的 ICEM 模型，它具有两对供电端。对 IA 组件的描述是在时域中进行的。PDN 组件的结构是通过 V_{dd} 和接地端之间在频域的 RLC 阻抗图来进行描述的。IT[0] ~ IT[3] 是连接 PND 至 IA 组件的内部端口，IT[4] ~ IT[5] 是连接其他部分的 IC 所需要的内部端口。ET[0] ~ ET[3] 是连接供电端的外部端口。 $I_{dig}(t)$ 就是 IA 组件。

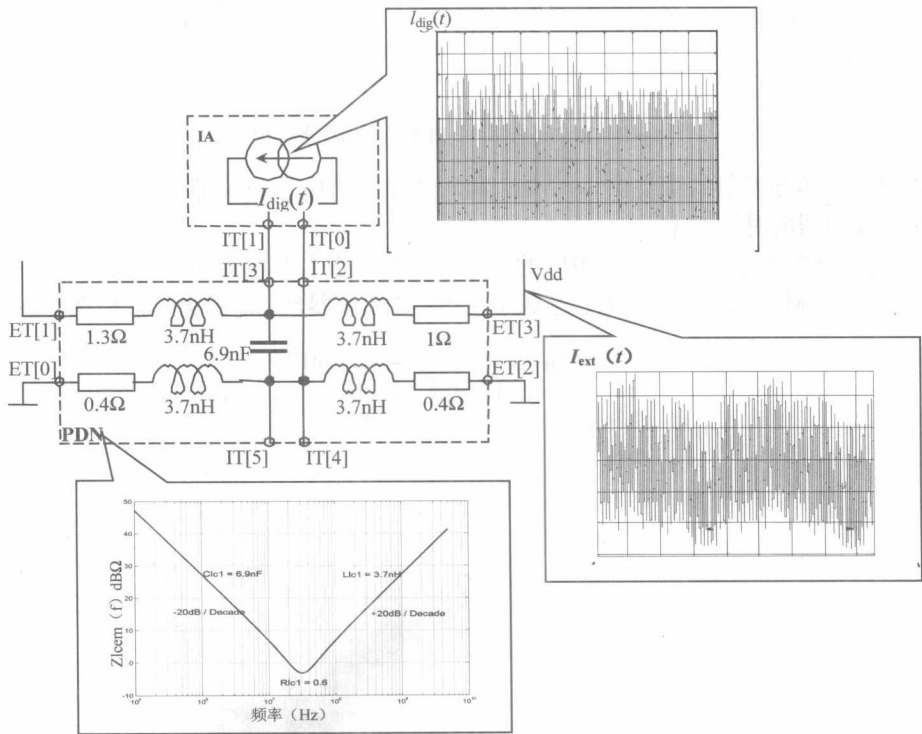


图 5-40 8 位微控制器的 ICEM 模型

通过使用这种模型，可以进行许多不同的分析。例如，可采用内部供电的 IT[3]和 IT[T2]来评估内部的电压降，如果电压降超出了规定范围，就需要调整供电引脚的数量，改变封装或增加内部去耦合电容器。

2) PCB 的去耦合网络

根据 ICEM 模型，下面将对用于定义 PCB 上的去耦合网络的方法进行解释。图 5-41 是电子板和微控制器的典型应用。去耦合网络必须能够覆盖很宽的频带，而且必须使用许多去耦合电容器来降低 IC 在某一频带的阻抗。电容器的值和位置都是很重要的。完整的研究可参考 Levant 的文章(Levant,2005)。

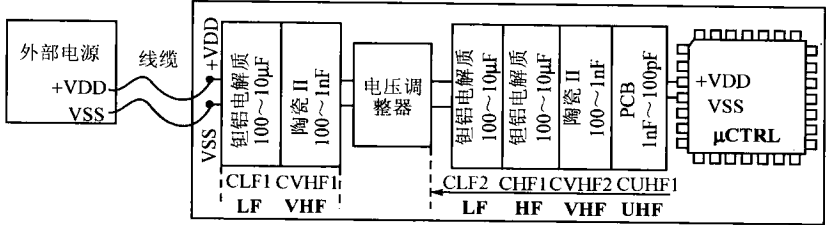


图 5-41 典型的去耦合网络的结构

在本例中，在电压调节器（+V 引脚）和微控制器之间仅插入了去耦合网络。如图 5-42 所示，ICEM 模型连接至电源分布网络的模型上，节点 +V 表示去耦合的参考点。

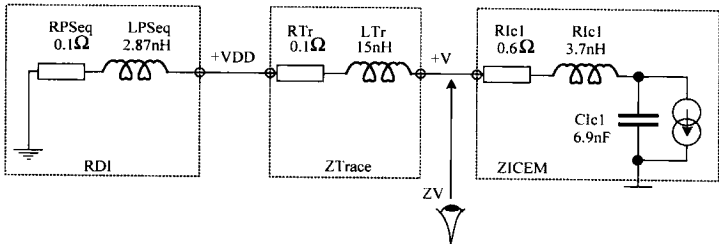


图 5-42 ICEM 模型和 PCB 的电源分布模型

+V 引脚处的传导发射的频谱在 16 MHz 和几个 16 MHz 谐波时都很强（如图 5-43 所示）。16 MHz 是微控制器的时钟频率。

第一个去耦合电容必须短路 16 MHz 的频率。寄生电感 L 与电容和其连接是相关的，其值预估计为 3 nH。在 16 MHz 的频率处，电容组成了一个 LC 滤波器且 C_{HF} 的值可以根据下式计算出来：

$$C_{HF} = \frac{1}{(2\pi F)^2 \cdot L} = 33\text{nF} \quad (5-11)$$

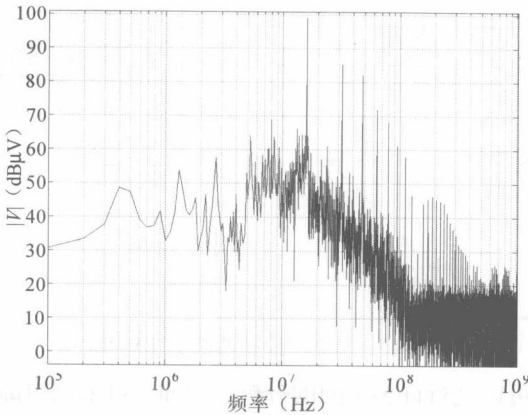


图 5-43 +V 引脚的传导发射频谱

为了减小其他频带的噪声电平，还需加入其他去耦合电容，并且其电容值可根据相同的方法得出。如果对这些频率进行优化并对+V 引脚处的去耦合电容器进行计算，在频域内的传导发射可以降低 26 dB（如图 5-44 所示）。

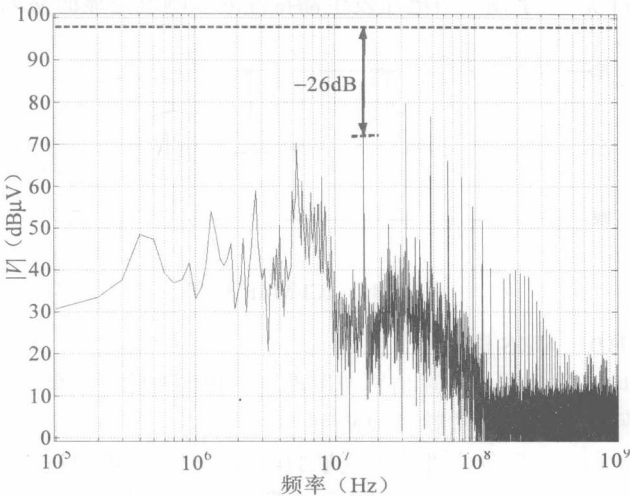


图 5-44 在+V 引脚处的一个去耦合电容（33 nH）的传导发射频谱

5.2.7 基于 VHDL-AMS 的 ICEM-IP 模型

1) 简介

随着集成电路复杂性的增加，相关的 ICEM 模型的复杂性也相应增加。尽管这些模型可以通过在 IC 样品上进行的测量而得到，但是如果在制造芯片之前就可以设计出模型的话，就可以缩短上市的时间并减少 NRE 成本。

然而，片上系统的出现与基于 IP^①的“设计重用”方法的使用是紧密相连的。事实上，这些 IC 是根据可反复使用统一放置和布线的数字或混合信号模块而设计的（如微控制器内核、存储器和外围设备），这也就节省了设计时间并增加了可靠性。这样一来，在电路中就包含了数百万个晶体管。

通过两个月的 SPICE 仿真，就可以通过一千万个晶体管的连线表得到 IC 上的 ICEM 电流发生器。因此，可以对 ICEM 模型采用类似的“设计重用”方法。

2) ICEM-IP 模型

基于模块 ICEM 模型的相应方法叫做 ICEM-IP，为了设计 IC 的顶层 ICEM 模型，可以将这些模块 ICEM 模型加以整合。

ICEM-IP 模型必须满足下列要求。

- 减少仿真的时间：整个 IC 的 ICEM 仿真时间要与功能仿真的时间基本一致。
- 可复用性：ICEM-IP 一定要易于维护并且要包含在顶层模型中。
- 机密性：模型必须能够体现相应模块的技术。

由于复杂模块（如 CPU 和存储器）的动态特性在很大程度上取决于输入信号，所以其 ICEM-IP 模型要考虑到输入的特性（在电流发生器模块）。

注：① 知识产权。

在后文中, IBIS 或 IMIC 模型中的集成电路 I/O 端在其供电跌落中也会产生附加的传导发射。因此, 驱动 I/O 的 ICEM-IP 模型中必须要包含相应的 I/O 模型。

图 5-45 总结了对 ICEM-IP 模型的一些要求。图中还包括了一些局部无源设备(取决于模块级的供电网络和模块阻抗)。数字输入对电流发生器特性的影响也是显而易见的。

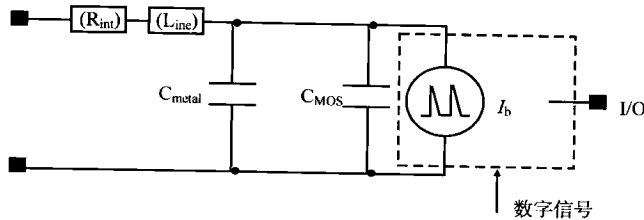


图 5-45 ICEM-IP 模型

3) 行为建模: VHDL-AMS 语言

为了表示 ICEM 电流发生器, 上述仿真速度准则中预先排除了晶体管连线表的使用。这样被称做“行为建模”的另一种建模方法就必须使用了。

行为模型是用系统输入和其他内部状态变量的函数的形式(如通过一些数学公式)表示系统的输出的。由于行为模型需要考虑的仅仅是应用中所需的一些最重要的现象, 因此, 在仿真速度和准确性上需要加以权衡。

尽管已使用到了如 C 语言这类的传统计算机语言, 但是在最近十年还是涌现出了许多特定的行为建模语言, 如 MAST, HDL-A, VHDL-AMS 和 Verilog-AMS。

VHDL-AMS(模拟和混合信号)语言相比于其他语言具有很多的优点: 它是标准语言(IEEE 1076.1-1999), 可向上兼容 VHDL, 其建模和方针的工具目前都已经成熟。可以通过参考其他的书籍来了解它(Ashenden, 2002; Hervé, 2002; Christen, 1999)。

基于下列原因, VHDL-AMS 语言是非常适用于行为建模的:

- 易于编写和修改;
- 可以向上兼容 VHDL 语言, 通过使用独特的 CAD 工具可以同时仿真功能模型和动作模型;
- 可以模拟数字、模拟及混合信号(尽管目前只用于模拟数字信号);
- 是一种多技术的语言, 可以考虑一些非电子的参数, 如温度, 自加热和老化等。

图 5-46 是 VHDL/Verilog 功能模型和 VHDL-AMS 特性模型之间协同仿真的例子。

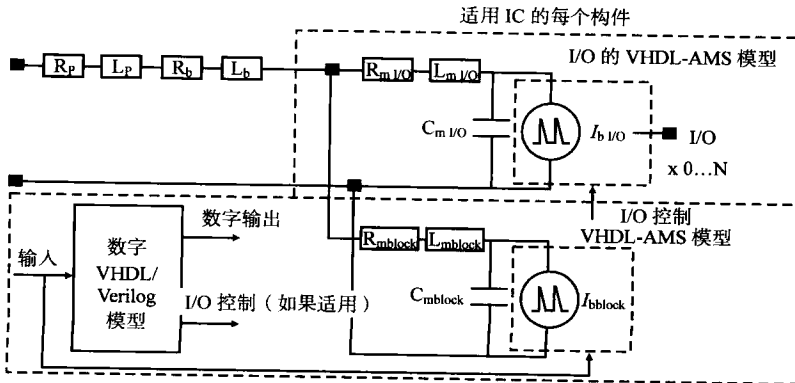


图 5-46 IC 模块的基于 ICEM-IP 的同时仿真

IC 的每个模块都是通过其功能模型 (VHDL 或数字模块的 Verilog), IC 的 ICEM-IP 模型 (VHDL-AMS) 和一些可选的 ICEM-IP I/O 模型表示的。这些模块与功能模型公用相同的输入和输出来驱动 I/O 模型。由于 ICEM-IP 电流发生器取决于模块的输入, 所以在模块所产生的传导发射和模块的数字活性之间存在着直接的关系。

可以 (根据平面布置图) 结合 ICEM-IP 模块来构造 IC 的整个 ICEM 模型。

可以通过 ICEM-IP 来表示复杂 IC 的最好和最坏情况的特性。通过仿真结果可以得到整个 IC 的顶层 ICEM 模型, 并可在系统积分器中使用该模型, 该模型中包含了简化的最坏情况下的 (具备所有 IC 模块设备特性) 电流发生器。

4) 建议使用的构建 ICEM-IP 模型的方法

与其他的 ICEM 模型一样, ICEM-IP 模型包括一个无源网络和一个电流发生器。需要注意的是与封装和焊接有关的局部无源器件并不包含在内, 因为它们可以通过测量得出并在后续的设计中反复使用。

因此, 本节将重点介绍无源网络和内部模块的电流发生器的参数。

(1) 无源网络。

ICEM-IP 模型的无源网络包括模块的金属电源线的等效电阻、电感和电容及 MOS 晶体管的等效电容。与封装和焊接相关的因素在这里不做说明。

分布式的 MOS 电容可以通过集总电容进行模拟。通过对流入模块晶体管连线表的电流进行 AC 仿真, 就可以得到连线表的局部阻抗, 即电容和关联电阻 (在发射时常被忽略, 但是在抗扰时需要考虑)。

(2) 内部模块的电流发生器。

根据集总电容的方法, 内部模块所消耗的动态电流可以对由理想电压发生器 (去掉集总电容) 供电的晶体管连线表进行瞬时仿真而得到。

一些基于 VHDL-AMS 的仿真工具, 如 ADVance-MS[®] (Mentor Graphics[®]) 可以与数字 VHDL 或 Verilog 模块一起对 SPICE 连线表进行整合, 这两种模块通过 A/D 和 D/A 转换器互连 (这在 SPICE 或 VHDL-AMS 的格式中都是明确指出的), 如图 5-47 所示。可以调整这些转换器的上升和下降时间以匹配芯片上的物理驱动器。

为了实现模块的最有用的特征, 需要挑选适当的测试台。测试台必须是电路中另一模块的数字 VHDL 模型, 它可在数字设计中反复使用且不需任何修改。

例如, 在数字存储器模型中可能包含在晶体管级进行描述的微控制器内核所执行的代码。相反的, 在存储器模块中, 测试台必须是用户自定义的并且允许设计者描述每个内部子模块 (如地址译码器和存储单元) 的特性并去除这些模块间的相关性。

然后使用相同的输入通过一个 VHDL-AMS 模型代替仿真的晶体管连线表, 连线表中的电流发生器是用分段线性 (PWL) 的波形来表示的。接着再对每一个模块重复整个过程。

更准确地说, 电流发生器所产生的电流线性与其终端的电压是线性相关的。因此本书中的例子使用的都是随时间而变的电阻模型。

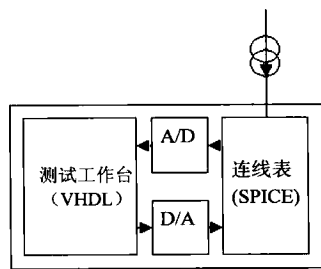


图 5-47 实际操作条件下模块所消耗电流的表示

实际上,由于在存储于两个向量中的时间/电容点之间进行了 PWL 实时线性内插,所以在 VHDL-AMS 中才可以使用电阻模型。

电导发生器的 VHDL-AMS 代码可以与多数通常不执行所有 VHDL 语法(尤其是多维矩阵)的商用编译程序相兼容。事实上, PWL 发生器的 VHDL-AMS 已经有了更好的应用,但是它们不能用 CAD 工具加以编译。

然而,需要注意的是电流图的轮廓在很大程度上取决于模型的“数字”输入的上升和下降时间。因此,在模型中这些时间都被看做是“通用的”的,并要在发生器中考虑它们的影响。另一个重要的设计参数,即输出信号的负载电容,也要被看做是“通用的”。

仿真的结果证明了这种模拟方法的优点:使用晶体管连线表进行 3 个小时的仿真,其间仅有 4 秒使用了 VHDL-AMS 模型,并且所有的输出几乎均为相同的结果。

5) 使用 ICEM-IP 的几项准则

为了仿真电路的整体动态特性,必须要将表示集成电路不同模块的 ICEM-IP 模型连接在一起。

在一些复杂的芯片中(如 SoC 或微控制器),模块间供电线的长度的影响是不可忽视的。这样一来,通过描述电路的 VHDL-AMS 结构描述就可在布局布线阶段之前设计好平面布置图。通过增加与平面布置有关的等效电阻和电感(以及耦合电容),设计者可以通过下列方法对一些模块对其他模块的较高发射进行补偿:

- 减少互联电容和电感(也就是轨迹的长度),则供电线上的电压降也减小了,从而提高了抗扰性;
- 相反的,通过增加这些寄生器件的数量,可以降低数字模块之间的电压,从而减少寄生发射(但是这是以牺牲抗扰性为代价的)。

另外,这种方法会在设计流程中对片上去耦合电容器的研究产生影响。需要注意的是,这种方法越来越适应 EMC 的敏感的、受焊盘限制的设计。

如之前所说的,通过对内部总线上的电容负载进行评估可以提高模型的准确性。

平面布置图是用结构化的 VHDL-AMS 模型描述的,多数情况下,设计者必须将这种模型当做源文件。然而,一些 CAD 工具,如 SystemVision[®] (Mentor Graphics[®]),是允许通过绘图界面对 VHDL-AMS 模型进行便捷的安装的。

6) 讨论

本节中介绍了一种基于 ICEM 的创新方法,通过该方法就可以在设计数据提交之前对集成电路中的传导发射进行预估。它是以包括动态特性和无源网络在内的局部 ICEM-IP 模型的整合为基础的。根据 VHDL-AMS 语言,可以编写实际的、与参数和输入无关的模型,这就需要设计者就每一模块的传导发射对设计参数的影响、设计方案进行一定的研究。这种可以反复使用的方法非常适用于复杂的 IC 和促进整体 ICEM 模型的建立。

其他信息可参考 Perdriau 的文章(Perdriau, 2004)。

5.3 IBIS 模型

IBIS(输入/输出缓冲器信息规格)是数字 I/O 缓冲器模拟界面的标准建模格式。IBIS 在全面的细节和足够的准确性上给出了很好的权衡。“IBIS 模型”通常指的是完整的器件描述或其文本文件,而且在 IBIS 文件中“模型”通常指的仅是一种模型。在 PCB 的分析中,IBIS 模型具有合理

的准确性和快速的信号整合 (SI) 仿真。由于 IBIS 掩盖了特有的设备和内部的互连细节, 所以它备受广大半导体和 EDA 工具供应商的推崇, 由此可见其重要性。

IBIS 模型的格式是可读的 ASCII 码文本, 它通常是基于提取的表格, 并与 SPICE 模型的结构器件相连的。SPICE 模型往往是以缓冲器为中心的, 模型通常只代表了多个输入或输出缓冲器中的一个。IBIS 模型是以器件为中心的, 描述的是物理器件的所有引脚。因此, IBIS 模型在与 (描述数百或数千个网的) 大规模 PCB 数据库中的器件接口进行界面连接时具有很好的适用性。

IBIS 模型首先是从 SPICE 仿真或测量中得以发展的, 并且它也具备了一些有关于引脚布置和测试数据的详细规格信息。IBIS 的格式几乎支持了现有部件的全部特征, IBIS 的主要特征突出了现在和将来的应用框架的发展。

5.3.1 IBIS 的发展

在 IBIS 之前, 一些特殊供应商的表格格式和 SPICE 格式对于 SI 分析都是很有有效的。这些格式为供货商带来了商机, 但是其差别却阻碍了广泛传播的模型的可用性的发展。为了提供更有效的模型, Intel 公司发明了自己的电子制表软件格式, 随后在 1993 年邀请了许多 EDA 工具供应商来使用这种格式, 并将其作为基础来制定共同的建模格式。在早期的工具处理过程中, IBIS 逐渐发展成了它现在的这种基于文本的形式。随着工业支持的逐渐增多, 它正式附属于电子工业联盟 (EIA)。作为 EIA IBIS 的开放论坛, 这一论坛一直在为促进 IBIS 的发展和标准化进行着不懈的努力。

表 5-9 总结了 IBIS 发展的里程碑。目前 IBIS 的 3.2 版本已成为国际标准, 而且还将不断更新。一些重要的 (通常是免费的) 扶持加速了 IBIS 的发展, 特别是委员会已经为语法和数据核查器的核查赞助了语法分析程序 (至 idischk4)。美国的北卡罗莱纳州立大学, 作为整个政府合同的一部分, 已经在不断为 IBIS 建模发展公用的 SPICE。许多大公司也提供了免费的商用 IBIS 的发展、观察和核查方法。

EDA 工具以其多语言的特性脱颖而出, 其性能适用于包括 SPICE、Verilog-AMS 和 VHDL-AMS 在内的多种语言的统一仿真。为了提供扩展 IBIS 性能的更好方法, IBIS 中加入了语言链接, 这与不断解决固定语法格式的问题是相悖的。通过这种链接方法, 就可以使用 IBIS 模型处理 EMI/EMC 分析 (后面会讲到) 及更高级的缓冲器问题。

表 5-9 IBIS 的主要版本和重要特征的发展表

1.1 基本模型阶段	器件的引脚和封装
1993 年 6 月至 8 月	模型 I-V 表
	阶跃激励
	典型值-最小值-最大值的拐点
	C_comp
	模型类型
	CMOS 和 TTL 技术
2.1 实际延伸阶段	独立电压基准
1994 年 6 月至 1996 年 12 月	布线的引脚图
ANSI/EIA 656	差分引脚
	耦合封装模型
	提高准确性之后的波形图的表格
	ECL/PECL 技术
	端子模型
	定时测试负载

续表

3.2 技术进步阶段	驱动时间表（多级，预强调）
1997 年 6 月至 2001 年 4 月	子模型（动态夹具，总线保持）
ANSI/EIA 656-A	级联的非耦合封装器件
IEC 62014-1	板的电气描述
	串联和串联开关模型
4.1 语言结合阶段	子模型（回退）
2002 年 7 月至今	更多规格的细节
标准化计划中	VHDL-AMS 的多语言扩展
	Verilog-AMS 和 SPICE 结合
	可用的互联模型结合

5.3.2 IBIS 的基础

版本 2.1 包含了 IBIS 的基本元素。本章附件的表 5A-1 和表 5A-2 表明了 IBIS 文件的内容。其中关键字是用方括号表示的，竖线表示默认的内容符号。关键字后面可以跟其他的关键字或子参数。IBIS 文件包含了下列元素。

- 信息和规格：版本信息的内容在页眉的[IBIS Ver]后面，并且贯穿整个文件的任何地方。
- 封装：信息包含在一个或多个[Component]单元内，并且在默认的[Package]关键字的下方。
- 输出引脚：信息包含在一个或多个[Component]单元内，并且在[Pin]关键字的下方，表示了引脚特定模型的参考值和可供选择的引脚特定的封装值。
- 模型：是以一个或多个[Model]关键字作为开始的模块。

IBIS 有着通用的外观，因其具有某些情况下的灵敏性、线长度的限制及一些其他的语法规则和习惯。数字数据的列通常是按照典型值-最小值-最大值的格式排列的。典型数据总是必需的，但是最小和/或最大值则是可选的。典型值-最小值-最大值的数据通常是按照模型外的大小而排列的，这是因为它们是不相关的。然而，它们大部分都划分到一个模型内，该模型是以电压、温度和过程限值为基础的，用以描述典型的、最小的（慢、弱）和最大的（快、强）的拐点。保留字“NA”（即不适用）可用做一个占位符。其他的一些保留字，如 POWER、GND 和 NC，分别代表供电、接地和不连接引脚参考。

单一线性子参数的数值跟在等号的后面，但是文本名或理由跟在空白（空格或制表符）的后面。数值的单位是基本单位（伏特、安培、秒等），可以使用定点表示法、浮点式表示法和科学计数法和/或追加大小写敏感的乘数字母（f, p, n, u, m, (none), k, M, G, T）表示从 f(10⁻¹⁵)到 T(10¹²)的千进制。其他的附加字母并没有什么技术含义，但是通常附在后面表示基本单位。

每个版块内的关键字可以任何顺序显示，但子参数要在关键字中第一个出现，如[Model]，并且在子参数和其他关键字之间要有间隔。如果多个关键字或子参数存在于同一个 IBIS 文件中并且覆盖了相同的功能（所需的默认值的通常情形），则需要更复杂或更详细的数据整理方法。这些规则和惯例可以帮助使用者进行信息定位和内容查询。

在[Model]版块内包含了引脚参考处的模型电子仿真和测试的数据。表 5A-2 是[Model]关键字后面的 Model 类型子参数，它表征了下列模型类别：Input, Output, I/O, 3-state, Open_drain 和 Open_source（对于开放式缓冲器），ECL, Terminators 等。其他子参数说明的是输入电压门限和时延调节的测试负载。这些附加的信息（除了 SPICE 模型所提供的外）允许 EDA 工具使用 IBIS 模

型根据设计规则对仿真情况进行自动核查。

[Model]关键字下面其余的内容说明了 EDA 工具仿真的详细信息。图 5-48 是模型的结构，其中的主要模块都是以方块表示的。并不是所有的模块都是必需的或可用的，如输入和终接器模型并不需要输出缓冲器模块。图 5-49 是 CMOS 晶体管的 I/O 结构和相应的模块。在以关键字[Pullup]和[Pulldown]表明的四个静态 I-V 表格模块（电流是电压的函数）中，将晶体管的驱动信号强度列成了表格。后面将要介绍的 Kpu(t)和 Kpd(t)乘法器是通过切断信息计算出来的。二极管是用[Power Clamp]和[Gnd Clamp]的 I-V 表格表示的，但是这些二极管在某些技术中可能是不存在的。在 CMOS 技术中，部分或全部的钳位二极管电流都可能来自基片的 P-N 节点，其他的电流可能来自 ESD 保护电路。供电端和接地端之间常规的缓冲器操作区域内的钳位电流通常是可以忽略的，但是如果存在来自内部终端电阻（通常为 MOSFET）的电流，则也可以包含在表格中。

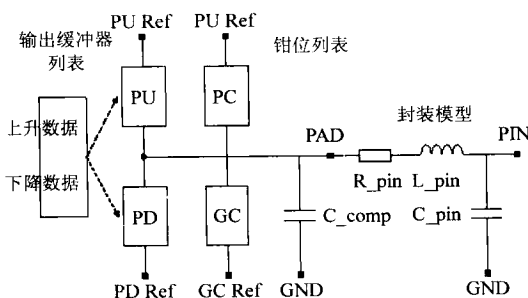


图 5-48 2.1 版本 IBIS 的带有特定引脚封装的框图（PU = Pullup, PD = Pulldown, PC = Power Clamp, GC = Gnd Clamp, Ref = Reference）

因为这些表格通常涉及[Voltage Range]的值和接地，所以每个表都可以根据特定技术或结构的需要以关键字[Pullup Reference]、[Pulldown Reference]、[Power Clamp Reference]和[Gnd Clamp Reference]进行分别引用。图 5-49 中的电流方向是根据进入界面节点的阳极电流的 SPICE 惯例而定的。与常规操作区域内提供阳极电压参考电源之间的偏差就决定了电压的极性。因此，表中以阳极电压的参考表示的电压是通过 $V_{表} = V_{电源} - V_{测量}$ 的算法得出的。

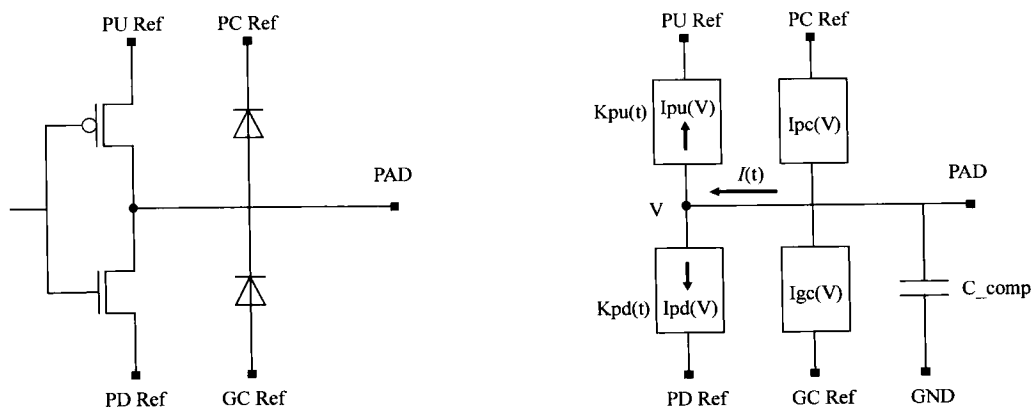


图 5-49 CMOS 晶体管的输出状态及 IBIS 的模块功能表示

上升数据框和下降数据框表示了高低状态间的前后转换。关键字[Ramp]给出了默认表示，

但是关键字[Rising Waveform]和[Falling Waveform]下面的 V - T 表(电压是时间的函数)则具有更好的准确性。图 5-50 是每个特定的固定负载的 V - T 图形。

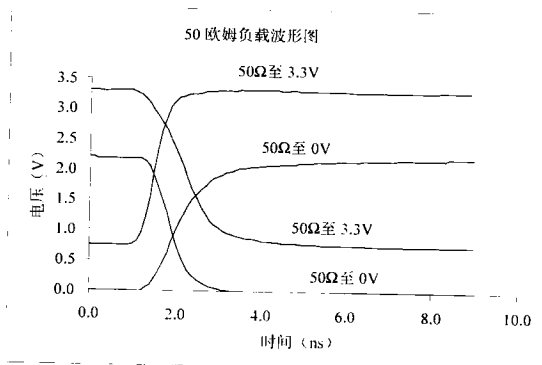


图 5-50 典型升降波形的拐点图

缓冲器阻抗是根据由 C_{comp} 子参数所指定的一个电容器的静态 I - V 图的斜率电阻和电抗进行模拟的。 C_{comp} 的拐点值是按大小值排列的，因为它们能够包含一些来自管芯金属和其他源的不相关电容。这种顺序与以电压、温度和处理为基础的其他模型的拐点正好相反。

根据基本的 IBIS 结构和表 5-9，知 IBIS 可以支持大多数的数字 I/O 缓冲技术。

5.3.3 IBIS 模型的处理算法

从历史观点考虑，EDA 算法是专有的，IBIS 则继续沿留了这种处理方法。然而，EDA 的工具总是会产生几乎重叠的波形仿真并备有 IBIS 波形数据。加入 $50\ \Omega$ 负载后得到的波形与高速应用中的 PCB 轨迹的阻抗图形是一致的。因此，IBIS 仿真是非常适用于 SI、串扰和 EMI 的整体分析的。

代表算法是对缓冲器的通断使用图 5-49 中的 $K_{pu}(t)$ 和 $K_{pd}(t)$ 乘法器。图 5-51 中的曲线在模型内 I - V 表的正常操作范围内，但是用的值确是实际测量的 Pullup 电压而不是表里的值。图 5-51 中的箭头表示沿负载线的 DC 高低状态间的转换。需要注意的是， $50\ \Omega$ 的 DC 负载线的交点电压也是图 5-51 波形的开始和终止电压。在关闭一个乘法器的同时打开另一个乘法器就实现了对缓冲器的通断的仿真。

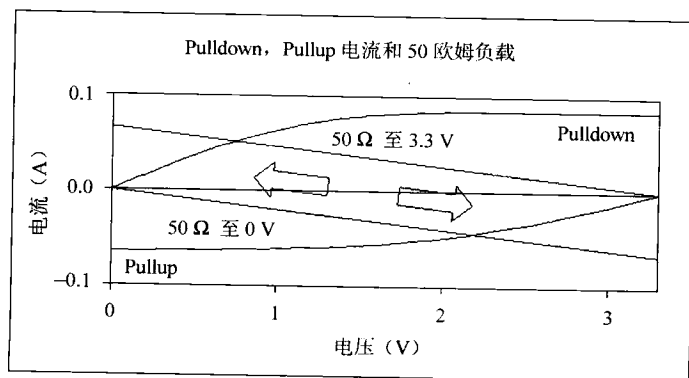


图 5-51 带有波形负载线的 Pullup 和 Pulldown 数据的有效区域图

通断乘法器是根据 $I(t)$ 处的电流值计算出来的。假设只有上升沿并且将上升沿乘法器表示为 $K_{pur}(t)$ 和 $K_{pdr}(t)$ ，将电流表示成 $I_r(V_{r1})$ 和 $I_r(V_{r2})$ ，根据相应的波形 $V_{r1} = V_{r1}(t)$ 和 $V_{r2} = V_{r2}(t)$ ，固定的负载和使用 $I_{pc}(V)$ 和 $I_{gc}(V)$ 及电流 $I = C_{comp} \times dV/dt$ ，通过 EDA 工具就可以将电流计算出来。根据 $I_{pu}(V)$ 和 $I_{pd}(V)$ 电流计算上升沿乘法器的式子如下：

$$K_{pur}(t) \times I_{pu}(V_{r1}) + K_{pdr}(t) \times I_{pd}(V_{r1}) = I_r(V_{r1})$$

$$K_{pur}(t) \times I_{pu}(V_{r2}) + K_{pdr}(t) \times I_{pd}(V_{r2}) = I_r(V_{r2})$$

求解出这两个方程式后就可以得到乘法器。下降沿乘法器可用同样的方法得到。这些乘法器是与时间有关的（从 0 到 1 和从 1 到 0），它们可以适用于任何缓冲器负载。通过这种方法，始、末波形电压仍可以根据 $I-V$ 表求得。

乘法器不是单调的，而且为了满足波形中的上冲和下冲和提供为 C_{comp} 充电的额外电流，它可以超出 0 到 1 的范围。在接地端和供电端加 $50\ \Omega$ 负载的这种推荐性方法是可以涵盖整个正常操作区域的，乘法器模型的仿真也可以很好地匹配 SPICE 和实际负载的应用。对于单晶体管技术（如开漏缓冲器），每次转换仅需要一个波形图即可。多数情况下，单波形模型都是不够精确的，因为 EDA 工具必须要进行一些非本质的单一化假设。然而，如果缓冲器是在较窄的电压范围内使用的（如 ECL 和特定的微分总线技术），则其准确性也是可以接受的。

EDA 工具算法通常包括极限测试、样条拟合，以减少数学计算过程中的伪象。这种工具甚至可以接受两个以上的波形，并且可根据仿真过程中输出电压的任一边上的固定的电压来动态地选取波形对。

5.3.4 先进的 IBIS 和今后的发展方向

如表 5-9 所示，IBIS 的格式包括用于预强调缓冲器的详细信息、开关端口、动态夹具和总线保持。这些基于语法的扩展是以附加的控制电流结构为基础的。但是为了避免为 IBIS 继续增加新的固定格式结构，Open Forum 已经在 IBIS 的 4.1 版本为 SPICE 或标准码增加了多语言连接。这样一来，在先进的模型中可以直接调用外部码，而不再需要新的 IBIS 关键字和子参数了。

为了研究和支持一些可以处理更多变量的新兴方法，多语言的扩展同样也提供了一种 IBIS 的包装。也就是说，这些新兴方法可以根据更多的参数和更多的条件（负载、供电电压、温度等）进行数学仿真模型的编码，从而在更宽的操作范围内提供更高的准确性。

5.3.5 IBIS 和 ICEM

外部码中出现的 ICEM 描述同样也与 IBIS 相关。有四种新的关键字可以描述 IBIS 多语言扩展的主要元素，其中与外部码的连接表述为 [External Model]，而 [External Circuit] 表示外部数字 I/O 模型和（有源或无源）片上电路的总体类型。片上引脚和界面引脚的连接是以 [Node Declarations] 和 [Circuit Call] 表示的。ICEM 的大多数信息可以通过 [External Circuit] 和 [Circuit Call] 关键字及外部码的调用而进行处理。

举个例子，图 5-52、图 5-53 和图 5-54 表述的是在供电和接地引脚上增加 ICEM 内核噪声发生器。表 5A-3 给出了 ICEM 的 IBIS 多语言连接的附加部分。IBIS 已经很好地描述了封装的详细信息。SPICE 模型包含了带有 C_d 、RVDD、LVDD、RVSS、LVSS 和 C_b 器件的片上等效率分布网络，以及由统计方法得到的内部时钟的周期电流发生器 I_b 。内核电流可以驱动 PCB 轨迹并对其发射进行仿真。正如在 ICEM 部分所介绍的，等效网络与缓冲器之间的相互作用同样能够通过使用更多的缓冲器和功率总线连接的方式来模拟。

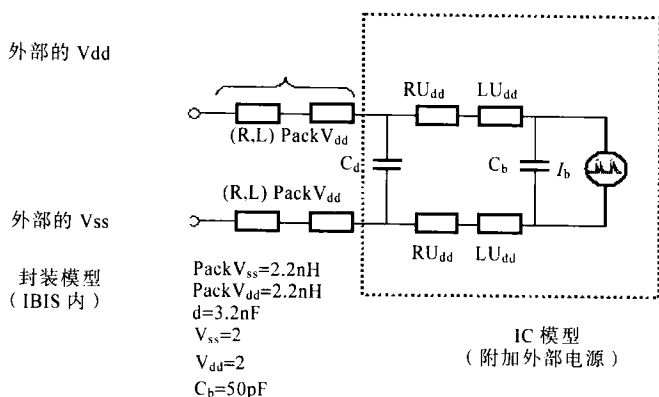


图 5-52 68HC12 D60 ICEM 模型

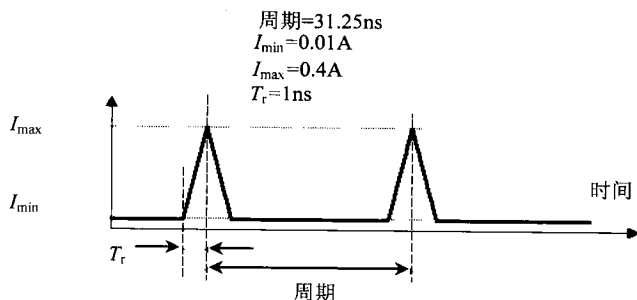


图 5-53 ICEM 电流发生器

由于 IBIS 的格式目前仍在改进, IBIS 和 ICEM 也就有可能为 EMC 仿真提供一个普遍适用的工业化格式。

5.4 IMIC 模型——集成电路的 I/O 界面模型

5.4.1 简介

IMIC (集成电路的 I/O 界面模型) 是由 JEITA 进行发展和标准化的。IMIC 可以对信号集成、功率集成和传导电磁发射进行仿真。其特征是具有分等级的模型结构、非线性设备的表格式的器件模型和利用波形图所描述的连线列表电路。根据这些特征, 就可以得出具有良好仿真精度和专有信息保护的界面模型。

仿真已经成为目前芯板设计中不可缺少的一部分。IBIS 的 3.2 版本 (IEC 62014-1, 2001) 已经成为了仿真的标准, 也是 IEC 的标准。IBIS 为电子工业做出了重大的贡献。

但是电子系统的频率也在迅速增加, 为此, 半导体的使用者有时会要求制造者为其提供更精确的 I/O 模型。SPICE 模型正是这样一种具有良好精度的模型, 但是它具有许多有产权的信息 (如处理信息、设备信息和电路信息), 所以这也就成为 IC 供应商供货的难点。

然而, IMIC 不仅可以具备 SPICE 模型那样的精度, 还可以保护 IC 供应商的产权信息。尽管 IMIC 最初只用于信号和功率的集成, 但是它也可以对传导电磁发射进行仿真。

5.4.2 IMIC 的结构

图 5-54 是 IMIC 的分级结构, 模块模型、IC 模型和封装模型就是其三级结构。这三种模型是

通过一种统一的方法进行描述的。模块模型与 IC 模型有关, IC 模型与其他的模块也有关联。这种分级结构的优点如下:

- 由于外部终端和每个模型的信号在每个模型中都有很明确的定义, 所以可方便用户找到想要的引脚和信号;
- 由于除了关联的部分之外模型之间都是相互独立的, 所以 IC 的制造者和封装的制造者能够分别提供 IC 模型和封装模型。

通过所有模型的三级结构, 用户就能够模拟整个芯板系统。

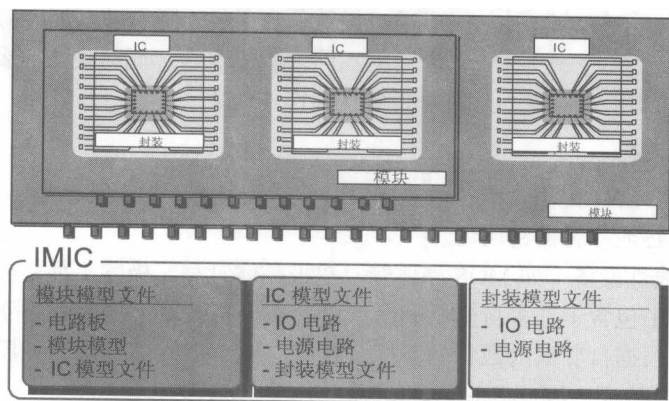


图 5-54 IMIC 的分级结构

5.4.3 波形图表述的连线表电路

每一分级内的电路都是通过扩展的 SPICE 格式描述的。可以使用的器件有自感和互感的电感器、电容器和非线性器件（如 MOS 晶体管、双极晶体管和二极管）。同时, 还可以使用多种电压源和电流源。

图 5-55 是包含两个输出缓冲器的电路的描述例子, 其输出缓冲器是一个子电路, 这样就可以减少描述的数量。由于模型是用特殊的 SPICE 格式描述的, 所以 IC 供应商可以很容易制造出模型, 并且由于 IC 供应商必须在制造 IC 的过程中制作出连线表, 所以它们通常都拥有这样的连线表。通过连线表可以很容易地描述复杂电路。

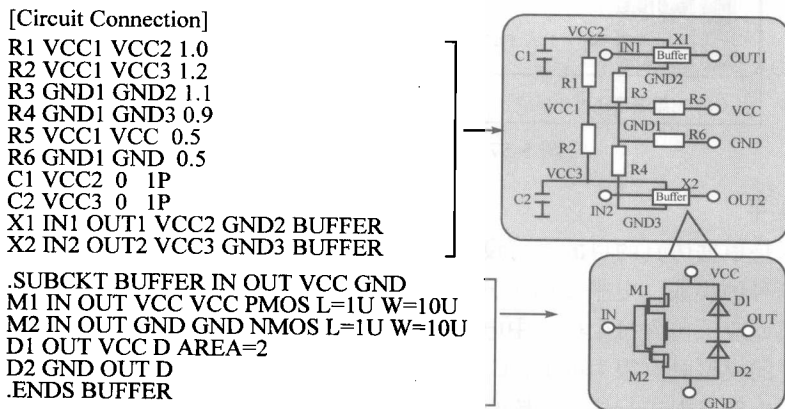


图 5-55 使用连线表的电路描述

电路描述的一个重要部分就是波形图, 它可以定义和配置在电路的某一节点上。模型图看起来与 SPICE 中的分段线性 (PWL) 是相似的, 但是 PWL 在连线表中是适合的, 这就意味着 PWL

电平 3 用于分析直接的电磁发射。目前的 IMIC 版本还不支持这一电平，对于电平 3 的研究是一项未来的工作，需对其结构和材料进行定义。

表 5-10 模型的电平

电 平	对 象	仿 真
电平 1	电流集成	分析信号的波形
电平 2	功率的集成和传导电磁发射	分析接地/供电的反弹和传导电磁发射
电平 3	EMI	分析直接的电磁发射 (将来的工作)

5.4.6 仿真结果

Applied Simulation Technology Inc.公司提供了一种能够运行 IMIC 的商用仿真工具，Aichi Institute of Tech.公司则开发出了一种可以将 IMIC 格式转换成 HSPICE 格式的软件，通过这种软件，就可以使用 HSPICE 仿真器运行 IMIC。

在这一部分将介绍 IMIC 模型的一些仿真结果，并会与 SPICE 模型进行比较。此处的 DUT 是一个具有三种状态输出的 16 位缓冲器/驱动器。

(1) 信号和功率集成

图 5-58 是信号集成的仿真结果，封装引脚的输出信号是在相应的缓冲器的通断条件下予以模拟的。输出引脚的负载是一条传输线。从图中还可以看到 SPICE 仿真的结果。IMIC 模型的仿真结果与 SPICE 的仿真结果几乎是一样的。

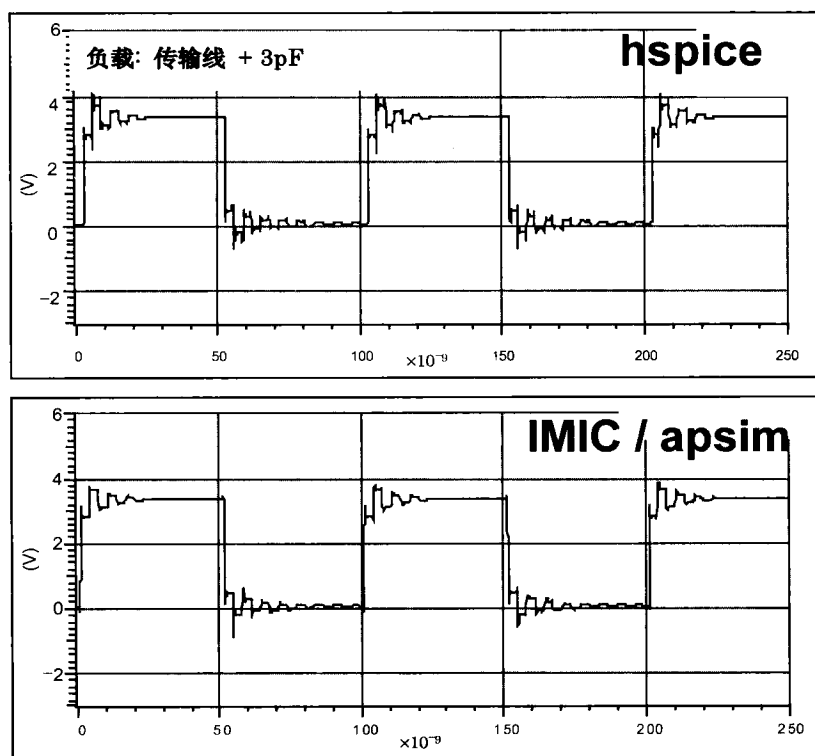


图 5-58 信号集成的仿真结果

功率集成的仿真电路如图 5-59 所示。LCR 网络代表了封装和芯板。图 5-60 是仿真的结果，可以看到在 15 个缓冲器同时通断的条件下未使用的输出引脚的仿真波形。

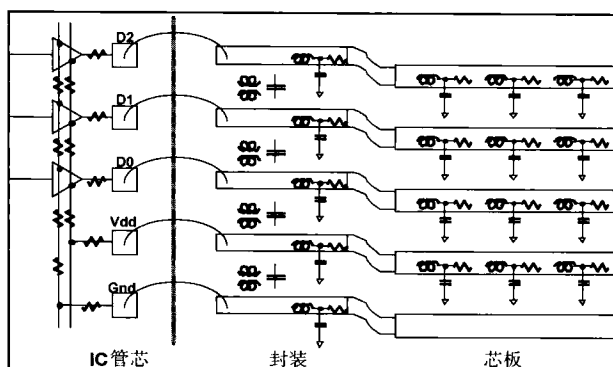


图 5-59 PI 仿真的电路模型

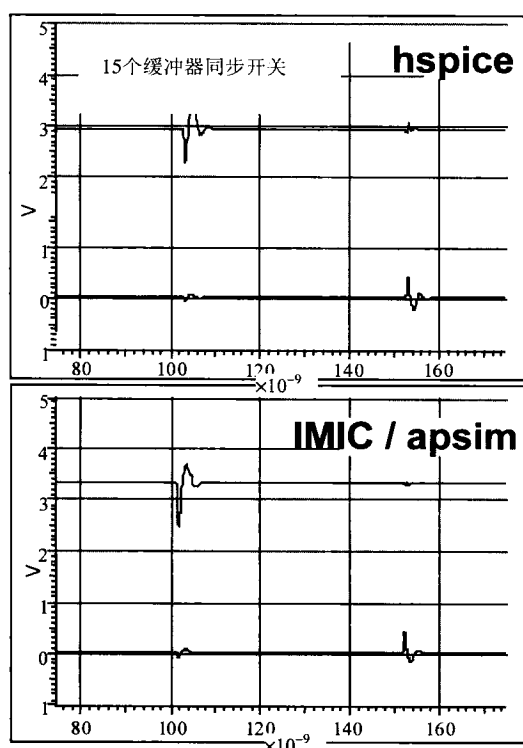


图 5-60 功率集成的仿真结果

(2) 传导 EM

I/O 活动的传导 EM 发射是可以通过表格式的设备模型或物理模型进行模拟的。

图 5-61 是电源线传导 EM 发射的仿真结果。DUT 工作在 133 MHz。为保证高频范围内的噪声差, 输出引脚负载的电容很小。从仿真的结果可以看出表格式模型与 SPICE 具有几乎相同的准确性。

IMIC 并不能详细说明 EM 仿真的某个物理宏模型, 但是如 ICEM 或 LECCS 这样的物理模型却可以通过 IMIC 格式很容易地描述出来, 因此, IMIC 可以通过物理模型进行仿真。

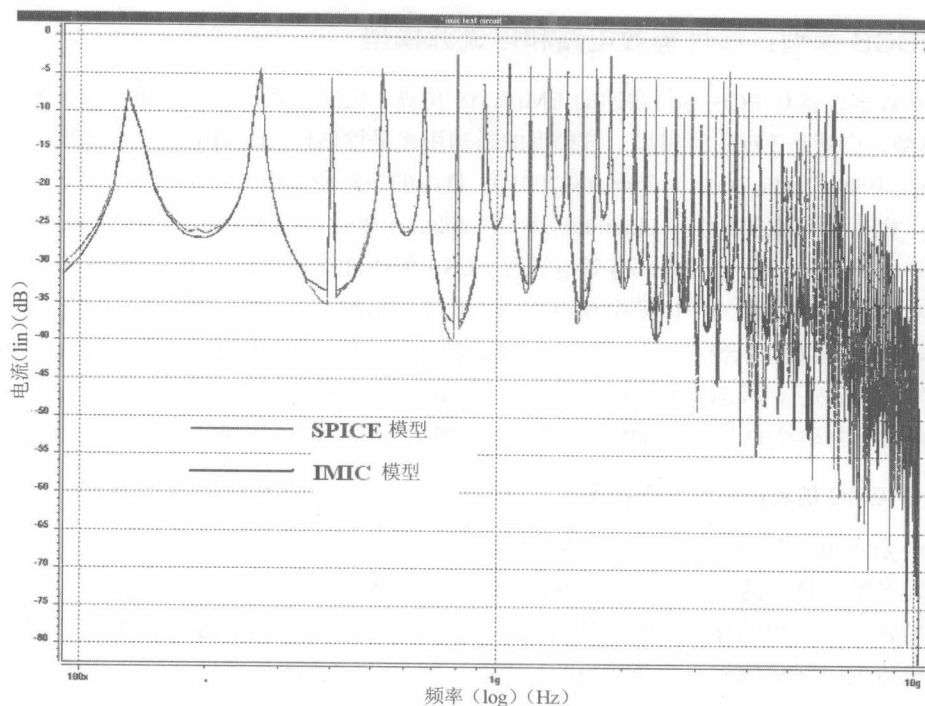


图 5-61 电源线的传导 EM 发射

图 5-62 给出了 ZM3C 的 IC 模型文件的结构。DUT 是一个单芯片的微型计算机并具有三个噪声源：数字核、模拟核、I/O。这些噪声源可以通过 LECCS 模型予以仿真。LECCS 模型的管芯部分（如噪声电流及管线的 L, C, R）是在 IC 模型文件中描述的，封装电路是在封装模型文件中描述的。

图 5-63 是使用 IMIC 模型与 SPICE 模型相比的仿真结果，可以看出这两个结果是非常吻合的。物理模型并不包含任何非线性的器件，因此，IMIC 和 SPICE 之间的区别仅仅是格式的不同，IMIC 可以用做传导 EM 发射的物理宏模型的承载体。

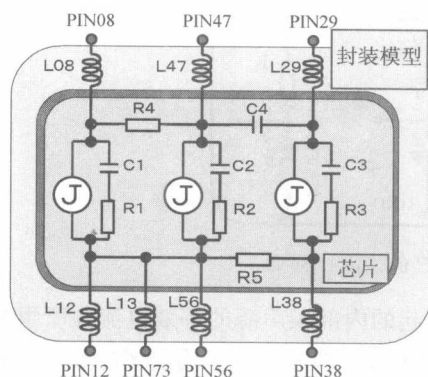


图 5-62 IC 模型文件的结构

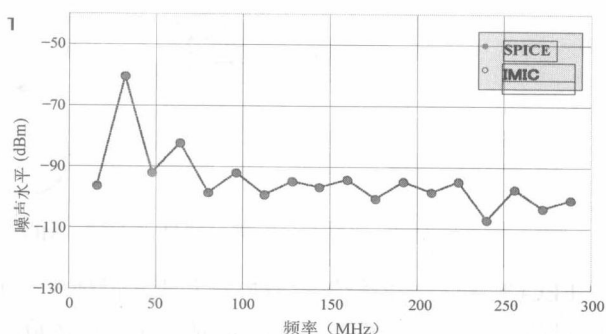


图 5-63 使用物理模型的仿真结果

如前面所讲的，IMIC 模型与 SPICE 模型在模拟 SI 和传导 EM 发射（还有 PI）时具有几乎相同的准确性。另外，IMIC 能够完全保护过程和设备的信息，并极大地减少电路信息的泄露。

5.5 LECCS 模型：线性等效电路和电流源模型

为了对数字设备和 PCB 进行快速的 EMI/EMS 仿真，已经开发出了一种用于数字 IC 和 LSI 的 EMC 宏模型，也就是 LECCS^①模型。该模型的最初用途是评估核心逻辑电路功率引脚的 RF 噪声电流 (Takahata, 1999; Wada, 2000; Fukumoto, 2001)。日本的一些研究组 (冈山大学日立公司和 DENSO 公司) 也开发出了相似的模型 (Fukumoto, 2002; Ichikawa, 2004; Nakamura, 2004; Mabuchi, 2005)。每个模型都是由带有 R、L、C 和内部等效电流源 (CS) 的线性等效电路 (LEC) 组成的。这些模型已经应用于实际的 IC 和 LSI 中，以模拟和控制设备的 RF 功率电流。在冈山大学，LECCS 模型已经和一种快速电磁场模拟器组合在一起，通过 HISES^②软件用于仿真 PCB 功率总线的谐振，其去耦特性具备良好的精确性 (Wada, 2003; Koga, 2004; Takayama, 2003)。LECCS 模型后来还可以用于对高速 I/O 具有输出驱动器的设备进行模拟 (Hideki, 2004; Osaka et al., 2004; Osaka, 2004)。

5.5.1 用于 EMC 仿真的线性设备模型

CMOS 数字 IC 是由许多个具有非线性整流特性的 p-MOS 和 n-MO 晶体管组成的，它们的阻抗都是随着其整流特性的演化而不断改变的。然而，与 PCB 的特定共振现象及设备阻抗有关的大多数噪声特性和大多数的噪声都是多种阻尼振荡的组合。每个晶体管的整流过程仅持续几纳秒，这与噪声电流的时间常数相比是非常短的。因此，DUT 的多数噪声特性都可通过线性宏阻抗模型 (如图 5-64 所示) 予以表示，并且宏阻抗 (包括芯片和封装) 可从外部进行评估。线性阻抗的等效电路是非常实用的，并且对于 EMC 仿真来说其准确性也很高。

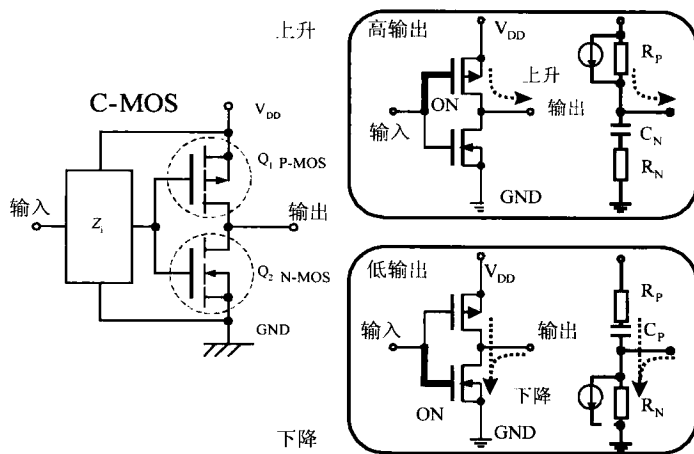


图 5-64 带有线性电路的 CMOS 数字 IC 的宏阻抗模型

LECCS 模型是由线性等效电路和表示晶体管整流所引起的内部噪声源的等效电流源所组成的。目前具有两类 LECCS 模型，即适用于内核逻辑电路的 LECCS 核和适用于输出缓冲器电路的 LECCS-I/O (如图 5-65 所示)。图 5-64 是 CMOS 驱动器的较为简化的 LECCS-I/O 模型。

注：① LECCS：线性等效电路和电流源。

② HISES：高速 EMI 模拟器。

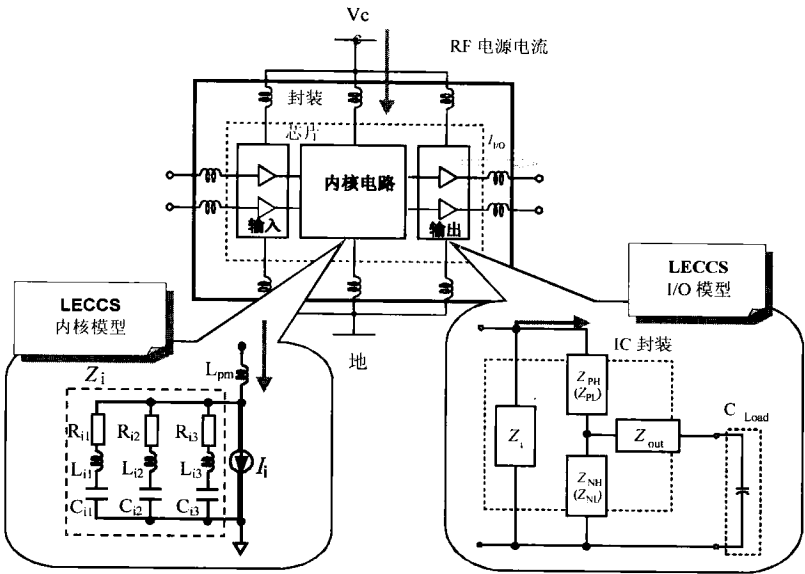


图 5-65 LECCS 核和 LECCS-I/O 模型

5.5.2 LECCS 核模型

LECCS 核模型最初是二维的，并具有接地端和供电端。其内部的 LEC 参数是由阻抗测量或仿真决定的。通过对功率电流的测量值和频域内外阻抗的计算可以得到 CS 频谱。如图 5-66 所示，该模型是由一个线性阻抗 Z_i ，一个内部等效电流源 I_i 组成的，通过对设备的直接测量就可以得到这些值 (Takahata, 1999; Wada, 2000; Fukumoto, 2001)。这种设备模型可以将 IC/LSI 的供电引脚的 RF 电流当做噪声激励源。

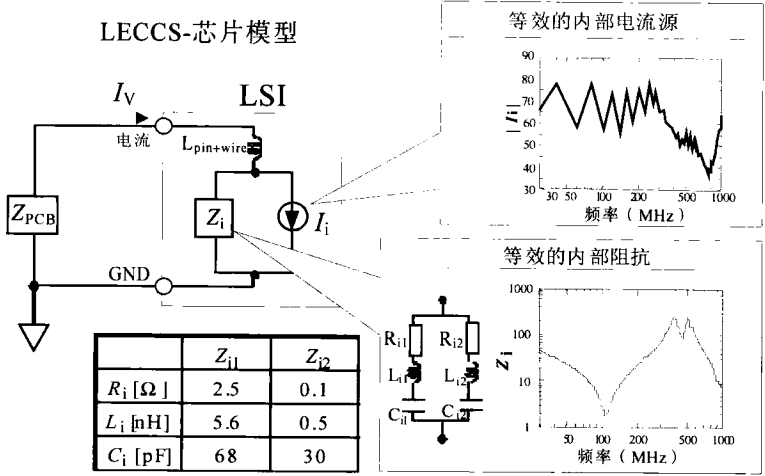


图 5-66 双端 LECCS 核模型的示例

核电路的 LECCS 模型具有下列特性：

- 所有的模型参数都已通过测量得到，因此就不需要考虑内部的设计参数了，当然其参数也可以通过 SPICE 模型得到；

有良好的准确性和效率。虽然可以观察到很小的寄生电感（如 1nH 的轨迹电感），但是它只能影响到几 dB 的差值。在图 5-69（b）中，可以看出使用两种不同的内部去耦合电感 L_{Di} 的不同结果。

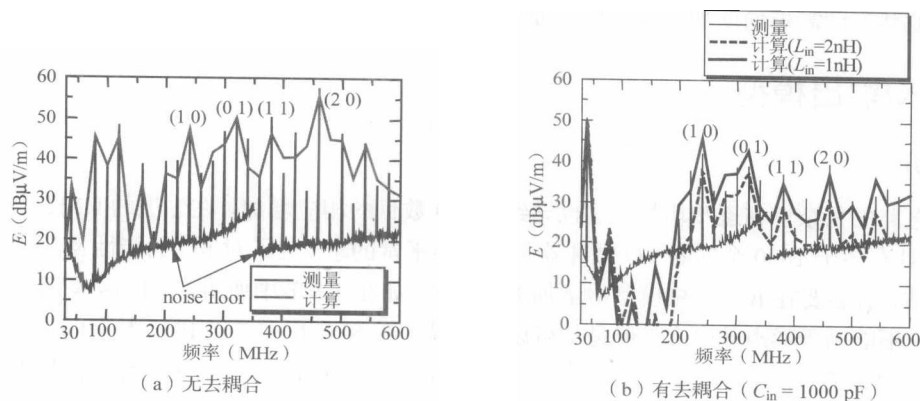


图 5-69 功率去耦合，频谱的仿真和测量结果

LECCS 核模型对于多供电引脚的 LSI 也是适用的。当 LSI 具有多个电力连接的供电和接地引脚时，可以使用双端 LECCS 核模型进行电流评估。但是对于实际的 PCB，尤其是多数的单层或双层 PCB 来说，它们的连接阻抗并不是足够小，因此，封装的引脚和板上的引脚之间的连接阻抗是需要进行特别规定的。图 5-70 是 DENSO 公司、日立公司和 Renesas 技术公司研究组所使用的扩展 LECCS 核模型的例子。图 5-71 是多电源和多电流模型与单一源模型相比较的仿真电源电流频谱图。供电电流可通过扩展 LECCS 核模型进行精确的仿真，在实际双层 PCB 上的不同位置处安放去耦合电容时的传导发射电平的差值也可以被准确地仿真出来。

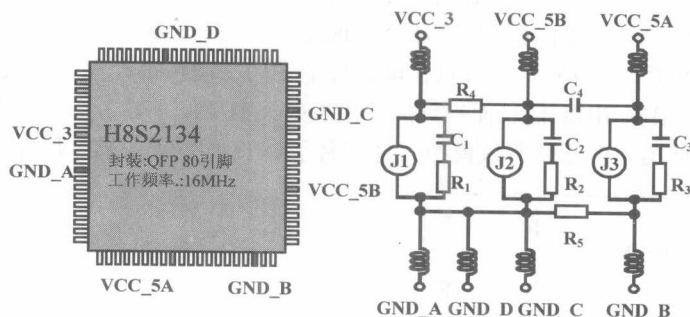


图 5-70 H8S/2134 的 LECCS 核模型（Renesas 公司的 16 位微控制器）（Ichikawa, 2004）

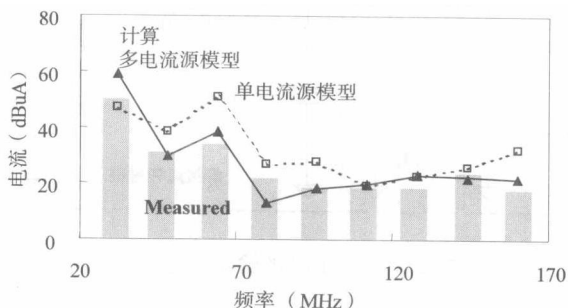


图 5-71 单一电流源模型与多电流源模型的对比（Ichikawa, 2004）

为了对电磁噪声发射迅速得出预期值，LSI 的线性等效电路和电流源模型也在不断的改进。

PCB 的电磁场发射是用 LECCS 模型进行评估的。模型的准确性是重点的考查对象，其在 EMC 设计应用中的效率则体现在传导、辐射发射和抗扰的仿真过程中。随着其他模型和 CAD 工具之间的应用界面的共享性需求的增加，模型所需要的数值也在增多。

6. 输入/输出模型

6.1 简介

集成电路的复杂性在逐步增加，这也导致了 I/O 数目的相应增加。在先进的 IC 技术中（90nm 及以下），具有多于 1000 个通断 I/O 缓冲器是一件很平常的事。为了对 I/O 的特性及其与内核的连接进行评估，有必要在 ICEM 核模型中增加 I/O 模型。如在 5.3 节中所讲的，IBIS 是用于进行信号集成的，它不能用于噪声的研究，但是却可以很容易地对 SPICE 中基于 IBIS 数据的 I/O 模型加以改进，以适用于传导发射的仿真。在这一节，将介绍一种根据 IBIS 信息建立缓冲器模型的方法。

LECCS-IO 与其他的发射模型是不矛盾的。

6.2 I/O 的模块描述

I/O 模块可以分为下列三个主要的部分：

- 由具有特定尺寸的可以驱动信号的 nMOS 和 pMOS 晶体管所组成的逆变器或缓冲器；
- 保护电路免于静电放电的钳位二极管；
- 可以加入封装模型的衬垫电容。

图 5-72 是依据 IBIS 模型的输出结构，如果 IBIS 模型详细描述了 I/O 模块的每一部分，则它就会只会给起作用的设备提供 $I_d(V_d)$ 表格和（由与任意负载相连的输出缓冲器所决定的）瞬时状态转换参数。这种表示方式对于传导发射研究来说是不适当的，因为事实上负载是可以变的，所以瞬时状态转换参数就不是有效的。而且供电和接地端的扰动在很大程度上取决于门电压，所以就很有必要使用一种根据 IBIS 信息而得到的专用发射模型（但是要考虑到噪声特性）。这种模型与 IBIS 具有相同的结构，但是其等效模拟元件代替了 IBIS 中的 $I_d(V_d)$ 特性。

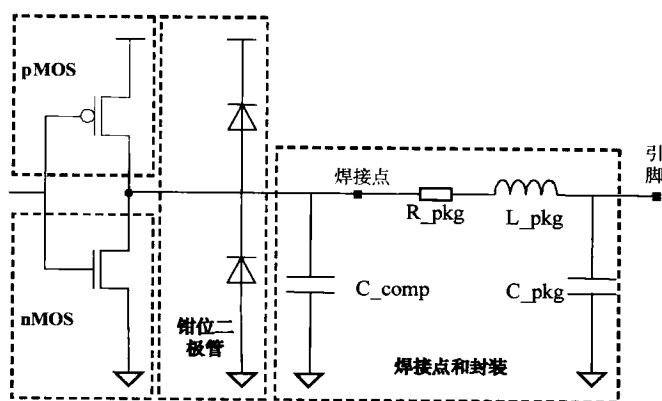


图 5-72 依据 IBIS 的输出级的表示方法

6.3 缓冲器模型

引出和仿真数字 I/O 缓冲器状态转换的瞬时动作模型的多种不同的方法是由 Peivand 和 Wang

等人分别在 1996 年和 1999 年提出的,其模型中使用了断续线性发生器来表示 IBIS 模型中的等效电流或电压源,并对 IBIS 中的模拟 SPICE 电路进行了重构。为此,需要通过使用 $I_d(V_d)$ 表格对 nMOS 和 pMOS 晶体管的尺寸进行评估。

驱动器的 DC 特征必须要适合 IBIS 的数据,这其中使用到了带有 nMOS 和 pMOS 设备的逆变器电路和如图 5-73、图 5-74 和图 5-75 中所示的模型电平 3。MOS 信道的长度要适合于最小技术的尺寸,为了满足 IBIS 的信息,还要符合宽度的要求。IC-EMC 工具中有一种 IBIS 翻译器,它可以对 $I_d(V_d)$ 表格和晶体管的仿真进行比较。模拟仿真是在时域通过 SPICE 仿真器(如 WinSpice)进行的。

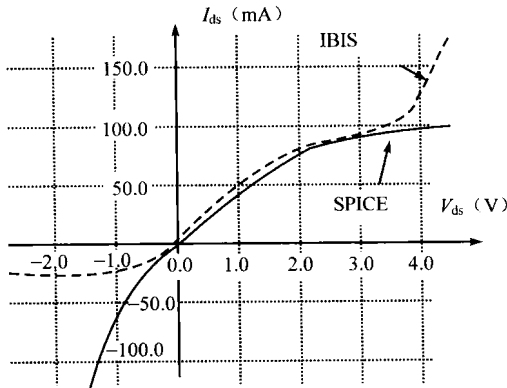


图 5-73 IBIS 和 nMOS 电平 3 之间的适宜的 DC I_d/V_d 参数

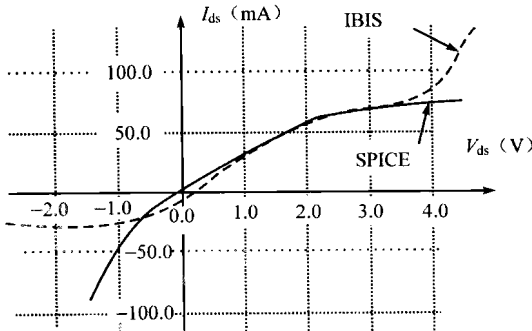


图 5-74 IBIS 和 pMOS 电平 3 之间的适宜的 DC I_d/V_d 参数

```

MN1 3 2 7 3 MN W=90u L=0.35u
MP1 5 2 7 5 MP W=60u L=0.35u

.MODEL MN NMOS
+ LEVEL=3          TPG=+1
+ GAMMA=0.2        THETA=0.5
+ DELTA=0.0         UO=620
+ TOX=2E-9         XJ=0.1u
+ NSS=0.2          NFS=7E11
+ CJ=4.091E-4       MJ=0.307
+ CJSW=3.078E-10    MJSW=1.0E-2
+ CGSO=3.93E-10     CGDO=3.93E-10
+ KAPPA=0.1         VMAX=100E3
+ LD=0.00U          RD=1
+ PB=1.0            RS=1
+ ETA=0.002         VTO=0.35
+ NSUB=1E+18

.MODEL MP PMOS
+ LEVEL=3          TPG=-1
+ GAMMA=0.2        THETA=0.5
+ DELTA=0.0         UO=250
+ TOX=2E-9         XJ=0.1u
+ NSS=0.0          NFS=7E11
+ CJ=6.852E-4       MJ=0.429
+ CJSW=5.217E-10    MJSW=0.351
+ KAPPA=0.01        VMAX=500E3
+ LD=0.0U           RD=1
+ PB=1.0            RS=1
+ ETA=0.001         VTO=-0.35
+ NSUB=1E+18
    
```

图 5-75 MOS 和模型电平 3 的参数

6.4 I/O 模块模型

当等效缓冲器定义了之后,包含封装、PCB 和负载阻抗信息的无源网络就可以加到缓冲器模型中了。图 5-76 是 I/O 模块模型的示例,在这种表示方法中不需要考虑钳位二极管,只需要研究无静电放电的标准 I/O 模块即可。

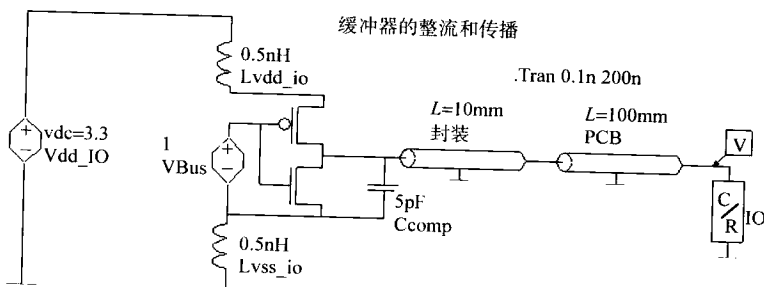


图 5-76 I/O 模块模型的表示方法

为了研究核与 I/O 模块之间的依存关系,可以将 I/O 的模拟 SPICE 模型仿真成 ICEM 核模型。如果是共模电源网络,则可以通过连接供电端的方式实现,或者是增加一个连接逻辑 Vss 和 I/O Vss 的基片电阻。

6.5 LECCS-I/O 模型

LECCS 模型同样适用于 I/O 的模拟。输出缓冲器供电端的 RF 噪声在很大程度上取决于输出负载。如图 5-77 所示,具有外部输出的设备通常都有多个缓冲器。LECCS-I/O 模型可用来表示与驱动器外部输出负载有关的 RF 功率电流的变化。H 或 L 这两个准静态分别是以图 5-65 中的一套线性等效电路进行模拟的,出于仿真的实际需要,这两个模型需要连成一个(如图 5-78 所示)来模拟总的功率电流。

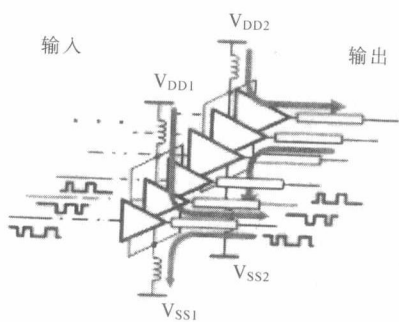


图 5-77 具有多输出的输出缓冲器

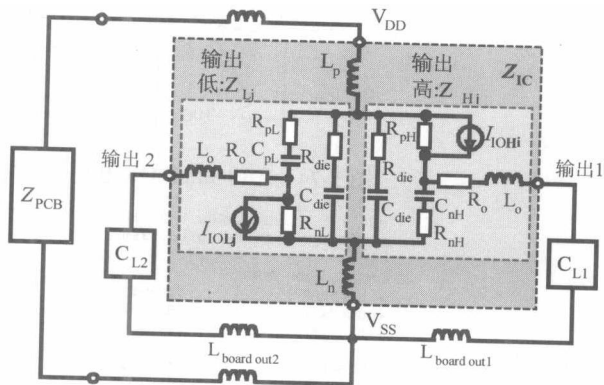


图 5-78 多比特 LECCS-I/O 模型的等效电路

如果对 LECCS-I/O 模型和 LECCS 核模型进行比较,就会发现: LECCS 核模型描述的是没有整体 I/O 互联的 LSI 或 IC 的内部模块的电特性,而 LECCS-I/O 模型描述的是具有外部 I/O 互联的模块的特性。

例如,要对一个 6 逆变器的 IC (74LVC04) 进行模拟和仿真,图 5-79 给出了供电引脚电流波形的测量和仿真的结果比较,图中的上升和下降的波形分别是以“输出高”和“输出低”的模型进行仿

真的。阻尼振荡的频率和其 Q 因子可以作为内部电流源的谐振特性予以计算，这种谐振特性不仅取决于 DUT 的阻抗，还取决于外部电路的阻抗。图 5-79 是一比特通断的结果，对于具有不同比特格式和不同输出负载的多比特输出的同时通断，“输出高”和“输出低”状态组合将会出现层次化的仿真结果。

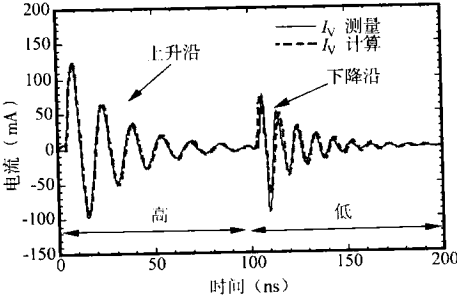


图 5-79 LECCS-I/O 模型的时域仿真

为了得到功率电流的 RF 噪声谱图，需要对波形图进行快速傅里叶变换以将其变换到频域。为了得到精确的仿真结果，还需要对管芯和核逻辑电路的阻抗进行评估，即图 5-78 中的 R_{die} 和 C_{die} 。图 5-80 是 (DUT: 74LVC04) RF 电流谱图的测量与仿真结果之间的比较，图 5-80 (a) 是上升电流的谱图的变化，图 5-80 (b) 是输出负载电容升至 37 pF/bit 时的下降电流。结合这两个电流谱图得出的图 5-80 (c) 是总电流的谱图，它准确地表示了与输出条件有关的噪声电流峰值的变换。

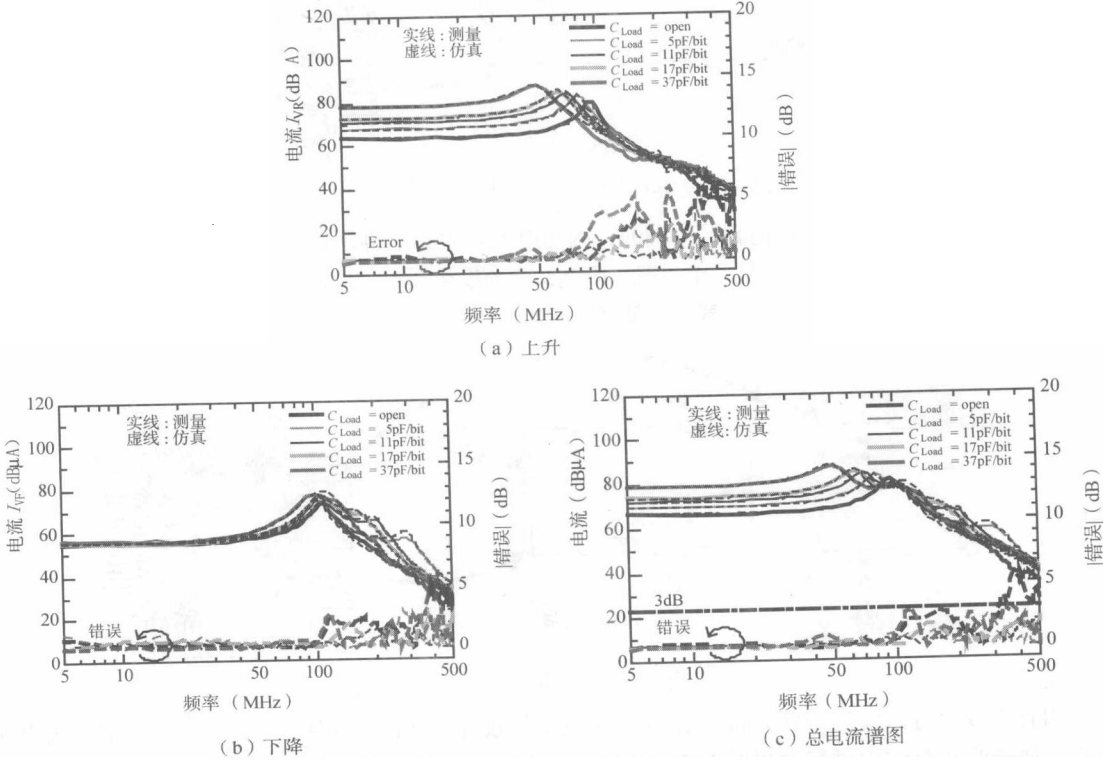


图 5-80 噪声电流谱图和使用 LECCS-I/O 模型的仿真结果

7. 抗扰模型

7.1 简介

抗扰模型是需要预先设计的，这样一来制造商就可以在量产之前模拟出芯片的特性，同时可以将仿真的时间最小化并促进将模型集成入设计工具之列。

此外，对于基于直接功率注入法的实验室抗扰测量，集成电路的抗扰模型应该定义在 1 MHz 至 1 GHz 的频率范围内，并处于传导模式。

在这一节，将介绍集成电路抗扰模型的各个部分，仿真的设置，以及仿真框架中的敏感度标准。

7.2 仿真模型元素的介绍

由于适用于仿真寄生发射的 IC 模型 ICEM (IEC, 2003) 可以得出很好的结果，所以在设计器件抗扰模型时也采用了相似的方法。而且 ICEM 模型所占用的频带宽度与 DPI 方法占用的是相同的，对器件的物理描述仍然要使用 RLC 参数。因此，由 ICEM 模型描述的无源器件仍被保留，即封装模型和 IC 的内部供电网络。

如图 5-81 所示，集成电路的抗扰模型重新使用了 ICEM 模型的无源器件。模型的电子器件与组件的尺寸大小有直接关系，并模拟了多个片上电容和供电网络。

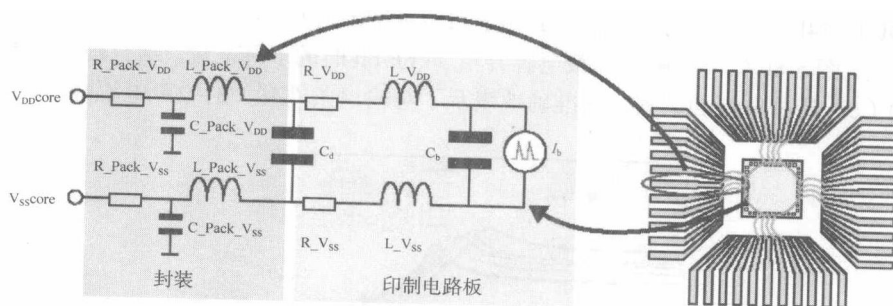


图 5-81 仿真器件的抗扰性时重新使用了 ICEM 模型

抗扰的仿真与寄生发射的仿真是不同的，因为电流发生器不再是必要的。另外，从 RF 发生器的角度考虑，可以将 IC 的核看做是一个负载。因此，电流发生器就可以被替换掉，在第一步的近似中可以用一个如图 5-82 中所示的电阻负载将其替换，该电阻的值在 16 位微控制器核的 10~100Ω 范围内。

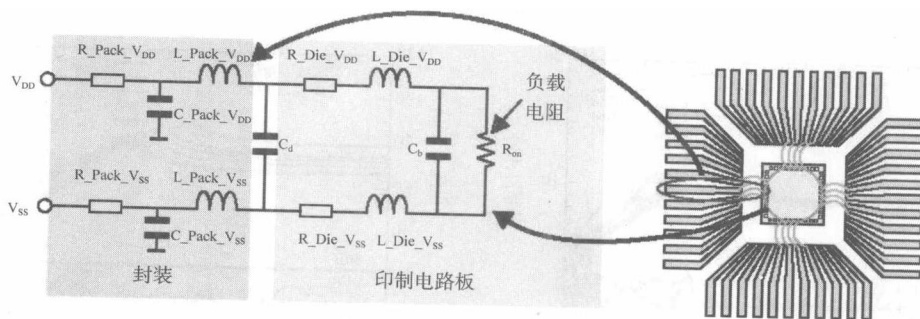


图 5-82 IC 的抗扰模型

如有必要，可以使用一些外部电路来完成模型的设计。在向 I/O 注入 RF 扰动时，必须要非常小心。制造商在对结构进行改进时要考虑到对 IC 的静电放电保护，因为浪涌冲击会导致脆弱的门极氧化物层的劣化甚至是毁坏。有两种常用的保护措施，即钳位二极管和门连接的 NMOS 晶体管。

钳位二极管由一个电阻和两个二极管组成，且两个二极管都位于第一个元件的输入级之前，如图 5-83 所示。

电阻通常是多晶硅电阻或 N-well 电阻，其阻值为 $10\ \Omega$ 和 $1\ \text{k}\Omega$ ，其主要作用是限制注入 I/O 晶体管的门电压。如果是多晶硅电阻，则由多晶硅层的厚度就能够决定被驱动的最大电流值。

从标称功能性上讲，钳位二极管起不到什么作用，因为输入电压在 V_{SS} 和 V_{DD} 之间。但是如果有一个较大的电压出现（如图 5-83 中的左边的情况），则下方的钳位二极管就会向基片注入扰动；如果出现浪涌（如图 5-87 中的右边的情况），上方的钳位二极管就会向 V_{DD} 的供电网络注入扰动。

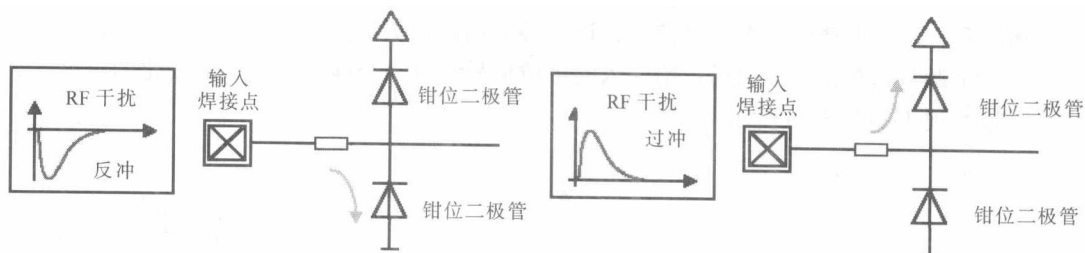


图 5-83 钳位二极管的输入保护

门连接的 NMOS 晶体管如图 5-84 所示，它可以有效地保护集成电路免于静电放电，其组成元件可分为两级，第一级向基片注入绝大多数的电流，第二级可以评估剩余的 RF 注入。对于 $5\sim 7\ \text{kV}$ 的浪涌冲击，门连接的 NMOS 晶体管仍然有效。

I/O 的 RC 电路可以作为一个高通滤波器：点 A 默认在 V_{SS} 处，因为电阻 R 使其拉低了。因此，从名义上讲晶体管的 NMOS 是被封闭的，整个设备是不工作的。巨大的浪涌会耦合到点 A 上并促使 NMOS 晶体管进行传导，此外，电流的主体会流经晶体管进入器件的基片。如果浪涌没有达到一个足够弱的电压值，钳位的晶体管就会继续进行驱动，以降低浪涌。

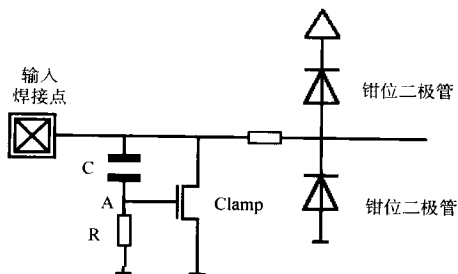


图 5-84 门连接的 NMOS 晶体管 I/O 保护结构

在对 IC 进行抗扰仿真时，需要假设注入的扰动具有足够大的幅值以激活保护设备。因此很有必要模拟出代替有效组件的电阻。如果是钳位二极管，有必要考虑一下进行驱动的二极管，因为两个二极管不能同时驱动。如果是门连接的 NMOS 晶体管，则只考虑电阻 R_{ON} 就足够了。

PCB 的器件必须要模拟，尤其是 $1\ \text{nF}$ 的耦合电容器。如图 5-85 所示，这种电容器不是理想的，因为 $0.5\ \text{nH}$ 的串联电感与其相连了。

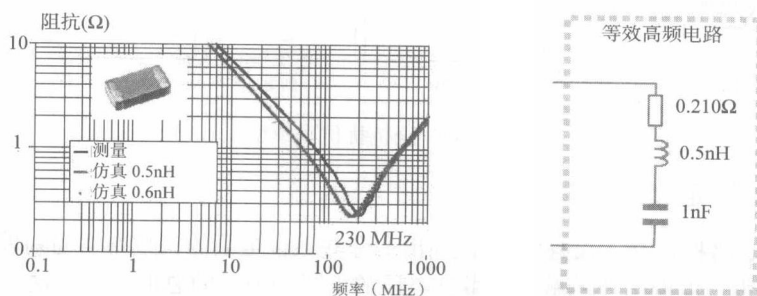


图 5-85 等效耦合电容器

7.3 仿真的设置

IC 的抗扰仿真比寄生发射的仿真要困难，因为它需要定义一种仿真失败的判据，而且还需要进行大量的与所选失败判据相符的后处理。

为了仿真 RF 扰动的幅值，有下列两种方法供选择。

- 第一种方法是在给定的频率和 RF 信号幅值的情况下，通过参数的变化进行参数的仿真。这可以通过 SPICE 的 .PARAM 选项实现，得到的结果是所定义的幅值步长的函数，而仿真的时间和结果的期望准确度与步长的大小成反比。
- 第二种方法是要产生一个混乱信号，该信号的幅值在仿真期间会增大。为此，很有必要引进一个调节参数，这可以通过给注入的单位信号乘以一个能够表示幅值变化的斜率而很容易地实现（如图 5-86 所示）。

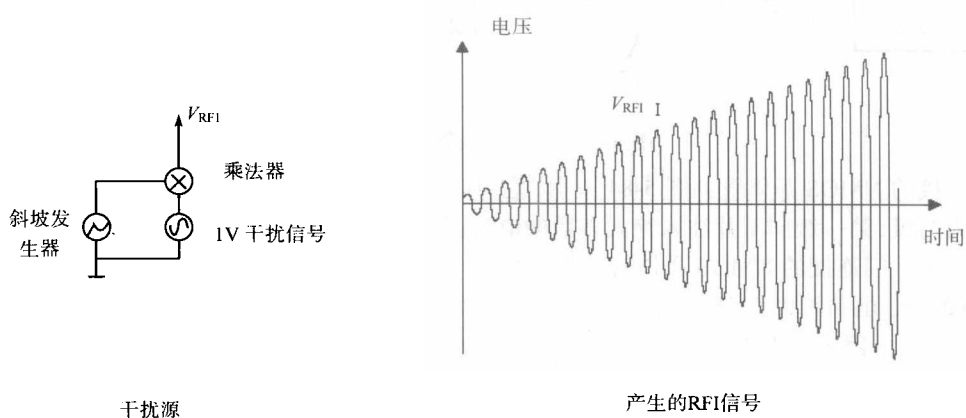


图 5-86 使用 SPICE 工具的 RF 扰动发生器的例子（左侧部分）和所得到的输出信号（右侧部分）

图 5-87 是全抗扰模型的示例。

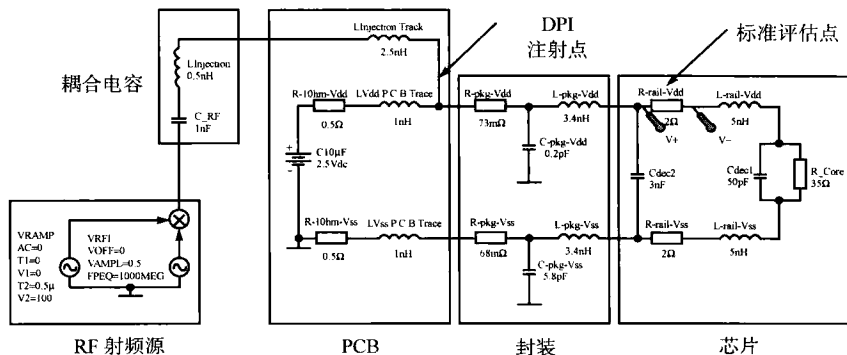


图 5-87 全抗扰仿真模型

7.4 失败判据的定义

在这一部分，将根据 IC 级的物理错误列出一个并不很全面的失败判据的列表。需要考虑的因素有：电源的应力、电源电压的减少、微分电压的下降和消耗的总电流等。这些判据的优点就是便于在仿真环境中进行应用，目的是能够在设计阶段对 IC 的灵敏度进行预测。

7.4.1 电源应力

由于 RF 扰动的存在 (如图 5-88 所示), 电源的电压也会有所波动, 当这种波动发生在 V_{SS} 管芯时就叫做“接地跳动”, 当发生在 V_{DD} 管芯时, 就叫做“电源跳动”。在一定的限值之下, 这些影响可以通过电路的有效模块而有所缓解, 所以也就不会发现任何错误。一旦超过了限值, 对于作为外部信息一部分的内外 V_{SS} 参考之间的潜在差值而言, 电路的有效部分几乎不起作用并且会产生逻辑错误。这里虽然只考虑到了 V_{SS} 参考, 但这种现象也会类似地发生在电路的 V_{DD} 参考上。

当 IC 的输入端出现逻辑信号“1”时, 芯片的核会将逻辑信号“1”当成“0”(如图 5-89 所示的 T_1)。随着逻辑错误的出现, 随后就会在整个电路中传播这个错误。这样一来, 逻辑“0”就会被当成逻辑“1”了 (如图 5-89 所示的 T_2)。

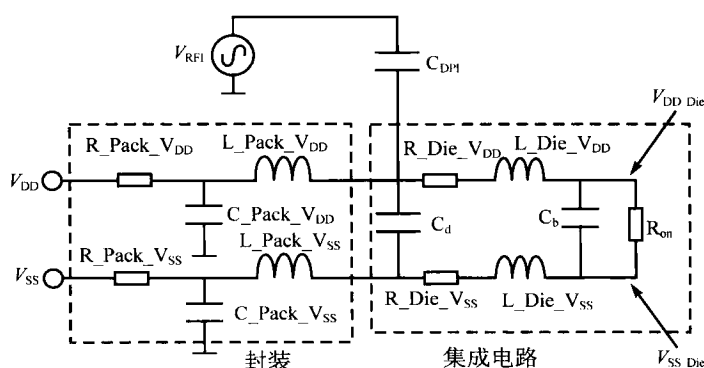


图 5-88 源于内部电源跳动的应力

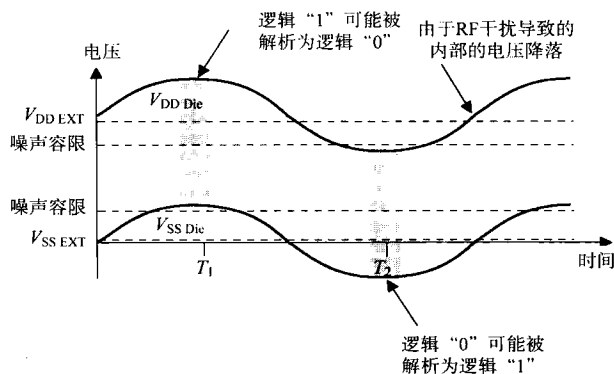


图 5-89 由于 IC 内部电源的多余应力而导致的逻辑错误

在模拟的仿真中, 理想情况是可以通过改变注入电压 (V_{RFI}) 的频率参数而进行反复的仿真。对于每个频率, 扰动的幅值是要增加的, 直至内部 V_{SS} 参考的波动大于或等于额定电源电压的 20%, 这时, 就可以将其假定为灵敏度的判据 (如图 5-90 所示)。

7.4.2 电源电压的减少

一项重要的失败判据就是内部电源电压的减少 (如图 5-91 所示), 这与参考电压 V_{DD} 和 V_{SS} 之间的差值是相符的。在某个特定的极限值 (V_{DD} 的 30%) 之下, 逻辑电路的整流会变得非常缓慢。这种现象会发生在信号干扰电平延迟的起点, 并导致逻辑或模拟电路的特性的丢失。

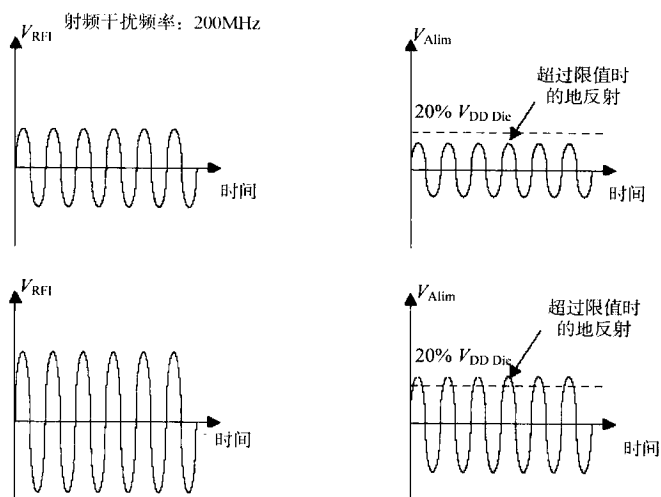


图 5-90 在没超过特定的抗扰门限（额定功率的 20%）之前，RF 扰动幅值一直增加

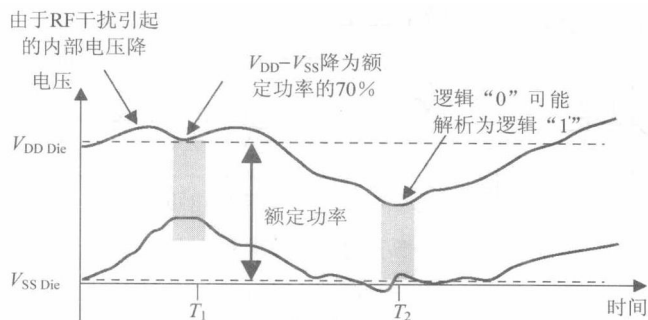


图 5-91 由电源电压减小所引发的错误的逻辑来源

图 5-92 表示的是电源电压下降所引起的整流的延迟。这种仿真针对使用了 $0.25\ \mu\text{m}$ 技术和典型负载条件下设计的 CMOS 逆变器而言的。它表明电源电压下降 30%（从 2.5 V 到 1.75 V），整流延迟会相应增加大约 60%。 V_{DD} 电压减少 50% 会产生 150% 或更高的整流延迟，这就会导致功能模块不再工作或不再正确地同步工作，因此也就会产生组件级的错误。

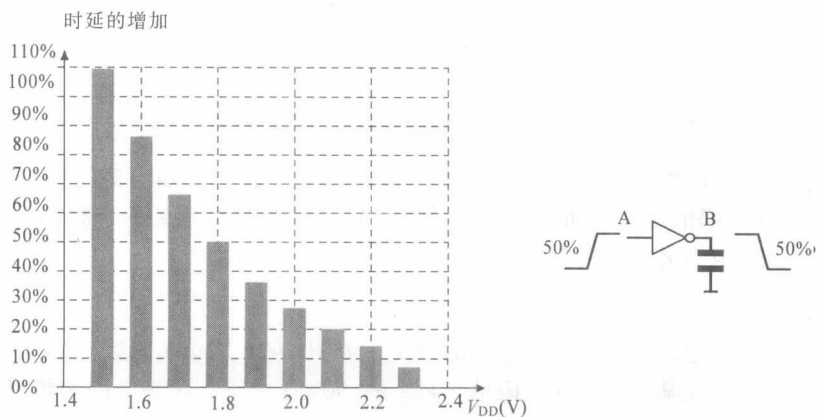


图 5-92 电源电压的减小引起分布延迟严重增加

7.4.3 消耗的总电流

注入到 PCB 电源网络的扰动会产生片上电源网络的寄生效应，如高强度的电流。图 5-93 中介绍了三种这样的电流。

- 电流 I_C ：流经 IC 内部耦合电容的电流；
- 电流 I_r ：芯片内部电源网络的电流；
- 持续电流 I_{pcb} ：PCB 电源网络的电流。

由于电流流经了一些物理器件，所以这些电流都具有特定的限制。能够通过 $15\ \mu\text{m}$ 半径的金焊线的电流强度可以根据式 (5-12) 进行估算，可得到的最大电流约为 2 A。另外，值得注意的是这里没有考虑与温度的关系，因此，最大电流值肯定比建议值要低。

$$I_{\max} = I_{\text{gold}} \times \pi \times r^2 \quad (5-12)$$

式中， I_{gold} 为最大电流密度，单位是 $\text{A}/\mu\text{m}$ ($27\ ^\circ\text{C}$ 时是 $3.10^{-3}\ \text{In}/\mu\text{m}^2$)； r 为导体半径，单位是 μm (典型的焊接是 $15\ \mu\text{m}$)； I_{\max} 为导体毁坏之前可以流经的最大电流。

因此，可以根据这些限值在模拟仿真的框架之内定义一种新的失败判据。这种判据也可以用于抗扰的测量过程，但是必须在电源网络上加装 VDE 探头。

IC 所消耗的额定电流 (I_{nom}) 大约是 100 mA，其最大的峰值电流约为 500 mA ($5 \times I_{\text{nom}}$)。此外，如果电流大于 1 A 就有可能烧毁芯片的大多数敏感器件。如图 5-94 所示是功能区的划分：0 到 $5 \times I_{\text{nom}}$ 是额定区域， $5 \times I_{\text{nom}}$ 至 $10 \times I_{\text{nom}}$ 是可能发生功能错误的区域， $10 \times I_{\text{nom}}$ 以上是 IC 的破坏区。

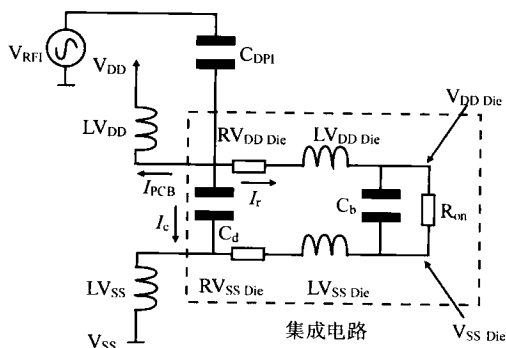


图 5-93 芯片内部的总消耗电流

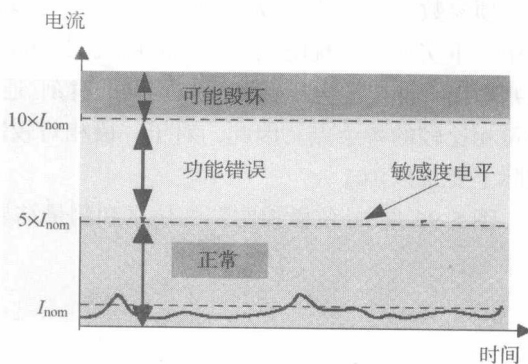


图 5-94 各个区域电流门限的划分

7.5 仿真与测量结果的比较

为了比较仿真和测量的结果，很有必要将元件和其周围的环境一同进行模拟。环境与测量中的模式和扰动注入点有很大的关系。在这里，RF 扰动是注入到 DUT 的电源网络中的。

图 5-95 是仿真 16 位微控制器抗扰行为的整个电路布置图，它可以分成 5 个独立的模块，每一模块中都有不同的物理器件。

图 5-95 中左侧的红色模块代表 RF 扰动的发生部分。它是由一个峰-峰幅值为 1 V 的正弦波发生器组成的，斜坡信号发生器通过一个乘法器及其相连以改变所产生的有效信号的幅值。

注入扰动的路径上的最后一个需要考虑的元件就是注入电容器与 DUT 的连线上的电感，这部分连线相对较短（小于 5 mm），所以其电感大约为 2.5 nH。

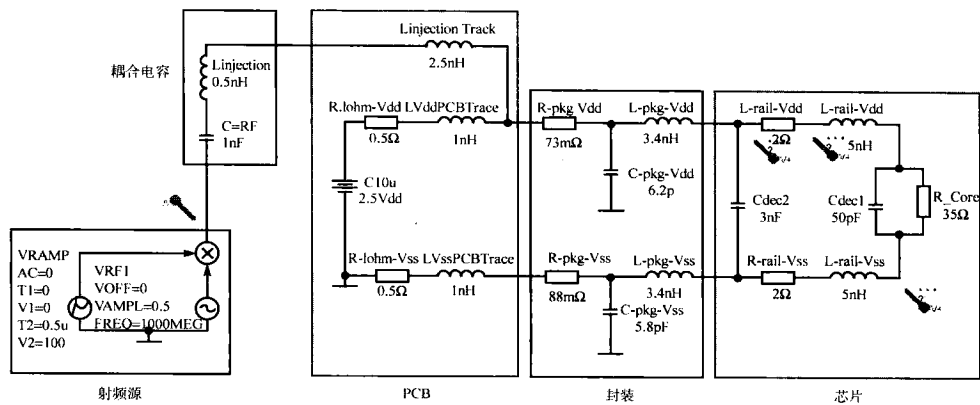


图 5-95 仿真环境的电子结构图

最后的模块是 PCB 电源网络中的一部分。DC 电压源模拟的是现在的电压调节器，它与寄生发射测量所需的 1 W 电阻相关联。

DUT 的器件可以分成两组：封装模型和芯片模型。

任何 IC 的抗扰仿真都需要定义其失败判据。这里选择电源的应力作为判据，所以只要电源电压绝对值的波动超过了 V_{DD} 的 20 %，则 DUT 就可认为是失败的。

所有的仿真都是使用的类似 PSPICE 的仿真器（Orcad, 1998）。所注入的扰动频率是分析过程的一项参数，点数以 10 为进制。这种方法可以在测量的精度与后处理所需的时间之间进行权衡和折中。事实上，抗扰电压与频率的曲线图上的每个点并不是直接定义的，所以有必要在每一频率上判断出内部电源电压达到失败判据的时刻。通过计算 RF 扰动源所注入的功率就可以得到能够与测量相比较的各个点。因此，对于一段相对较短的仿真时间（约半个小时）来说，后处理的时间实际上要乘以 10。

图 5-96 是 16 位微控制器的仿真和测量结果的比较图。

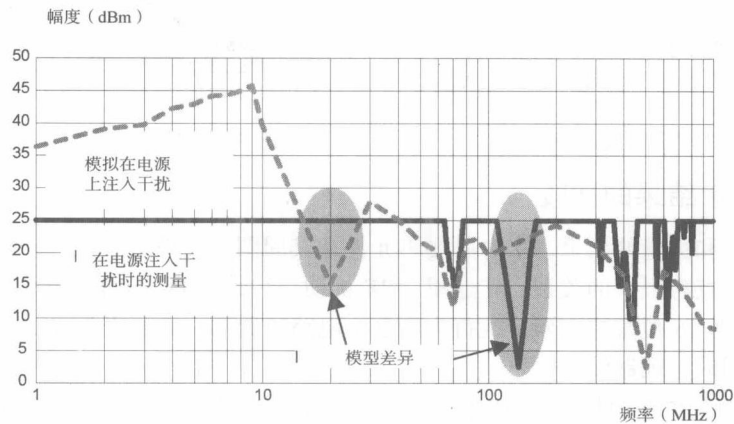


图 5-96 仿真和测量结果的比较图

可以看出，频率在 100 MHz 以下时（20 MHz 除外），二者的吻合情况是很好的。事实上，对于 1 ~ 10 MHz 之间的频率，仿真结果大多会超过测量结果，不过这只是限制在 25 dBm 的功率等

级上, 因此, 在这一频段内仿真结果基本上都会高于测量值。对于 100 MHz 以上的频段 (130 MHz 除外) 吻合情况也是令人满意的, 在这一段可以进行如下的假设:

- 模型定义得不够充分, 有一个或多个器件没有被考虑到;
- 特殊的敏感性不是取决于微控制器而是外部的电压调节器。这一段是通过理想的 DC 电压源进行模拟的 (但这并不现实)。

7.6 抗扰 LECCS 模型

LECCS 核模型同样适用于 LSI 的抗扰仿真 (Takahashi, 2002), 仿真的结果可以很清晰地通过 RF 功率注入 (DPI) 法 (IEC 62132—4) (IEC 62132—4, 2001) 进行解释。在仿真的过程中, 设备 (8 位微控制器, 100 引脚 QFP) 的内部阻抗 Z_L 和电源/接地连线的阻抗 Z_V 和 Z_G 都是分别进行评估和模拟的 (如图 5-97 所示)。RF 噪声是从 PCB 上的电源接线注入的, DPI 法的设置如图 5-98 所示, LSI 故障处的前向 RF 功率需要记录下来。在仿真时, 芯片间的电压 (V_L) 是通过 LECCS 模型计算出来的。图 5-99 是仿真和测量结果的比较图, 可以看出芯片间的感应电压和抗扰电平之间具有很好的相关性。

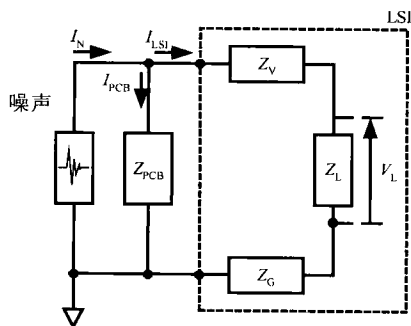


图 5-97 使用 LECCS 的抗扰仿真模型

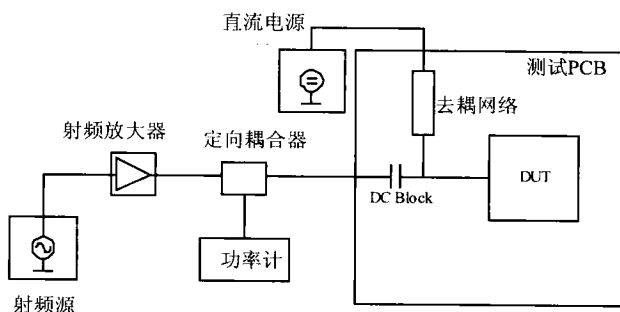


图 5-98 测试设置的布置

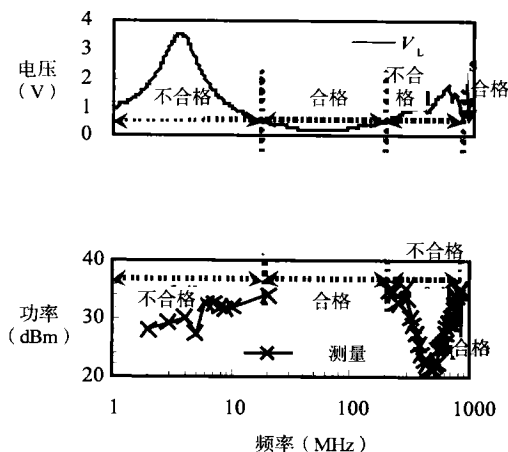


图 5-99 抗扰测试的仿真与实验室测量结果的比较 (Takahashi, 2002)

7.7 内部抗扰分析

对于内部抗扰, 在芯片内部会产生扰动, 并且 ICEM 模型会对扰动进行自动兼容性的核查。

图 5-34 是使用 ICEM 模型进行音频放大器抗扰分析的例子。图 5-100 是放大器及其抗扰模型的电源分布网 (PDN)。

数字部分的 ICEM 模型可以简化为 VnDig 噪声源。IBC 组件在低频时是一个简单的电阻，并且可以连接 VnDig 至内部端子 IT[0]。

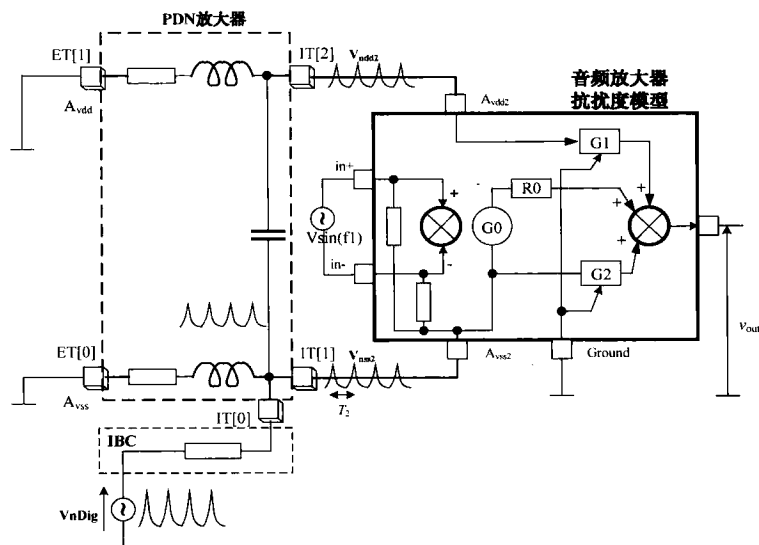


图 5-100 使用 PDN 和 ICEM 组件的 IBC 及放大器抗扰模型的抗扰分析示例

在抗扰模型中需要考虑电源抑制比 (PSRR) 和接地抑制比。传递函数 G1 和 G2 表征了由数字活性向音频输出发送的噪声电平的衰减。音频输出电平的表达式如下：

$$v_{out} = v \sin \cdot G_0 + A_{vdd2} \cdot G_1 + A_{vss2} \cdot G_2$$

由于 V_{dd2} 和 V_{ss2} 的内部轨迹上存在噪声，所以输出电平会有所降低。数字活性会产生几十毫伏的电压，但人耳只能听到几毫伏，并且施加良好的电源抑制比可以保证良好的音频再现。

7.7.1 内部抗扰 SPICE 抗扰模型

图 5-101 是使用了标准源组件的 SPICE 抗扰模型，其中 V4 可以产生音频频率。

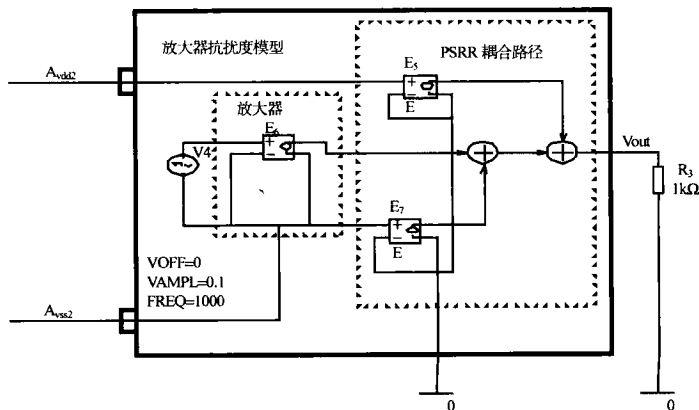


图 5-101 使用 SPICE 语言的抗扰模型

7.7.2 抗扰的准则

图 5-102 是数字活性和音频产物不兼容的例子。在 F_1 之上，数字活性的电平超出了规格，用户可以听到加到频率 F_2 上的数字噪声。

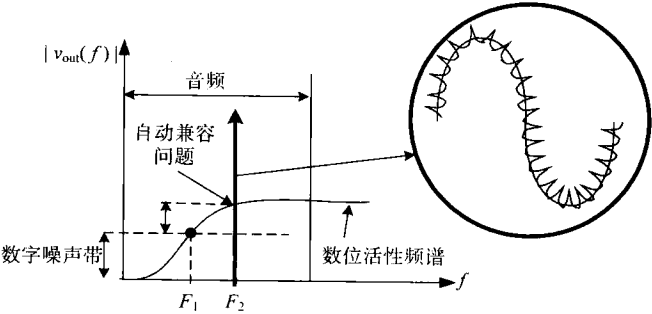


图 5-102 音频放大器抗扰准则的例子

7.7.3 抗扰分析的结果

图 5-103 是数字活性向放大器输出端传播的噪声，由于抗扰的准则是 2.5 mV 和 9 μ s，可见噪声电平并不在规格范围之内。可以在音频放大器上得出电源抑制比的默认值。增加音频放大器的电源抑制比至 20 dB。根据 ICEM 模型，可以核查和采纳抗扰准则（如图 5-104 所示）。

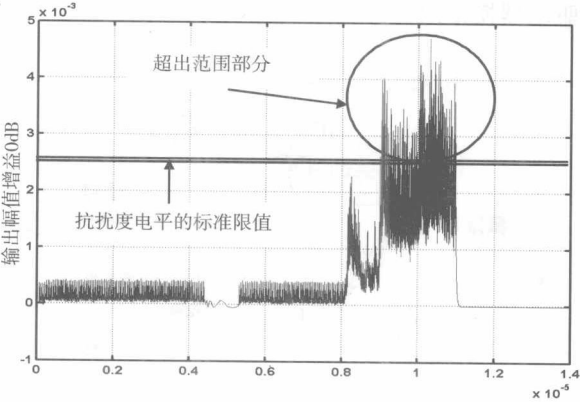


图 5-103 放大器输出端的抗扰电平

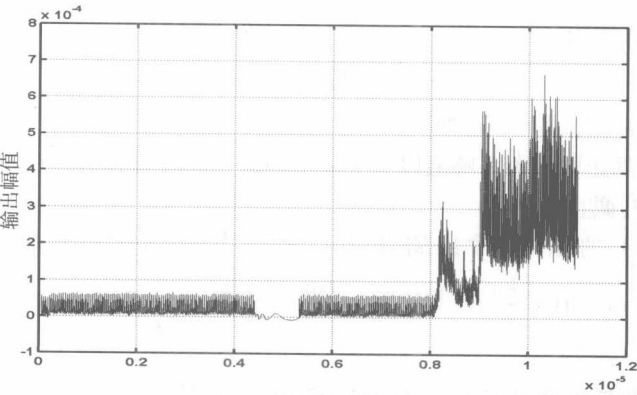


图 5-104 调整 PSRR 之后的抗扰电平

8. 串音效应

在近期的一些参考文献中所描述的主要效应是当干扰方进行电路通断时, 在被干扰方一端会出现大量的伪信号, 而且当干扰方和被干扰方同时通断时就会产生串音延迟, 这样就会导致被干扰方的传播延迟。这种影响对于现在的具有长连接线的 ULSI 微处理器来说是很严重的。当然这种影响取决于微电子设计中所用到的技术及连线技术。

耦合电容的另一个重要影响就是会导致动态功率消耗量的增加 (Moll, 2003; Sotiradis, 2000; Machiarulo, 2002), 主要原因有二: 一是由耦合电容的伪信号引起的耦合线驱动的额外消耗; 二是由于伪信号在耦合信号的后续节点经过逻辑门时所引起的。

这一节只介绍由第一种原因引起的功率消耗。首先, 将会使用一种数学方法结合其电气模型和解决方案来进行分析 (Moll, 2003)。模型一经改进, 将会需要一系列的仿真结果对其进行验证, 并且需要对所涉及的不同参数的影响进行分析。最后, 将会介绍根据仿真结果进行验证的实验设置。

8.1 数学模型

图 5-105 表示的是可以被两个 CMOS 逆变器分别驱动的两条连接线。每一条线都可表示为接地电容、模拟接地寄生电容 (C_1 和 C_2)、中间的耦合电容及模拟电容串音 (C_{12})。另外, I/O 耦合电容 C_{c1} 和 C_{c2} 也包含在驱动器模型内。

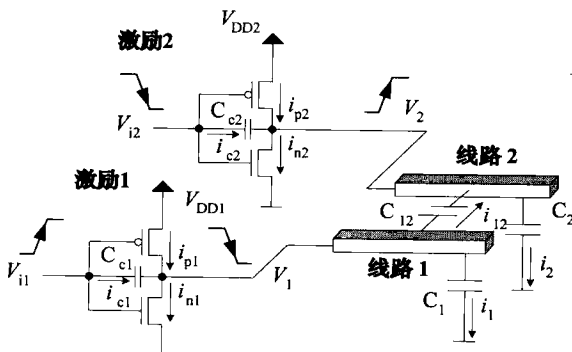


图 5-105 用于模拟带有逆变驱动器的两条耦合线的电路

总消耗功率的计算式为

$$E_T = E_{SC} + E_{ST} + E_{IO} + E_{LINES} \quad (5-13)$$

式 (5-13) 中的各个分量可表述如下:

- E_{ST} 和 E_{SC} 代表静止驱动器 (阈值以下电流) 的截止晶体管和最后一个门电路的动态驱动器 (短路电流) 的截止晶体管。
- 由设备 (E_{IO}) 的输入/输出寄生电容所引起的动态驱动器中的消耗可以通过 $E_{IO} = \frac{3}{2} C_{c1} V_{DD}^2 + C_{c1} \int V_1 \frac{dV_{i1}}{dt} dt$ (对于正变换) 和 $E_{IO} = \frac{1}{2} C_{c1} V_{DD}^2 + C_{c1} \int V_1 \frac{dV_{i1}}{dt} dt$ (对于逆变换) 来计算。
- 由连线引起的消耗可通过 $E_{LINES} = 1/2(C_1 + C_{12})V_{DD}^2$ 计算。
- 对于两个非同步的输入变换的这种复杂情况, 总的功率消耗可按式 (5-14) 计算。

$$E_T = E_{SC} + E_{ST} + E_{IO} + \frac{1}{2}(C_1 + C_{12})V_{DD}^2 + \frac{1}{2}(C_2 + C_{12})V_{DD}^2 \pm \Delta \quad (5-14)$$

式中, $\Delta \equiv C_{12}V_{DD}^2 + (C_2 + C_{12} + C_{c2})V_{DD}D_2 - C_{12}V_{DD}D_1$; D_1 (D_2) 是当第二个变换开始时, 电压 V_1 (V_2) 距离其静止值的偏差。考虑到 \pm 的符号问题, 正号的情况就是相反方向的变换, 负号的情况就是相同方向的变换。

通过式 (5-14) 可以得出在相反方向同时变换的最大能量及在相同方向同时变换的最小能量。

8.2 串音引起功率消耗的增加: 仿真分析

功率的消耗可以通过使用一个电模拟器 (如 HSPICE) 来进行评估。在本例中, 寄生电容值是通过 $0.18 \mu\text{m}$ 的 CMOS 技术得到的数据而进行提取的 (1.8 V 电压, 一层聚乙烯和六层金属)。

为了评估线电容 C_1 , C_2 和 C_{12} 的值, 需要用到 HSPICE 模型中的电磁场问题的解决方法。需要注意的是, C_1 和 C_2 包括了一个预估的电容值 $C_g = 5 \text{ fF}$ (近似等效于 5 个最小的逆变器)。后处理的特征是在随时间进行功率积分时来计算瞬时功率和能量。

在制造过程第一阶段中的最小宽度和最小分隔的两条相等的线已经作为耦合结构在仿真分析中用到了。这里需要考虑等效和近似的平衡驱动 ($L = 0.18 \mu\text{m}$, $W_n = 1 \mu\text{m}$, $W_p = 2.5W_n$), 并且要把输入信号的上升/下降时间设置为 200 ps 。

8.2.1 单一变换

可以得到下列三种能量值:

- 包括串音效应在内的总能量;
- 不包括串音效应在内的总能量 ($C_{12} = 0$);
- 对总能量有贡献的线可以标注为 E_{LINES} , 它可能会被进行分析性的计算。

由设备消耗的能量是用总能量减去线上的消耗得到的。

图 5-106 是不同线长度下的不同能量消耗。设备消耗的能量表示很短 ($1 \mu\text{m}$) 的线上 50% 的总能量消耗, 并且当线的长度增加时, 能量的消耗会迅速下降。例如, 对于 $250 \mu\text{m}$ 长的线, 设备所消耗的能量仅仅是总能量的 10%, 但对于 $100 \mu\text{m}$ 以上的线, 串音所消耗的能量会高于总能量的 40%, 仅仅对于短线来说, 可以忽略这种消耗。这种结果表明在 VLSI 电路的能量消耗的分析中, 线的影响 (包括串音) 是不能忽略的, 当线的长度超过一定的值时就可以忽略设备的影响。这种结果可以用于能量消耗的评估工具中, 以获得准确的结果和节省分析的时间。

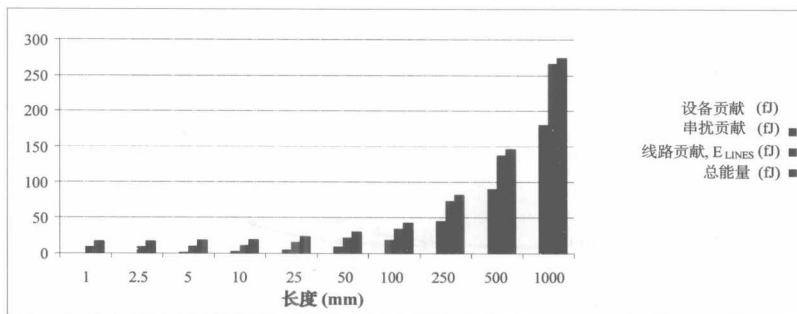


图 5-106 由设备、串音和线所消耗的能量所组成的总能量

8.2.2 两个节点的非同步变换

这一节主要介绍两条线上非同步变换的复杂情况, 以及能量的消耗是如何与相关的延迟和线

长度有关的。两个节点的非同步变换可以分成两类：相同方向的变换（用 $\uparrow\uparrow$ 表示）和相反方向的变换（用 $\uparrow\downarrow$ 表示）。

（1）取决于相对延迟的功率消耗

功率的消耗取决于输入变换之间的相对延迟。一条传输线在某一固定时间进行变换时，会伴有 $-200 \sim 200$ ps 的其他变化的相对延迟。

图 5-107 是仿真的结果。正如理论分析的一样，总能量表示同步反方向（同方向）变换时的最大（最小）能量，并且倾向于使用恒定的最小（最大）值表示最大延时。实际上，当变换延迟的时间多于输出上升时间时（对于这种驱动器 and 线来说，大约为 200 ps），所消耗的能量与各个独立的变换所得到的能量是相同的。

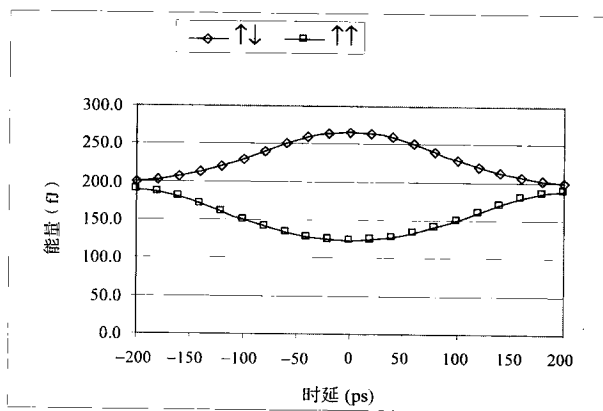


图 5-107 驱动晶体管在两个输入变换的延迟之前的能量消耗

（2）取决于线长的功率消耗

能量的消耗取决于线的长度，因此也就取决于线电容的值。图 5-108 是用双对数曲线表示的驱动器的能量消耗。对于短线，能量基本恒定，其主要来源是晶体管由于断路和电流泄漏产生的消耗（主要取决于线电容）。然而，对于 100 μm 以上的线，能量增长的斜率是 20 dB/dec，也就是说能量正比于线长，因此也正比于线电容。这样一来，在线长的变换范围内，能量的消耗主要取决于对线电容（包括串音电容）的充放电。线长的范围对于从中型到大型的电路来说都是典型值，因此串音所消耗的能量必须通过功率评估工具进行仔细的分析。

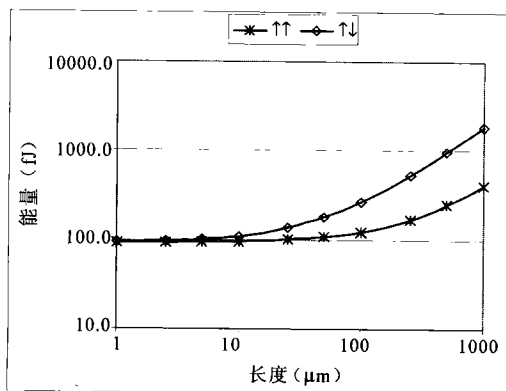


图 5-108 不同线长时驱动器晶体管的能量消耗

8.3 实验测量步骤

为了通过实验方法得到功率消耗增加的一些特性，需要用到由两条耦合线组成的 VLSI CMOS 电路，每一条线都是由逆变器和终端负载逆变器所驱动的。图 5-110 是这种电路的图示。为了得到功率消耗的准确测量值，必须强制为驱动器传导结构使用独立的偏置衬垫。

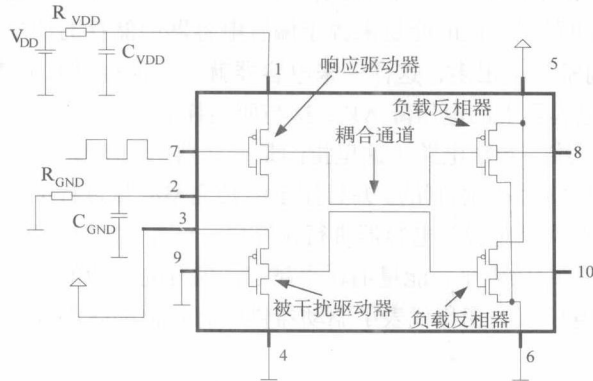


图 5-109 电路图

在 0.35 μm 的测试电路中应用了不同的耦合结构，对于不同的线长已经应用了相同的耦合结构，即将两个 level-1 的最小宽度金属线以最小的距离相隔。为了比较垂直耦合和水平耦合，还要用到 level-2 的线。图 5-110 表示的是电路设计的布局。

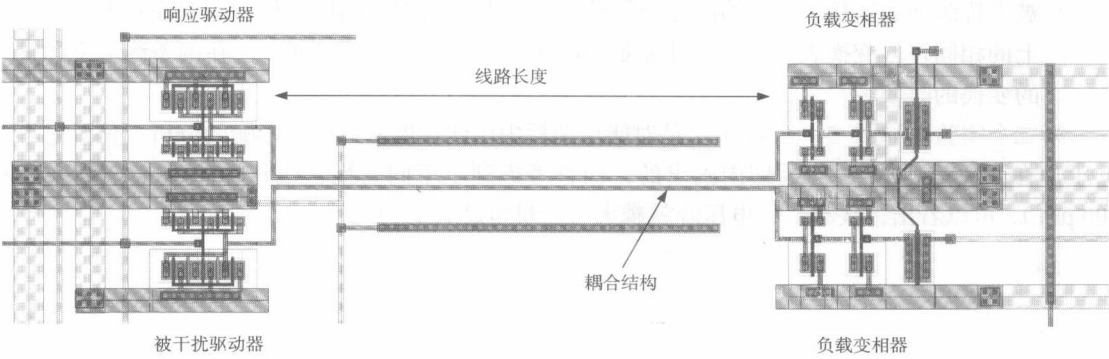


图 5-110 测试芯片的布局

在没有使用片上采样传感器时，不可能很精确地测出噪声波形。这种考虑方法适用于直接的能量测量，还需要将其扩展成适合测量 I_{DDQ} 所消耗能量的方法和适合测量串音能量消耗的方法。

如图 5-109 所示，驱动器的偏置端直接连接至供电衬垫。这些节点与总的 V_{DD} 和 GND 引脚是不同的，这样一来就会偏置所有 NMOS 晶体管的基片、（所有 PMOS 晶体管的）n-well 及所有的负载逆变器。可以通过使用外部电容和电压降的测量对能量的消耗进行评估。图 5-109 就是这种方法的示例。在这个例子中，需要考虑到驱动器能量消耗的测量，驱动器的 V_{DD} 引脚（引脚 1）通过电阻 R_{VDD} 和电容 C_{VDD} 连接至 GND；驱动器的 GND 引脚（引脚 2）连接至 GND，并与 V_{DD} 引脚有相同 RC 结构。因为这个例子是用于测量驱动器能量的，所以被干扰驱动器（引脚 3 和 4）的等效节点分别连接至总的 V_{DD} 和 GND。

R_{GND} 非常小, 但 R_{VDD} 的值却非常大, 因此节点 V_2 的电压通过一个非常低的电阻路径连接至地, 也就表明了当逆变器开启时该节点上的电压变化是很小的。另外, V_1 和 V_{DD} 之间呈现高电阻路径。下列测量步骤是经常需要采用的:

- 将电容器 C_{VDD} 预先加电压至 V_{DD} ;
- 引脚 7 和 9 这两条线上的缓冲器被开关信号激励, 这取决于所考虑的变换是单变换还是多变换的情形。缓冲器所消耗的能量来源于偏置电容器中储存的能量。激励信号的周期必须比 $R_{VDD}C_{VDD}$ 时间常量小很多, 这样一来电容器就不会进行再充电使电压变为 V_{DD} 了;
- 最后, 需要测量电容器上的电压降 ΔV_1 , 这与所消耗的总能量是相关的 ($E=1/2 C_{VDD} \Delta V_1^2$)。

值得一提的是, 为了维持数字电路 (这里指的是逆变器门) 的操作点, 总电压降必须非常小。这也表明电容 C_{VDD} 的值是有一定限制的, 并且用于激励完整测量过程中的输入缓冲器的连续变换的次数也是有限的, 而不需要对偏置电容器进行预充电。 C_{VDD} 值的选择取决于电路开关活性时间内的能量消耗。为了维持 V_1 的电平, 能量消耗得越多, 偏置电容的值就应越大。 V_1 只允许有很小的下降, 这是因为这个电压值的变化代表了驱动器供电有效值的减小及对驱动器正常工作状态的后续影响。

测量步骤之后是一系列的仿真, 在第一个实验中 (如图 5-111 所示), 使用一个脉冲信号来影响缓冲器。根据被干扰缓冲器不同的输入值可以表述出 4 种不同的情况:

- 被干扰缓冲器连接至 GND;
- 被干扰缓冲器连接至 V_{DD} ;
- 被干扰缓冲器连接至相同的脉冲信号;
- 被干扰缓冲器连接至有补给的脉冲信号。Y 轴是偏置电容的电压值。需要注意的是两条线上的相同符号变换表示的是消耗能量的减少, 而最大的能量消耗发生在两条线上不同符号的变换的时候。

第二个实验 (如图 5-112 所示) 是对能量消耗中由线长度所造成的影响的分析。偏置电容的电压是在开关信号的 8 个周期内画出的, 而且考虑到了不同的耦合线长 ($50\mu\text{m}$, $200\mu\text{m}$ 和 $700\mu\text{m}$)。可以看出, 线越长, 电压降就越大 (能量也越大)。

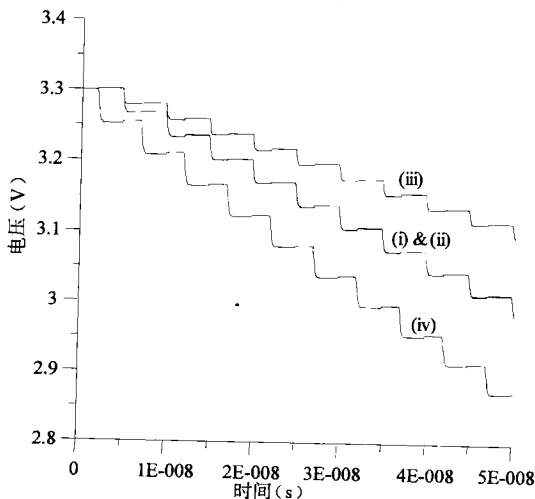


图 5-111 C_{VDD} 上的电压变化

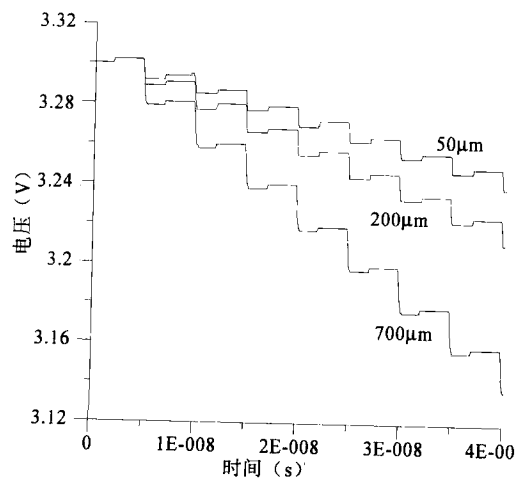


图 5-112 C_{VDD} 上的电压变化: 线长度的影响

9. 辐射发射的模拟

这一节将介绍辐射发射测量的模拟，最常用的方法是 TEM 小室法及近场扫描法。

9.1 TEM 小室测量方法的模拟

TEM 小室可以用于评估上至 1 GHz 的 IC 辐射发射。图 5-113 是 TEM 小室的剖面图。通过一些近似效应，可将 IC 连接至 TEM 小室的内部金属板上。

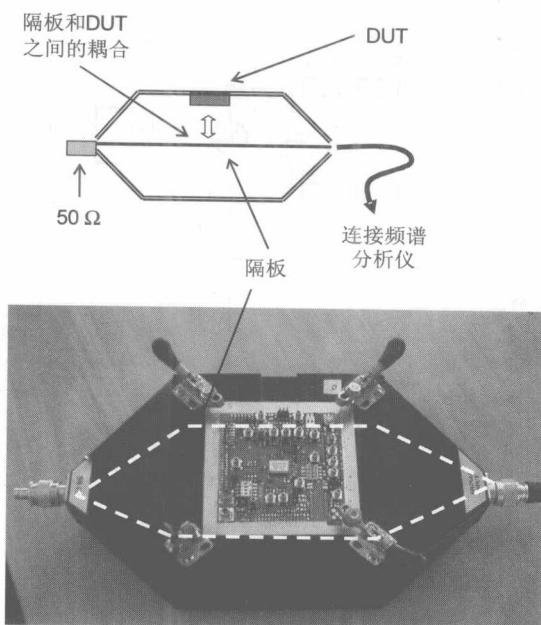


图 5-113 TEM 小室的剖面图（表示了 DUT 和隔板之间的连接）

小室内没有任何器件，最简单的 TEM 小室模型是由一个 8 pF 电容器和一个 20 nH 电感器组成的。通过 2D 和 3D 的场分析法可以得出计算值，并且还可以通过测量予以确定。为了使这种模型更加均匀，可将电感分成两个独立的部分 L_1 和 L_2 ，如图 5-114 所示，端接负载都是 50 Ω。

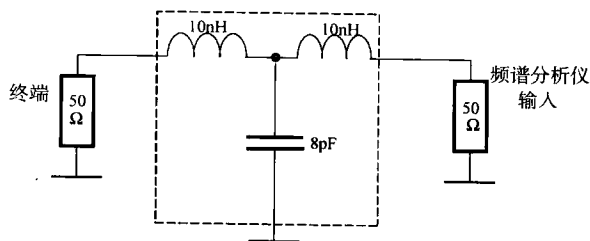


图 5-114 简单的 TEM 小室

当 TEM 小室中有器件时，可以看到两类耦合方式：IC 电感和 TEM 电感之间的磁耦合，以及近似效应的电耦合。电感耦合通常可被表述成一个从 0 到 1 的耦合系数。从 2D/3D 仿真来看，QFP 封装连线的耦合百分比接近 1%，BGA 连线的百分比接近 0.1%。电感耦合取决于方向：当封装连线垂直于隔板时，电感耦合可以减少 20dB。因此，耦合系数是以 10 的倍数减少的。

电容耦合是用 C_{die_septum} 表示的, 其值为 $20 \sim 200$ fF, 这主要取决于管芯的尺寸。概括来说, 器件和小室之间的连接是通过集总电容器和互有电感进行模拟的。从 1 MHz 到 1 GHz, TEM 发射电平的测量和仿真的结果保持了良好的一致性。为了得到更高的准确性, TEM 小室和器件之间的耦合机制可以用更复杂的模型予以表示, 即隔板和器件不同部分(管芯、焊点、连线)之间的分布式耦合效应(如图 5-115 所示)。通过 3D 电磁仿真所得到的 S 参数模型已经可以用于准确地模拟高频时小室和 IC 电流路径之间的连接。

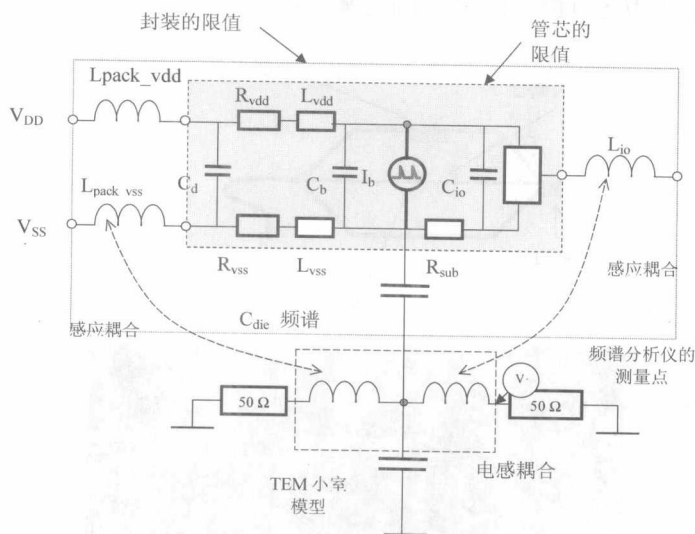


图 5-115 IC 和 TEM 小室之间的耦合

9.2 近场扫描

在这一部分介绍一种用于模拟 IC 辐射发射的近场扫描法。该法可以评估电子板上的耦合现象和辐射发射。通过扫描可以对标量和向量的电势进行预估, 进而也就可以计算近场和远场的发射了。

9.2.1 测量方法

扫描器是由可以固定 PCB 的塑料支架制成的(如图 5-116 所示)。电磁场探头可以在 DUT 上方移动。由于发射场被耦合到 IC 轨迹上的几毫米内, 所以使用商用的 1 cm 直径的探头就足够了。器件核心的详细特性不需测量, 但是需要考虑到辐射发射对于环境的综合影响。出于相同的原因, 每个毫米的测量都足以得出一些特性。

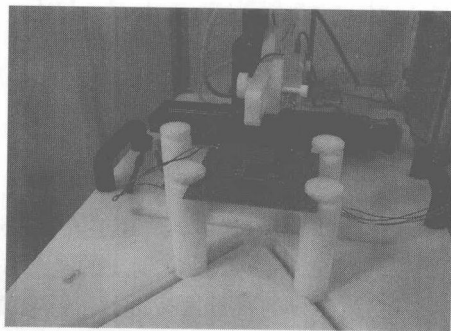


图 5-116 近场扫描的测试台

根据所测量的垂直磁场 H_z 就有可能利用一种绘图法构建出场的特性，而不是根据 H_x 和 H_y 场用两种绘图法进行构建。

为了验证测量和仿真原理，可以通过结合网络分析仪使用简单的无源电路来完成。首先投入使用评估这种简单电路的近场和远场发射的模型，并与实际测量值进行比较，然后将给出微处理器的实际研究案例。

9.2.2 无源器件的案例

图 5-117 所示的就是研究案例所用到的简单方形回路。首先要使用网络分析仪进行绘图，网络分析仪会给板子供电。

这种模型是以用 Lorentz 量规表达的标量和向量的电势为基础的。通过标量电势 V 和向量电势，就可以表示电场和磁场。

很明显，如果对电路中的电流和电荷进行了重新分配，对空间每个点的发射场评估就会很简单。对于场的仿真，可以认为电流是恒定的而且电荷也是个恒变量。

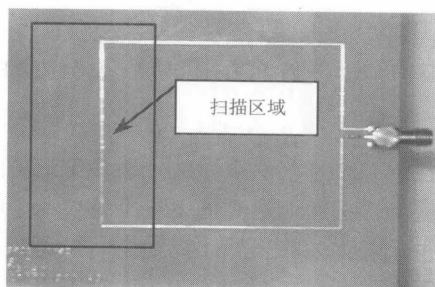


图 5-117 PCB 测试板

由于这里用到的电路很简单，场也就很容易计算，它是这个方形回路每个分支的和。

探头的影响也需要予以考虑。对此，这里给出的仿真结果是探头穿过相同尺寸的表面时的平均值，即穿过水平的 1 cm 直径面的平均垂直磁场。

测量要在距离 PCB 不同高度（3.5 mm、8.5 mm 和 13 mm）的平面内进行。图 5-118 是 3.5 mm 时的测量图，图 5-119 是仿真图。所选取的电流值可以在不同高度的所有情况下都做出最好的近场评估。

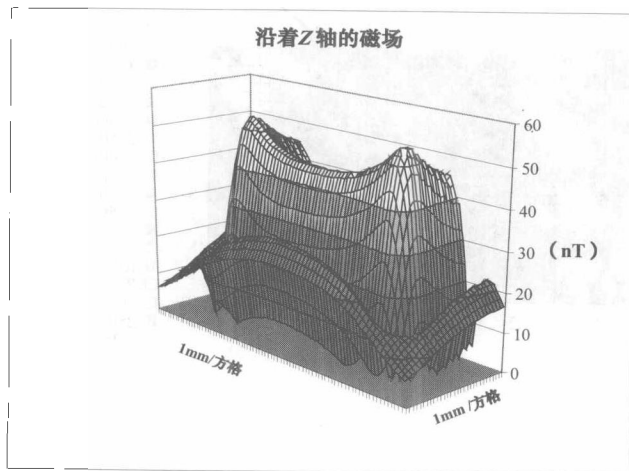


图 5-118 100 MHz 时探头在 PCB 上方 3.5 mm 处测得的磁场 (B_z)

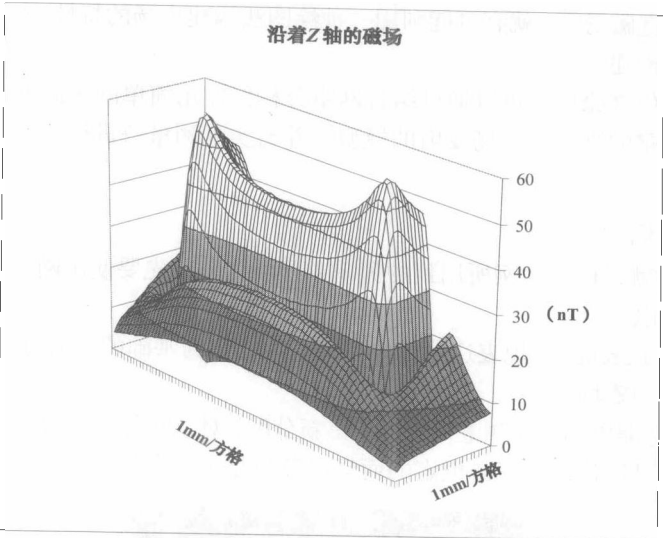


图 5-119 100 MHz 时探头在 PCB 上方 3.5 mm 处仿真的磁场 (B_z)

9.2.3 微处理器案例

在微处理器的案例中，存在着越来越多的未知数。驱动电流的线缆的几何结构及电流的强度都需要进一步确定。因此，在磁场探头所能达到的每一个位置处，都需要在三个不同的高度，以及 8 ~ 400 MHz 的全频带宽内进行测量。对于 8 MHz 时运行的微处理器的每一次谐振，都需要用特殊的方法来探测电流线的位置和强度。

对于无源器件这一案例，判断模型好坏的标准是看其能否适于在不同高度的扫描。

图 5-120 和图 5-121 分别是 32 MHz 时使用 1 cm 直径的磁场探头在微处理器上方 5 mm 处对垂直磁场的测量和仿真结果。

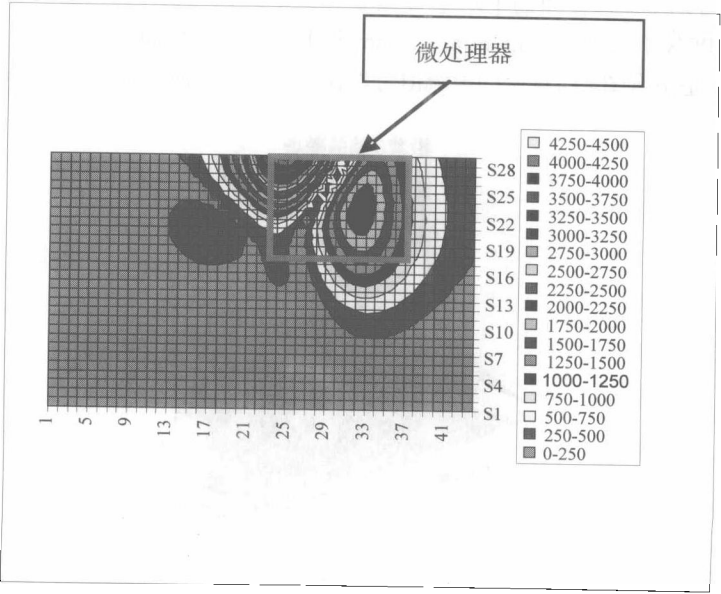


图 5-120 测量的磁场

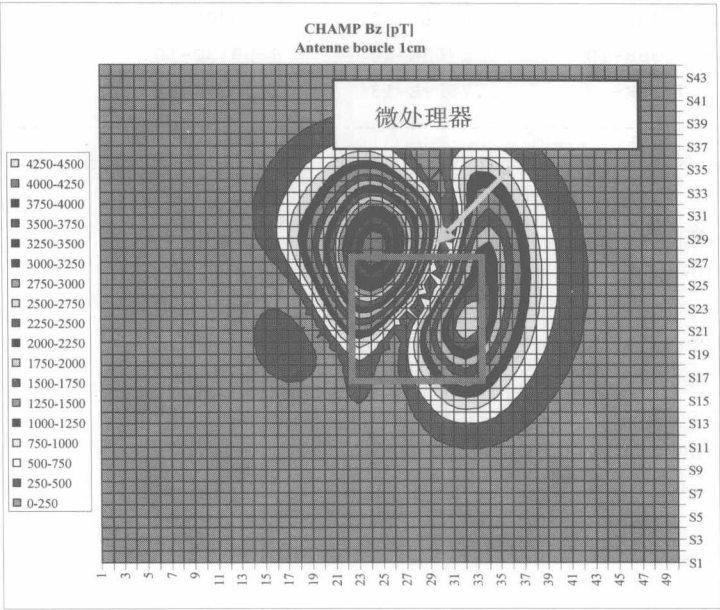


图 5-121 仿真的磁场

10. 总结

本章中介绍了大多数的 IC 寄生现象，并介绍了多种模型。在这些模型中，有一些已经成为了标准模型，其他的还处于标准化的进程中。

11. 附件

表 5A-1 IBIS 模型结构的例子（为了简化省略了一些数据）

[IBIS Ver]	3.2	HEADER INFORMATION	
[Comment Char]	_char		
[File Name]	sample.ibs		
[File Rev]	3.0		
[Source]	Teraspeed Consulting Group LLC.		
[Date]	March 15, 2005		
[Notes]		
[Disclaimer]		
[Copyright]		

[Component]	SAMPLE_NAME	COMPONENT SECTION	
[Manufacturer]	XYZ		

[Package]		PACKAGE	
variable	typ	min	max

```
R_pkg      1.5243E-02      1.4866E-02      1.5620E-02
L_pkg      8.3838E-10      8.1763E-10      8.5913E-10
C_pkg      2.7715E-13      2.7029E-13      2.8401E-13
|-----|
[Pin] signal_name model_name R_pin      L_pin      C_pin      | PIN OUT
|
| PACKAGE
1  _CE      INPUT      1.5620E-02  8.5913E-10  2.8401E-13
2  SO      BI-DIR      1.4866E-02  8.1763E-10  2.7029E-13
3  _WP      INPUT      1.4866E-02  8.1763E-10  2.7029E-13
4  VSS      GND        1.5620E-02  8.5913E-10  2.8401E-13
5  SI      INPUT      1.5620E-02  8.5913E-10  2.8401E-13
6  SCK      INPUT      1.4866E-02  8.1763E-10  2.7029E-13
7  _HOLD    INPUT      1.4866E-02  8.1763E-10  2.7029E-13
8  VDD      POWER      1.5620E-02  8.5913E-10  2.8401E-13
|
| *****
[Model] INPUT                                | MODEL
Model_type      Input
| ....
| *****
[Model]          BI-DIR                        | MODEL
Model_type      I/O
| ...
| *****
[End]
```

表 5A-2 扩展双向模型的详细信息

```
| *****
[Model]          BI-DIR                        | MODEL
Model_type      I/O
|
Vinh  = 2.0V
Vinl  = 0.8V
Vref  = 0.0V
Cref  = 30.0pF
Vmeas = 1.65V
|
|-----|
| variable      typ      min      max
C_comp          1.34pF    1.57pF    1.97pF
|
|-----|
[Voltage Range]  3.30V      3.00V      3.60V      -
[Temperature Range] 50      100      0
|
|-----|
[Pulldown]
-3.30000V      -247.125mA    -223.172mA    -280.762mA
```

```
-3.00000V      -224.669mA      -202.915mA      -255.253mA
| ....
|
6.00000V      85.9530mA      69.9950mA      99.5520mA
6.60000V      85.9530mA      69.9985mA      99.5520mA
|
|-----|
[Pullup]
6.60000V      -71.7678mA      -57.5256mA      -87.4081mA
6.30000V      -71.0722mA      -56.8733mA      -86.5068mA
| ....
|
-2.70000V      134.178mA      120.892mA      149.624mA
-3.30000V      164.017mA      147.786mA      182.962mA
|
|-----|
[GND Clamp]
| ....
|
|-----|
[POWER Clamp]
| ....
|
|-----|
[Ramp]
dV/dt_r      1.31336/1.02715n  1.10742/1.37071n  1.49148/852.312p
dV/dt_f      1.53482/1.01786n  1.33819/1.26112n  1.71328/917.270p
R_load = 50.0ohms
|
|-----|
[Rising Waveform]
R_fixture    = 50.0
V_fixture    = 0.00
|
0.0000E+00   0.0000E+00   2.2551E-16   3.2960E-16
1.0000E-10   -1.5841E-04   -4.8761E-04   -1.1753E-05
| ....
|
8.9000E-09   2.1904E+00   1.8485E+00   2.4912E+00
8.9600E-09   2.1897E+00   1.8491E+00   2.4921E+00
|
|-----|
[Falling Waveform]
R_fixture    = 50.0
V_fixture    = 3.30
V_fixture_min = 3.00
V_fixture_max = 3.60
|
0.0000E+00   3.3000E+00   3.0000E+00   3.6000E+00
1.0000E-10   3.2980E+00   3.0005E+00   3.6020E+00
| ....
|
8.9000E-09   7.4265E-01   7.7012E-01   7.4567E-01
8.9600E-09   7.4218E-01   7.7002E-01   7.4485E-01
|
|-----|
[Rising Waveform]
```

```

R_fixture      = 50.0
V_fixture      = 3.30
V_fixture_min  = 3.00
V_fixture_max  = 3.60
| ....
|-----
[Falling Waveform]
R_fixture      = 50.0
V_fixture      = 0.00
| ....
|

```

表 5A-3 ICEM 的 IBIS 多语言扩展的一部分

```

|*****
| Some additions to the IBIS model:
|*****
[Circuit Call] ICEM
| mapping port      node
Port_map   vdd_ic   12
Port_map   vss_ic   14
[End Circuit Call] | Code connecting vdd_ic to pin 12 and vss_ic to
                   | pin 14.
|*****
[External Circuit] ICEM
Language SPICE
| Corner      corner_name  file_name  circuit_name  (.subckt name)
Corner        Typ          icem_d60.spi  icem_typ
| Ports are in same order as defined in SPICE
Ports         vdd_ic      vss_ic
|*****
* Separate SPICE file icem_d60.spi
|*****
.SUBCKT icem_typ vdd_ic vss_ic
RVDD Vdd_ic Vdd_n1 2
LVDD Vdd_n1 Vdd_n2 2.2n
Cd Vdd_ic Vss_ic 3.2n
Cb Vdd_n2 Vss_n2 50p
RVSS Vss_ic Vss_n1 2
LVSS Vss_n1 Vss_n2 2.2n
Ib Vdd_n2 Vss_n2 PULSE(0.01 0.4 10ns 1.0ns 1.0ns 0.01ns 31.25ns)
.ENDS icem_typ
|*****

```

12. 参考文献

- [1] Ashenden, P., Peterson, G., and Teegarden, D., 2002, *The System Designer's Guide to VHDLAMS*, Morgan Kaufmann, ISBN, 1-55860-749-8.

- [2] Barth, J., et al., 2000, TLP-calibration, correlation, standards, and new techniques, *22nd EOS/ESD Symposium*, pp. 85-96.
- [3] Barth, J., and Richner, J., 2001, Correlation considerations, real HBM to TLP, and HBM testers, *23rd EOS/ESD Symposium*, pp. 453-460.
- [4] Brennan, C. J., et al., 2004, CDM failure modes in a 130nm ASIC technology, *26th EOS/ESD Symposium*, pp. 182-186.
- [5] Brodbeck, T., et al., 1996, Reproducibility of field failures by ESD models: comparison of HBM, socketed CDM, and non-socketed CDM, *Microelectron. Reliab*, 36(11/12): 17 19-17.
- [6] Caignet, F. Delmas, S., and Sicard, E., 2001, The challenge of Signal Integrity in Deep-Submicron CMOS Technology, *IEEE Proceedings, special topic*, 89(4):556-573.
- [7] Caignet, F., 1999, Mesure et modélisation prédictive des phénomènes parasites liés aux interconnexions dans les technologies CMOS, Thèse présentée à l'Institut National des Sciences Appliquées de Toulouse, 50-52.
- [8] Christen, E., Bakalar, K., Dewey, A.M., and Moser, E., 1999, Analog, and mixed-signal modeling using the VMDL-AMS language, *36th Design Automation Conference*.
- [9] Dabral, S., and Maloney, T. J., 1998, *Basic ESD, and I/O Design*, John Wiley, and sons, ISBN 0-47 1-25359-6.
- [10] Delmas-Ben Dhia, S., Caignet, F., Sicard, E., and Roca, M., 1999, On-Chip sampling in CMOS integrated circuits, *IEEE Transaction on EMC*, 41(4): 403-406.
- [11] Figueras, J., and Rius, J., 1999, Exploring the combination of I_{DDQ} , and i_{dat} testing, energy testing, *Design, Automation and Test in Europe Conference*, 543-548.
- [12] Fukumoto, Y., et al., 2001, Power current model of LSI/JIC containing equivalent internal impedance for EM1 analysis of digital circuits, *IEICE Trans. Commun.*, E84-B(11):3041-3049.
- [13] Fukumoto, Y., et al., 2002, Radiated emission analysis of power bus noise by using a power current model of an LSI, *IEEE Int. Sympo. on EMC*, 1037-1042.
- [14] Giacotto, L., 2003, Signal integrity at PCB level, (in french) Thèse présentée à l'Université Joseph Fourier de Grenoble.
- [15] Hervé, Y., 2002, VHDL-AMS, Applications et Enjeux Industriels, (in French), Dunod, (ISBN, 2- 10005-888-6)
- [16] IC-EMC tool, a window-based environment for the simulation of the IC parasitic emission: www.ic-emc.org
- [17] Ichikawa, K., Uno, T., Miyamoto, M., Inagaki, M., Nakamura, K., Matsui, T., Mabuchi, Y., Mishima, A., Kobayashi, K., Nakamura, A., and Flayashi, T., 2004a, EM1 Analysis of a PCB for automotive equipment using an LSI power current model, *EMC Compo*.
- [18] Ichikawa, K., et al., 2004b, EM1 analysis of a PCB for automotive equipment using an LSI power current model, *4th Int. Workshop on EMC of Integrated Circuits*, Angers, 38-42.
- [19] Kelly, M., et al., 1995, A Comparison of electrostatic discharge models, and failure signatures for CMOS integrated circuit devices, *17th EOS/ESD Symposium*, 175-185.
- [20] Keppens, B., et al., 2001, Contributions to standardization of transmission line pulse testing methodology, *23rd EOS/ESD Symposium*, 461-467.
- [21] Ker, M-D., et al., 2001, ESD test methods on integrated circuits, an overview, *The 8th IEEE International Conference on Electronics Circuits, and Systems ICECS*, 2: 1011 - 1014.
- [22] Koga, R., et al., 2004, Control of unintentional electromagnetic waves from digital circuits, efficient EMC modeling of devices, and PCBs, *int. Sympo. on EMC*, Sendai, 1D1-8, 197-200.

- [23] Körber, B., and Sperling, D., Feb 2004, Messverfahren zur Untersuchung der Störfestigkeit von IC's gegenüber ESD in Kraftfahrzeugen, 12. Internationale Fachmesse und Kongress für Elektromagnetische Verträglichkeit BMV 2004, Dusseldorf.
- [24] Lee, J. C., et al., 2000, A method for determining a transmission line pulse shape that produces equivalent results to human body model testing methods, *22nd EOS/ESD Symposium*, 97- 104.
- [25] Levant, J. L., Ramdani, M., Perdriau, R., 2004, ICEM modeling of microcontroller current activity, *Microelectronics Journal*, Elsevier, 35(6):501-507.
- [26] Levant, J. L., Ramdani, M., Perdriau, R., Drissi, M., 2005, Solving system EMC issues with the ICEM model, *EMCcompo*, Munich, Germany.
- [27] Mabuchi, Y., Nakamura, A., Ichikawa, K., Unou, T., and Wada, O., 2005, LECCS (Linear Equivalent Circuit, and Current Source) modeling technique for ICs, *Int. Zurich Sympo.*
- [28] *Electromagnetic Compatibility, Workshop W5, EMC for IC*, Zurich, Switzerland, 659-672.
- [29] Machiarulo, L., Macii, E., and Poncino, M., 2002, Wire placement for crosstalk energyminimization in address buses, *Design Automation, and Test in Europe*.
- [30] Maenc, N., et al., 1994, Failure analysis of CDM failures in a mixed analogldigital circuit, *16th EOS/ESD Symposium*, 307-314.
- [31] Maloney, T. J., and Khurana, N., 1985, Transmission line pulsing techniques for circuit modeling of ESD phenomena, *8th EOS/ESD Symposium*, 49-54.
- [32] Moll, F., Roca, M., Rubio, E., and Sicard, E., 1998, Analysis and Measurement of Crosstalk Induced Delay Errors in Integrated Circuits, Chapter 12 in *Signal Propagation of Interconnects*, H. Grabinsky, and P. Nordholz., ed., Kluwer Academic, 139-147.
- [33] Moll, F., Roca, M., Isern, E., 2003, *Analysis of dissipation energy ofswitching digital CMOS gates with coupled outputs*, *Microelectronics Journal*, 34:833-842.
- [34] Nakamura, K., Eguchi, K., Hojo, S., and Fukuda, H., 2004a, Development of processor for the I10 interface model for integrated circuit (IMIC,EIAJ ED-5302, *DA Symposium*, 163-168.
- [35] Nakamura, K., et al., 2004b, EMC macro-model (LECCS-Core) for multiple power-supply pin LSI, *Int. Sympo. on EMC, Sendai, Japan*, 3A1-4, 493-496.
- [36] Notermans, G., De Jong, G., and Kuper, F., 1998, Pitfalls when correlating TLP, HBM, and MM testing, *20th EOS/ESD Symposium*, 170-176.
- [37] Novak, I., 2000, Measuring milliohms, and picohenrys in power-distribution networks, *DesignCon99*, pp. 4-6.
- [38] ORCAD, 1998, Release 9, the power of connection: www.orcad.com Osaka, H., Tanaka, D., Wada, O., and Koga, R., 2004a, EMC macro-model with I10 (LECCS-110) for multi-bit drives, *Int. Sympo. on EMC, Sendai, Japan*, 3A1-5, 497-500.
- [39] Osaka, H., Tanaka, D., Wada, O., Toyota, Y., and Koga, R., 2004b, Linear Equivalent Circuit, and Current Source for I/O (LECCS-I/O) modeling of IC power current for EMI simulation, *Journal ofJapan Institute of Electronics Packaging*, 7(6):517-524.
- [40] Osaka, H., et al., 2004c, A Linear Equivalent Circuit, and a Current Source Model with I/O (LECCS-110) for simulating multi-bit drives, *4th Int. Workshop on EMC of Integrated Circuit*, Angers, 101-106.
- [41] Peivand, F., Chen, Y., and Fang, J., 1996, Extraction of transient behavioral model of digital I/O buffers from IBIS, *46th IEEE Electronic Components and Technology conference*, Orlando, 1009-1015.

- [42] Perdriau, R., 2004, Méthodologie de Prédiction de l'Emission Conduite dans les Circuits Intégrés, à l'aide de VHDL-AMS, Ph.D Thesis (in French), Université Catholique de Louvain.
- [43] Rius, J., Peidro, A., Manich, S., and Rodriguez, R., 2003, Power and energy consumption of CMOS circuits: measurement methods and experimental results, *PATMOS/03*, 80-89.
- [44] Salome, P., et al., 1998, Investigations on the thermal behavior of interconnects under ESD transients using a simplified thermal RC network, *20th EOS/ESD Symposium*, 187-198.
- [45] Sotiradis, P., and Chandrasakan, A., 2000, Bus energy minimization by transition pattern coding (TPC) in deep submicron technologies, *ICCAD*.
- [46] Speakman, T., 1974, A model for failure of bipolar silicon integrated circuits subjected to electrostatic discharge, *IEEE Intel Kel. Phys. Symp.*, 60-69.
- [47] Takahashi, E., et al., 2002, Evaluation of LSI immunity to noise using an equivalent internal impedance model, *EMC Europe Int. Sympo. on EMC*, Sorrento, 487-492.
- [48] Takahata, Y., Watanabe, A., Wada, O., Koga, R., and Fukumoto, Y., 1999, Power Current Model of IC with Internal Impedance (in Japanese), *IEICE Tech. Rep.*, EMCJ99-104, 21-26.
- [49] Takayama, K., et al., 2003, A Simulation Method for EM Radiation from Power/Ground Plane of PCB by Using a Power Current Model, (in Japanese), *Trans. IEICE Vol. J86-B*, No.2, 226-235.
- [50] Takayama, K., et al., 2003, A Simulation Method for EM Radiation from Power/Ground Plane of PCB by Using a Power Current Model, (in Japanese), *Trans. IEICE Vol. J86-B*, No.2, 226-235.
- [51] Tesche, F., 1997, *EMC Analysis Methods, and Computational Models*, John Wiley, and Sons, ISBN 0-471-1 5573-X.
- [52] Tsujikawa, H., Shimazaki, K., Hirano, S., Ohki, M., Yoneda, T., and Benno, H., 2002, A design methodology for low EMI-Noise microprocessor with accurate estimation-reduction-verification, *IEEE Custom Integrated Circuits Conference (CICC 2002)*, Orlando, USA.
- [53] Voldman, S., et al., 2003, Standardization of the Transmission Line Pulse (TLP) Methodology for Electrostatic Discharge (ESD), *25th EOS/ESD Symposium*, 372-381.
- [54] Werner, C., Götsche, R., Wörner, A., and Ramacher, U., 2001, Crosstalk noise in future digital CMOS circuits, *IEEE Design Automation Test Europe DATE*.
- [55] Wada, O., et al., 2000, Power current model of digital IC with internal impedance for power decoupling simulation, *4th European Sympo. on EMC*, Brugge, Belgium, 315-320.
- [56] Wada, O., et al., 2003, High-speed simulation of PCB emission, and immunity with frequency-domain IC/LSI source mode, *IEEE Sympo. on EMC*, Boston, TU-AM-SSI-2, 4-9.
- [57] Wang, Y., Han Ngee Tan, H.N., 1999, The development of analog SPICE behavioral model based on IBIS model, *Proceedings of Ninth Great Lakes symposium on VLSI*, 101-104.
- [58] Winspice, the shareware version of the analog simulator Winspice: www.winspice.com.

13. 参考标准

- [1] US Department of Defense, 1991, MIL-STD-883D Method 3015.7, Electrostatic Discharge Sensitivity Classification, Microelectronic Test Method Standard, Defense Supply Center Columbus (DSCC).
- [2] Electronics Industries Alliance, 2000, JEDEC JESD22-A114-B, Electrostatic Discharge Sensitivity Testing Human Body Model, JEDEC.

- [3] ESD Association, 1998, ANSI/ESD STMS. 1-2001 Electrostatic Discharge Sensitivity Testing, Human Body Model (HBM) Component Level, ESD Association.
- [4] Automotive Electronics Council, 1998, AEC-Q100-002-Rev C, Human Body Model Electrostatic Discharge Test, AEC.
- [5] International Electrotechnical Commission, 2001, EN 61000-4-2, Electromagnetic compatibility (EMC), Part 4-2, Testing, and measurement techniques, Electrostatic.
- [6] discharge immunity test, based on IEC 61000-4-2.
- [7] ESD Association, 1999, ANSI/ESD STM5.2-1999, Electrostatic Discharge Sensitivity Testing, Machine Model (MM) Component Level, ESD Association.
- [8] JEDEC Solid State Technology Association, 1997, JESD22-A115-A, Electrostatic Discharge (ESD) Sensitivity Testing Machine Model (MM), EIA/JEDEC.
- [9] Automotive Electronics Council, 2001, AEC-Q100-003, Machine Model Electrostatic Discharge Test, Rev F.
- [10] ESD Association, 1999, ANSI/ESD STM5.3.1-1999, Standard Test Method for Electrostatic Discharge Sensitivity Testing, Charged Device Model (CDM) Component Level.
- [11] JEDEC Solid State Technology Association, 2000, JESD22-(2101-A, Field-Induced Charged-Device Model Test Method for Electrostatic Discharge-Withstand Thresholds of Microelectronic Components, EIA/JEDEC.
- [12] Automotive Electronics Council, 2001, AEC-Q100-011 Rev. A, Charged Device Model Electrostatic Discharge Test.
- [13] ESD Association, 2004, ANSI/ESD SP5.5.1-2004, Electrostatic Discharge Sensitivity Testing Transmission Line Pulse (TLP) Component Level.
- [14] <http://global.ihs.com/>, HIS Global, source for official IBIS standards including EIA-656-A, and IEC 620 14-1 (search IBIS).
- [15] <http://www.iec.ch/>, International Electrotechnical Commission (IEC), IEC 62014-1 (search IBIS)
- [16] <http://www.eigroup.org/ibis/>, Official EIA IBIS Open Forum home page (links to documents, tools, IBIS models, current development, and validation activities, and much more)
- [17] <http://www.eda.org/pub/ibis/directory.html>, Storage location of many EIA IBIS Open Forum documents, e-mail archives, meeting minutes, and many public utilities)
- [18] <http://www.eda.org/pub/ibis/summits/>, IBIS summit meeting presentations, and minutes
<http://www.teraspeed.com/ibis-resources.htm> Teraspeed Consulting Group, LLC, IBIS Resources link with extensive information for IBIS models, utilities, documents, tutorials, articles, books, committee documents, company application notes, and commercial resources.
- [19] EIAJ ED-5302, Standard for I/O Model for Integrated Circuits (IMIC) IEC TR62014-3, Electronic design automation libraries, Part 3, Models of integrated circuits for EM1 behavioral simulation.
- [20] IEC 62014-1, 2001, Electronic design automation libraries, Part 1, Input/output buffer information specifications (IBIS).
- [21] International Electro-technical Commission, IEC/TR 62014-3 Ed. 1.0, Electronic design automation libraries, Part 3, Models of integrated circuits for EM1 behavioral simulation, 2002.
- [22] IEC 61967-6 Ed. 1.0, Integrated circuits, Measurement of electromagnetic emissions, 150 kHz to 1 GHz, Part 6, Measurement of conducted emissions, Magnetic probe method, June 2002.
- [23] IEC 61967-4 Ed. 1.0, 2002, Integrated circuits, Measurement of electromagnetic emissions, 150 kHz to 1 GHz,

Part 4, Measurement of conducted emissions, 1 ohm/150 ohm direct coupling method.

[24] IEC 62132-4, Integrated Circuits, Measurement of Electromagnetic Immunity, 150 kHz to 1 GHz, Part 4, Direct RF Power Injection Method, 47A/625/NP, 47A/691/CDV.

[25] IEC 47A/526/NP, IEC 62132 part 3, 2001, Direct power injection to measure immunity against conducted disturbances of integrated circuits up to 1 GHz, www.icc.ch.

第 6 章 案例研究——EMC 测试芯片、低发射的微控制器

摘要：本章收集了一些集成电路电磁兼容的案例，并使用标准方法对几个 IC 制造商的微控制器的骚扰发射和抗扰度进行了测试，还使用宏模型逼近的方法对其进行了预测。本章还介绍了用于刻画内部开关噪声和验证低发射设计技术的专用测试芯片。

关键词：测试芯片；微控制器骚扰发射；微控制器敏感度；内部电流切换；低骚扰发射设计准则

1. 用于表征传导和辐射发射特性的意法半导体公司的测试芯片

1.1 概述

名为 CESAME 的测试芯片可以用来鉴定 6 个相同的逻辑内核模块（每个模块都具有特定的设计技术以减少寄生发射）的传导发射和辐射发射（Vrignon, 2004a,2004b,2005）。

该测试芯片的首要目的是验证这些设计规则的有效性，并依据所减少的寄生干扰来量化设计带来的益处。其次是通过对内核模型进行的改进，预测设计上的变动对于发射电平的影响。表 6-1 给出了意法半导体测试芯片的一些具体信息。

一个标准逻辑模块经历了几个版本的完善，其中每个版本都有设计或者工艺上的改进。通过在同一芯片上集成 6 个相似的模块，就能够进行定性和定量的比较。

表 6-1 CESAME 测试芯片的信息

名 称	CESAME
	意法半导体，法国
主要合作伙伴	LESIA, INSA 图卢兹，法国 MESDIE 项目（Medea+A509）
设计负责人	L. Courau, 意法半导体，输入/输出与模拟实验室，Crolles，法国
网址	www.st.com, www.ic-emc.org
工艺	CMOS 0.18μm，意法半导体
晶粒尺寸	3.3 mm×3.3 mm
封装	144-pins TQFP, 20 mm ×20 mm
复杂度	700 000 只晶体管，分布于 6 个逻辑模块
电路目的	低发射的示范产品
完成时间	2002 ~ 2004

所有这些模块都具有表征标准内核活性的相同结构。为了研究能降低发射电平的设计方案，每个版本都有它自己的布线方法。每个模块都有一个专用的供电部分，这样就可以单独研究其内部的电流损耗了。

为了研究电压起伏和降低电源和地线间的瞬变电流，每一个逻辑模块都连接有芯片上的电压传感器。CESAME 的设计图如图 6-1 所示。它包括 700 000 只晶体管，晶粒尺寸为 $3310\mu\text{m} \times 3310\mu\text{m}$ ，相应的表面积为 11mm^2 。

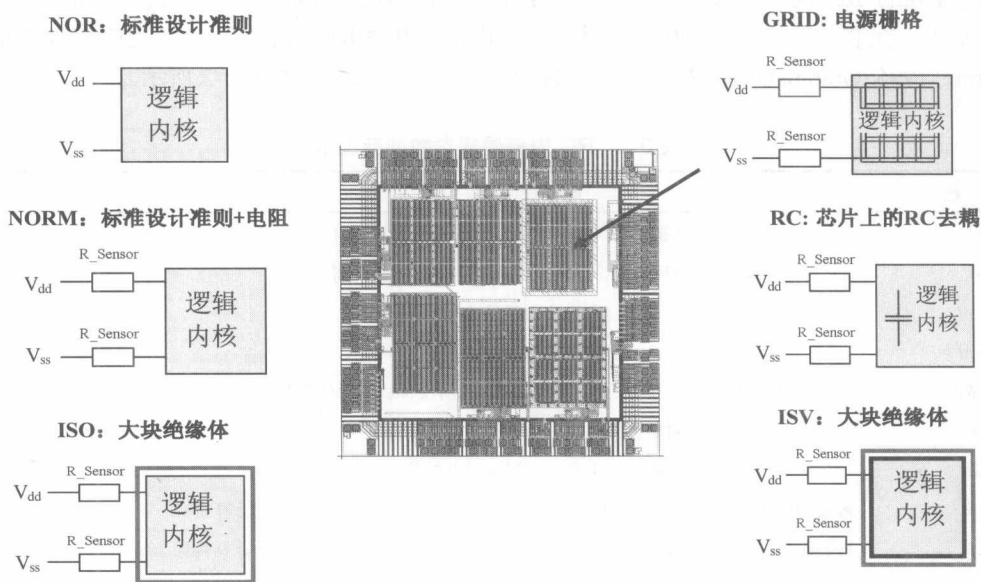


图 6-1 CESAME 测试芯片的内部模块

第一个逻辑内核 (NOR) 是一个没有采用专门降低噪声措施的标准内核。在 NORM 内核中的电源部分加入了两个 1.7Ω 的电阻。ISO 和 ISV 内核在掩埋层有专门的绝缘体。GRID 内核使用了电源栅格，RC 内核集成了一个分布式的去耦电容，其大小相当于 1nF 。除了 NOR 内核外，其他模块都在电源部分加入了两个 1.7Ω 的串联电阻。

1.2 基于 ICEM 的模型

建模的目的是为了对内部电流损耗进行足够精确的估计以优化设计平面图和电源焊点，使寄生发射保持在尽可能低的程度。电路建模的方法是基于 ICEM 的 (IEC 62014-3)。芯片的模块可以分成以下几个部分：电路板、封装、I/O 衬底、片上供电干线的内核全阻抗，片上切换电流 (如图 6-2 所示)。所有这些模块都需用电阻 R 、电感 L 和电容 C 这些元件来建模。与全阻抗相连的电流发生器就代表逻辑内核。

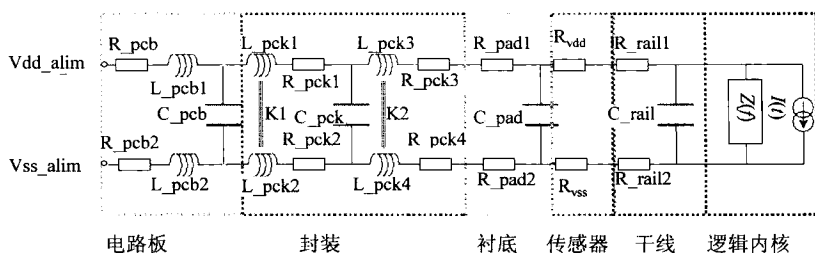


图 6-2 CESAME 测试芯片的全部模块

可使用 SPICE 模拟器来得到电流源。将结果保存为一个文件，可在综合噪声仿真中用做一个分段线性发生器。也可以使用三角形脉冲来估计电流峰值。全阻抗 $Z(f)$ 是由内核的交流分析推导得到的。

供电互联的 RC 网络的尺寸参数主要决定于后布置的提取或使用分析公式的计算，以及电路的物理尺寸。在芯片内有很长的电源走线的情况下，串联电感 L_{vdd} 和 L_{vss} 也应该被考虑在内 (Delorme, 1996; Grabinski, 1998)。芯片参数和封装的一些典型值如表 6-2 所示。

表 6-2 RC 内核建模参数的典型值

参 数	描 述	典型值
$I(t)$	内核电流，使用瞬时 SPICE 仿真计算得到	400 mA
$Z(f)$	内核阻抗，使用 AC SPICE 仿真计算得到	100 pF
C_{rail}	片上耦合电容，由设计后期的仿真获得	1 nF
R_{rail}	片上传感器电阻 (校准模式)	1.7 Ω
R_{vdd}, R_{vss}	片上串联电阻 (可加入感应系数)，由设计后期的仿真获得	1 Ω
R_{pad}	衬垫接入电阻，由设计后期的仿真获得	0.1 Ω
C_{pad}	衬垫接入电容，由设计后期的仿真获得	10 pF
R_{pck}	封装的串联接入电容，使用电磁场 CAD 工具 (HFSS 和 EMC 2000) 计算得到	0.3 Ω
L_{pck}	封装的串联接入电感，使用电磁场 CAD 工具 (HFSS 和 EMC 2000) 计算得到	6 nH
$K1, K2$	接入电感间的耦合，使用电磁场 CAD 工具 (HFSS 和 EMC 2000) 计算得到	60%
C_{pck}	封装供电耦合，使用电磁场 CAD 工具 (HFSS 和 EMC 2000) 计算得到	0.6 pF

在检索到波形电流和电路的等效功率/接地阻抗后，用仿真可以模拟位于封装内部的模块的真实供电波动和电流损耗 (如图 6-3 所示)。由于输入/输出有其专门的电源，故不用将 I/O 对数据和时钟信号的响应考虑在内。但是这些参数也能够很容易地加到仿真中来。

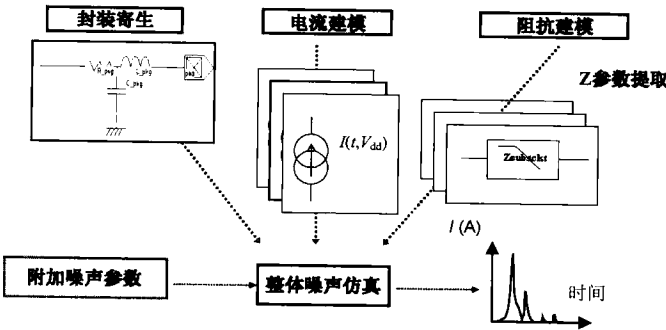


图 6-3 整体噪声仿真

1.3 测量

测试芯片被置于 TQFP144 封装上，其成本低廉而且使用方便。一块名为 ALI 的专用板被设计用来进行传导、辐射和粗略的片上测量 (如图 6-4 所示)。

使用片上传感器，可以在芯片内部的供电线路上直接测量电流峰值。如图 6-5 所示，GRID、NORM 和 ISV 内核在 V_{DD} 端激励出最高的电流峰值，ISO 和 RC 内核则是产生最小噪声的模块。

与使用标准的 NORM 内核相比，通过使用去耦电容（RC 内核）使得电流峰值下降了 60%。图 6-6 中的 1-Ω 测量确认了这些结果。

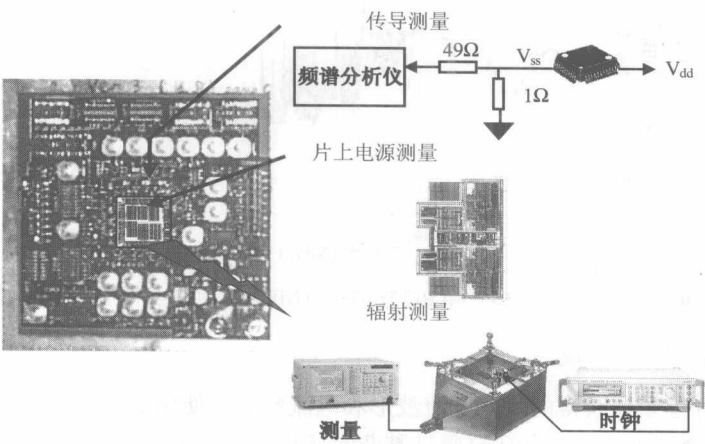


图 6-4 使用片上电流和 EMI 测量法的 CESAME 测试板

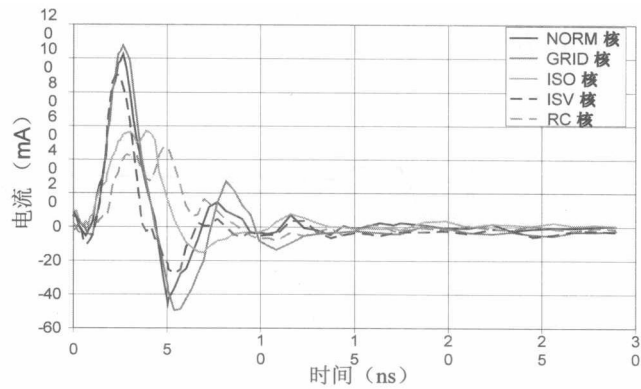


图 6-5 用片上传感器测出的 V_{DD} 供电线路上 100%工作的电流流动

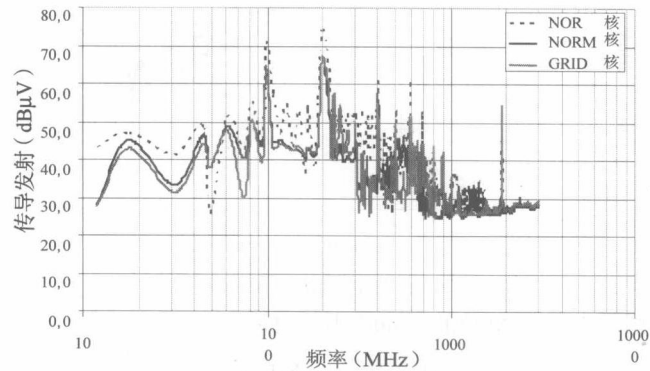


图 6-6 对应 100%工作的 NOR、NORM、GRID 内核的 100 MHz 时钟和 20 MHz 数据的传导噪声频谱

与所有其他内核的传导发射相比，RC 内核的传导发射显著偏低（参见图 6-7），尤其是在从 200MHz 到 600MHz（即对应以容性影响为主导时的频率）的时钟谐波处。

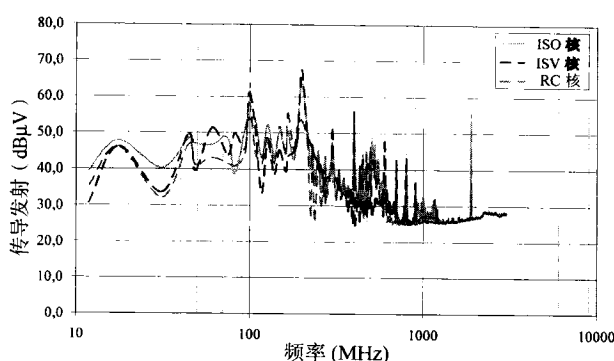
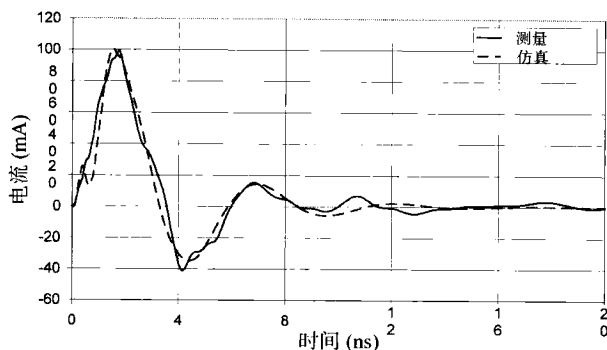


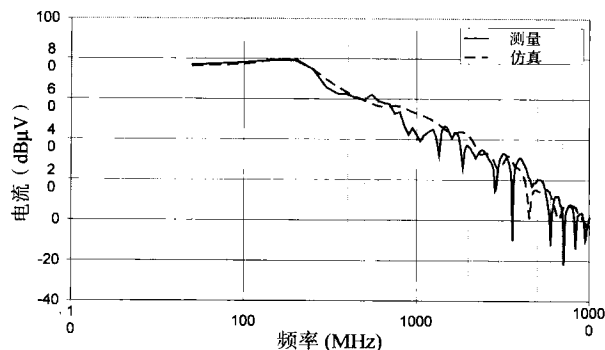
图 6-7 对应 100%工作的 ISO、ISV 和 RC 核内 100 MHz 时钟和 20 MHz 数据的传导噪声频谱

1.4 测量和仿真间的比较

图 6-8 为通过片上采样获得的瞬变电流波形和电流频谱与使用如图 6-2 所示的 ICEM 模型仿真的比较结果。电流预测无论在时域还是频域都非常接近测量结果。



(a) 时域结果



(b) 由 FFT 算出的频域结果

图 6-8 NORM 核的 Rvdd 的片上电流的测量与仿真的比较

通过在晶粒的 Vss 端和基板的 Vss 端之间接入一个电容（大小为 1 pF）可以修正从 700 MHz 到 1.5 GHz 之间的差异，这种差异反映了晶粒和印制电路板返回参考之间的物理耦合。比较传导发射的测量和仿真也可以得到类似的结果。在这种情况下，1-Ω测量的模型被加入了 CESAME 模型。通过改变 C_rail 和 R_rail 两个模型参数，片上去耦电容和串联电阻（RC 内核）的优点也可以被很好地模拟出来。

1.5 结论

正是由于测试芯片采用了 0.18μm 的 CMOS 工艺，使得 V_{DD} 供电的电流峰值以很高的精度被表现了出来。与片上电流的测试结果相比，可以看到内部的电流转换也被精确地模拟了出来。

使用片上去耦电容和串联电阻这些减少电磁发射的技术的效果在时域和频域都被量化地表现出来了。在传导发射中，测得的噪声频谱显著减少。用于噪声频谱预测的基于 ICEM 的完整模型已经被开发出来，该模型包括内核、封装和探针。片上电流的仿真和测试结果可以很好地吻合直至 10GHz。

2. 飞利浦测试芯片：SI 和 EMC 测量疑问的多参数分析

2.1 目标

一些 IC 设计机构、制造商和硅片生产商都有 SI 和 EMC 的准则，但是各种测量之间可能的相互影响通常却不为人所知。为了评估目前已知的 EMC 设计准则和研究一些新的测量方法（如电网调整、外围供电和衰减基片间的电阻等），已经开发出了专门的 EMC 测试芯片（Coenen, 2003）。

使用实验设计（Design-of-Experiments，DoE）的一种多参数的分析技术已经被开发出来，并最终取得了良好的结果（Box, 1978, Padke 1989）。这种方法不是那种在一次实验过程中的所谓“一次一个参数”（One Factor At a Time, OFAT）的变动。进行的实验涉及分别对应于 7 个响应的 8 个内核和 5 个外围参数，这就意味着共有 $7 \times (3^8 + 3^5) = 47\,628$ 种关联情况。

第一块 EMC 测试芯片（如表 6-3 所示）是使用 C075（0.35 μm CMOS）工艺来设计的。在该项目初期，可以使用合适的 RF 装置来建模。EMC 测试芯片的评测结果包含在片上 EMC C075 和较新的加工工艺设计规则中。

表 6-3 多参数测试芯片的信息

芯片名称	多参数
主要合作伙伴	飞利浦
设计领导者	Mart Coenen
网址	www.philips.com
工艺	Philips de 0.35μm CMOS
晶粒尺寸	15 mm ²
封装	QFP44
复杂度	380k 晶体管
电路目的	用于减少 EMC 的多参数分析
时间	2000

EMC 测试芯片使用多参数的实验设计（Design-of-Experiment，DoE）的统计方法来定义和测量。使用 DoE 方法能够只通过较少的实验来研究大量的因素或参数。可使用以下两个措施约束排列的数目：使需要的 IC 测试样品的数目最小化；控制测试/测量和仿真所需的时间。

2.2 测试芯片介绍

所有的参数（在 DoE 方法中叫做因素）都将在三个平面来研究，如图 6-9 所示。选择三个平面作为一个选项，就可以进行比线性模式（只有两个或一个平面被放入排列）更高次的分析。通

过选择合适的参数排列,就能够使实验很好地均衡各方面影响(Box,1978)。可以对 EMC 测试芯片内部的控制时钟进行一些参数设置,这些参数不能靠外部控制电压来设置,而是在专门的硬件模块中实现的。

对 EMC 测试芯片所采取的作为片外效应的响应测量包括:供电电流、供电电流衍生物、内核的接地起伏,以及 I/O 和基底间的电压落差。对于片上效应,标准的内核供电电压和供电电压纹波将被作为响应参数。

片上供电网络内(单元电压)的电压变化将被测量和仿真,用以观测其详细功用的极限情况。

EMC 测试芯片用到的 PCB 是根据 IEC 61967—1 和 IEC 62132—1 的要求设计的,满足各种 IEC 标准化的 EMC 测试设置。通过采用所有 PCB 应用排列模式的 RF 发射频谱的参数,TEM 小室和 WBFC 可以满足在频域对可执行的测量进行进一步的研究。

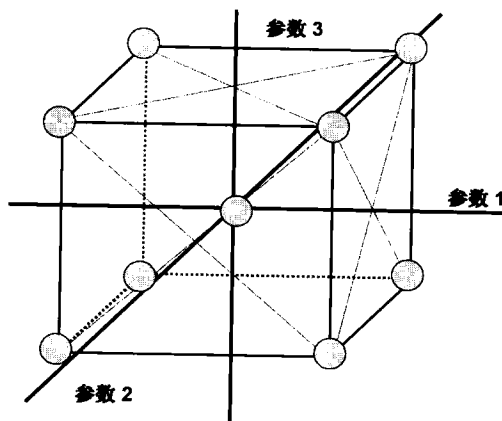


图 6-9 三个平面的实验空间

2.3 统计法

首先,收集所有已知的与片上相关的问题。选取的因素、参数和它们的响应都是相互正交或者独立的。对于所有选取的变量或因素,研究的范围必须考虑达到实用的级别,以便能够对交互作用的建立进行内插和外推。例如,片上去耦将会在数量上和位置上进行考察。而且去耦的类型(=RC 时间常数)也应该被考虑到,但是这一点并没有在该测试芯片上得以体现。供电网络只是在轨迹宽度上进行了排列,没有考虑到相互间距。然后由于片上的去耦和供电网络不会相互影响,所以这三个因素的所有排列($3 \times 3 = 9$ 个功能上相同的内核)都将被执行。

片上去耦和片外去耦之间会相互影响。需要的去耦量由功率、时钟速度和时钟树的驱动能力来决定。而且在时钟树外部的信号斜率也会影响内核的响应。

对于输出驱动器,将在它们转动和不转的情况下进行检查。我们已经知道,转动下的驱动器产生的 dI/dt 要比不转动时产生的少。在输出驱动器与共衬底(取决于库)分离的最后阶段有可能会发生共振现象,这是因为如果将引导结构、封装电感和外部的电容性负载合起来考虑时,在输出电路表面和基底之间会产生寄生电容,就有可能发生共振现象。为了控制这种共振现象,在 V_{SSIS} (基底)和 V_{SSSE} 之间加入了电阻。输出驱动器的外部负载会影响到驱动器的 dI/dt 。

内部的时钟驱动器可能会从一个平缓的斜率变化到一个较陡的坡度。我们知道,不是所有的逻辑门都有相同的转换门限电平,这会造成峰值电流出的时间上的较宽延展。几个时钟域间预期的时钟脉冲相位差可以被用来在一段较长时间进一步消去峰值电流。在双稳态多谐振荡器间所使

用的逻辑链的逻辑深度也决定了对峰值电流的消除。

EMC 测试芯片的占空比可以在 0（选取 25%为最小值）至 100%间变化，这取决于数据内容和要执行的操作⁵。由于 IC 在运行所有功能时还必须符合 EMC 限值的要求，就对占空比的影响做了进一步的研究。电源电压波动会影响到传输速度和交叉电流。

2.4 可测量的参数

为了使测量和仿真的结果具有可比性，响应的定义必须在这两个方面是唯一的而且是明确的。

显而易见，由于所有 EMC 测试芯片设计图的节点都可见，从仿真结果中可以获得比测试更多的参数来进行分析。

虽然信号的完整性测试（SI）是在片上进行的，然而大部分的 EMC 测量是在片外进行的。为了能够测量单元的供电电压（差分测量），根据所给定的各种排列在内核区域又加入了几个专门的焊点。关于片上效应的片外响应的测量，如基底噪声，需要在时域和频域对结果进行分解。

为了能够进行大型 IC 的仿真，必须使用宏模型，如图 6-10 所示，可以使用 SPICE 模拟器，Pstar（飞利浦模拟仿真工具）或者 Spectre 对整个芯片进行模拟仿真。为了达到这一目的，可以通过一个单独的实验找出与所得到的响应相关的电路和拓扑的细节需求。从使用的内核设计上，可以清楚地看到，可以使用一个子电路来代表一个子内核，但是不可以用有源电路要有供电网络的（负）反馈这一需求来过渡简化整个供电网络。在这个实验中，供电网络的参数源自 GDS2 文件。根据经验，要将与远远超过实际供电电压的电路响应相关的通向“源”的负反馈排除在外。

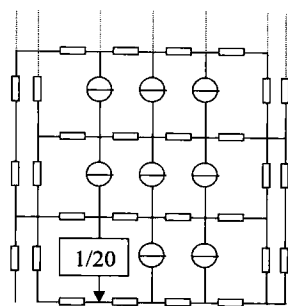


图 6-10 用来仿真的宏模型

2.5 参数范围的编码和译码

需要通过对所有参数的编码来得到一个很均衡的统计方法，其重要性仅次于参数和其响应的选择。

参数的所有高、低、中的上下限条件被编码为-1, 0, 1，即便参数在范围内有变化（线性或对数刻度），编码也与范围无关。根据这些归一化参数，就可以得到他们和每种响应之间的关系（回归），各有一均值和偏差。归一化的过程需要所有的参数都必须是可量化的、连续的、递增的。

由于有 8 个主要的参数（细分为 5 个和 3 个共两组，分别对应 46 个和 15 个实验），他们的线性、平方和相互间的线性交叉都可能会对最终的响应造成影响。根据对响应的影响有一个较低的下限（如 5%）的 Pareto 分析法，出于优化的目的，最主要的参数和其间的相互影响都要考虑在最终的方程中，见图 6-10。

此外，当一个参数以平方或者与其他参数的相互影响出现时，线性参数也必须考虑入内。从图 6-11 中的响应例子 I_{peak} 中可以看出，在第七和第九的位置，交叉的相互影响变得很明显。从图 6-11 中还可以看出，当峰值电流出现时，外部去耦合的影响最为显著。

此外，片上去耦、供电网络电阻率和外部去耦这三个因素对于响应的影响比线性次序的影响

要大。所应用的参数范围决定了二次方程近似是否足以表示相互间的影响。

然后，对 7 个响应中的每一个进行加权（按照对结果所产生的重要性的顺序：EMC、速度、鲁棒性、低功率等），得出参数的最优整体设置以保证最优整体响应。因此，也可以对加权进行归一化或选取最主要的响应。

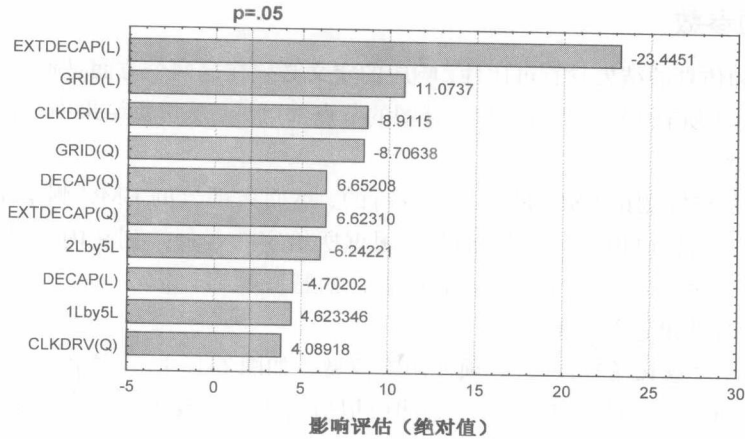


图 6-11 电流峰值响应的帕累托图

在图 6-12 中，给出了通过第一个实验得到的仿真结果和测试结果的相关性，涉及了 5 个主要相关因素。尽管 80% 的相关性已经相当不错了，但还是发现了能够进一步提高相关性的一些因素。因此，对所使用的归一化方程进行解码就可以得出每个参数的实际最优设置。此外，在平均值及其偏差都已知的情况下，可以根据这些关系的上下限来判断是否为最优状态（如使用 Monte-Carlo 仿真）。最优状态的判断也可以通过各种相互影响的平面响应图来观察到。这些图（使用来自 Statsoft © 的 Statistica）也能够展示在实验选取的范围的以外是否还有其他更好的最优值。

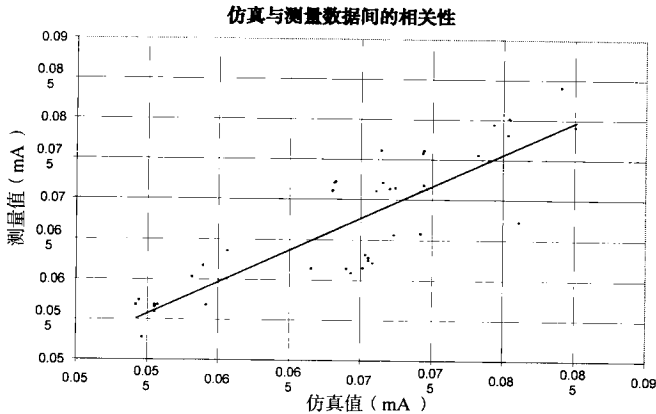
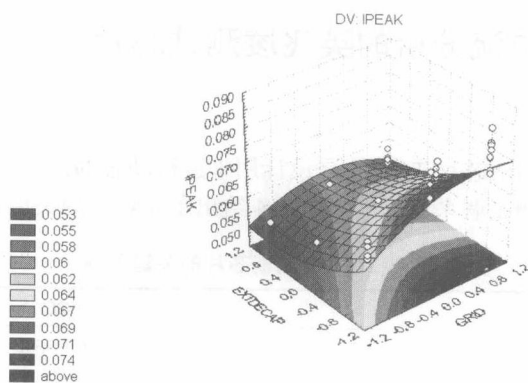


图 6-12 对于多种排列的峰值供电内核电流的测量与仿真的相关性

图 6-13 给出了峰值电流的 3D 表面图，该图是在三个参数为固定值，以其他两个参数为函数绘制出来的。正如在鞍型曲线中看到的，出于各种可能性的考虑，都可认为马鞍形两端的暗绿色区域是最优值。对于上面的函数，图的左侧是最低的一侧。但是对于其他的响应来说，这是否也是最优状态就有待考察了。

图 6-13 I_{peak} 响应的 3D 平面图

2.6 彻底分析

由于整个 EMC 测试芯片的实验不是公众性的，所以使用的各种参数和变量间的相互关系依赖于以下几个因素：

- 硅片制造厂 IC 工艺的选择；
- 设计原理（结构上的）；
- 使用电路库。

由于仿真结果和测试结果间的较好的相关性，证明我们所使用的方法对于其他工艺也是适用的，如没有外延层的高阻基底和有外延层的低阻抗基底。

对于统计分析，使用的是 Statistica Statsoft 的 Experimental Design 工具。对于最优化过程，使用的是 Compact 的 CQM 工具。微软的 Excel 电子表格被用来进行更进一步的分析。后者对于根据统计分析所得的相互关系信息所进行的各种“假设”最优化的研究是非常有用的。

2.7 结论

- 模拟结果和测量结果间的总的相关性相当好，临界响应的相关性因数达到了 0.8。
- 在 EMC 测试最优化的参数设置和其他需要得到的最理想的信号完整性性能（如鲁棒性）之间，似乎没有真正的冲突。因此，可以得到一个结论，即最小的单元电压受实验其他参数设置的影响最大。
- 在标准单元中所出现的最小单元电压比从静态的 IR-下降计算出的值要小很多。基于鲁棒性的考虑，单元电压的纹波或最小的单元电压都可以被最优化。
- Box-Behnken 的实验设置更加适合应用于类似 Taguchi 这类的复杂多参数设计的分析，这主要是由于其已经确立了均衡性的实验并且所产生的影响也不太混乱。
- 当各种参数间的关系、相互作用和它们相互间的响应都是未知时，显然需要对每个参数使用（至少）三个平面来设置实验，而且实验的设置应为实际设计的上下限。
- 在参数所选范围的离散设置里，响应会受到 12 倍的影响（一般是对 di/dt 、基底噪声梯度和接地起伏）。考虑到每个范围内的参数的连续值，实验的上下限会造成在最差和最好情况间 1:50 的比率。
- 在给定的范围外，允许对参数和他们的响应的进一步外推，这就意味着可以在更大的区域进行改进。
- 结果表明，片外测试对于最小化 RF 发射和提高对于内核供电系统的 RF 抗扰度是尤为重要的。

3. 用于内部转换电流分析的英飞凌测试芯片

3.1 目标

用于分析切换电流的测试芯片 TASC，是设计用来进行动态的片上电压和电流测量，并将这些测量和频域内的电磁发射测量联系起来的。表 6-4 给出了 TASC 的关键参数。

表 6-4 TASC 测试芯片的关键参数

名 称	TASC
主要合作伙伴	英飞凌，MESDIE 工程
设计领导者	T. Steinecke
网址	www.infineon.com
工艺	0.13μm CMOS, Infineon
复杂度	150 000 晶体管
晶粒尺寸	11.5 mm ²
封装	CLCC-68
电路目的	低发射的示范产品
周期	2002 ~ 2004

3.2 介绍

所有的 TASC 活动都是在 MEDEA+的结构中，作为欧洲基金计划（MESDIE-A509）的一部分来进行的。TASC 芯片的首要目的是解决相关行为的发射模型在切换电流测量方面的困难。TASC 测量结果对行为模型在细节上和质量上都有所改进。这些行为模型仍然处于功能性模块的水平，被称为 ECS（Equivalent Current Sources，等效电流源）。ECS 是 ICEM 模型的前期阶段，而 ICEM 模型可以描述一个包括封装的完整 IC 的动态切换电流和噪声耦合路径。为了满足这些目标，TASC 必须具备以下几个新的设计特征。

- 在 10μA 范围内以 10ps 时间分辨率进行电流测量的具有高灵敏度和噪声鲁棒性的片上传感器设计。
- 能够提供多样性设置的规则扩展性门阵列的设计，以覆盖从单一门到逻辑模块的切换电流。
- 进行测试芯片配置和测试控制时的易于使用的用户界面。

3.3 发射模型的结构

第 5 章已经详细讲述了发射模型。但是为了理解 TASC 芯片的结构，有必要知道其特殊的建模要求。一般来说，发射模型描述了简单或复杂的门阵列切换电流，且一般可认为门阵列是电磁发射噪声的根源。对于大的逻辑模块，除了噪声源外，还必须对噪声的传播路径必须建立很好的模型。芯片自身有其主电源的走线。IC 层面的发射模型也必须考虑到 IC 封装内部的电源结构。

因此，以下两个研究题目需并行展开：

- 逻辑门切换电流的分析描述（噪声源部分）；
- 电源走线的电感对开关噪声的影响（噪声传播部分）。

称功能模块的噪声源为“ECS”（Equivalent Current Sources，等效电流源）。由于功能模块由一些“并发”开关门组成，所以必须在时域对所有单一门的开关电流进行叠加来得到总的开关电流。尽管在现在的数字电路中，所有的双稳态多谐振荡器都是由高速主时钟沿来触发的，但是次

逻辑门可以通过组合逻辑为交互信号波动提供传播延时。这一效果可以启发我们对于数字逻辑中的逻辑深度的思考。所得到主时钟沿（将新的触发器状态注入次逻辑组）开关逻辑的切换电流脉冲是在明确的容性输出负载上由许多单一门切换电流叠加后的时延所形成的。图 6-14 表示了这种逻辑深度方法的基本原理。

通过分析同步时钟数字模块的门网络分布，所有的门都可以被赋予一个逻辑深度值（LD），在 LD=1 处，包含了所有的门，这些门至少从由主时钟控制的触发器的输入中直接接收到了其中之一。这种方法给每一个逻辑深度都赋予了一个时隙，因此在一个逻辑深度内的所有门都会同时开关。可用一个带有等效切换电流的单独逻辑门来代替这些同时开关的逻辑门。

所有这些逻辑深度阶段的等效门在时域的覆盖就产生了上面提到的等效电流源（ECS）。这是通过对仅包含等效门和其负载电容（图 6-14）的电路进行 SPICE 仿真而实现的。在模块级，供电电路的电感是可以忽略不计的（下面将会介绍）。

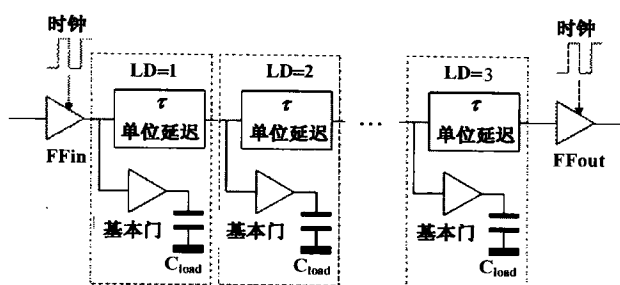


图 6-14 同步数字设计中的逻辑深度结构

简而言之，一个逻辑功能模块可以表示为 ECS。一个完整的 IC 由许多的 ECS 和其顶层的供电电路组成。供电系统通过粘合线或者凸点延伸到封装的引线框或者基底，最后延伸到封装的引脚或球脚。

这种复杂性导致了对发射模型不同复杂度等级的需要。图 6-15 显示了模块级的 ECS，芯片级的 ICEM1 和 ICEM2。一个或更多（假设有不可忽略的区域分布的大模块）的 ECS 模型表示了一个功能模块的切换电流。ICEM1 表示了一个完整的芯片，其上有许多的 ECS 通过表示为总 RLC 电路的总供电网络相连。

在 IC 的设计阶段，可使用 ICEM1 来得到最佳的模块布局、电源布线和在 IC 可行性和设计阶段的电源衬底分布。ICEM2 是一个发射模型的形式，以供想要运行系统级发射仿真的 IC 用户使用。

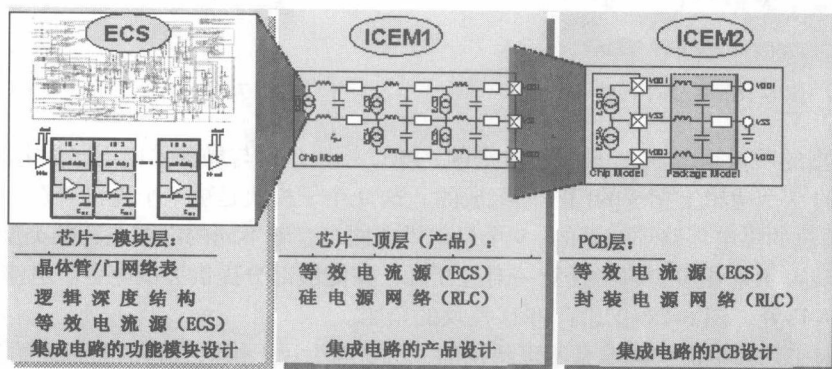


图 6-15 发射模型的类型

3.4 TASC 组成模块

TASC 芯片的作用是在模块级及在芯片级的 ICEM1(在 ICEM1 上有许多模块通过总电路相连)上能够对描述切换电流的等效电流源(ECS)进行验证。因此,就模型相关性而言,它包含以下两个主要的模块。

- EMI 模拟单元(EMU):包括标准单元的常规和非常规阵列,用以对模块级的 ECS 模型进行验证。
- 电源布线单元(PRU):由各种各样的局部和总体供电拓扑构成,用来评估各种供电方案,以及与芯片级 ICEM1 模型的相互关联。

此外,一个端口开关单元(PSU)包括 16 个可配置的衬底输出驱动器,可用以估算同步开关噪声。所有其他的 I/O 都用做配置和片上测量的控制界面信号。校准单元(CIT)用于进行传感器校正和布线电感的测量。

TASC 是使用 130 nm 的单井 CMOS 工艺来制造的,这一工艺是现代微控制器的最新技术发展水平的平台。TASC 设计图如图 6-16 所示。

为了评估 ECS 模型的质量,可能必须要测量系统级的开关门阵列。这是检验这一级别模型的唯一方法,该级别模型表示出了几乎为实际开关门的等效门。因此,EMU 模块总共由 2400 个逻辑门组成,由一个 8 逻辑深度(纵列)和 300 行的矩阵构建而成。行的数目和逻辑深度的数目可以取 1 以上的所有值。因此,可以只开一个门,并通过片上传感器测量它的切换电流。

2400 个逻辑门被分为 4 组不同的门类型:有着不同驱动强度的 3 组 NAND 逻辑门和一组混合逻辑门。NAND 门具有高质量的缩放相关性,但是混合门能够代表更加现实的功能模块。图 6-17 是 EMU 门矩阵的图解,在每一逻辑深度都有局部的电流传感器,在每一组还有总的电流传感器。由于使用了单井的 CMOS 工艺,所以只可以测量 V_{DD} 的电流。

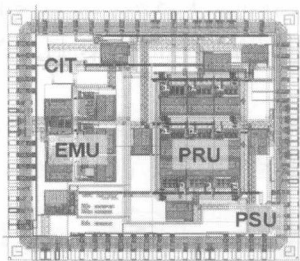


图 6-16 TASC 模块

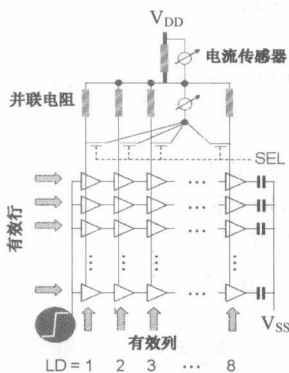


图 6-17 EMU 门矩阵

ICEM1 模型的质量是由 PRU 模块所决定的,PRU 模块是由与局部采用不同供电网络的 EMU 矩阵结构相似的 9 个逻辑上相等的门阵列组成的。这 9 个子模块是被一个连接着东、南、西、北 4 对供电引脚的总的供电环路环绕着的。9 个局部供电网络有着不同的内置电容的类型和数量。总的供电环路可以从 4 对供电引脚中任意一对上断开,并能够部分提供去耦电容。电流传感器被放置在每一电源入口处。图 6-18 给出了 PRU 模块的全图。

通路电感对于切换电流的影响是不可忽视的,这是因为片上供电线路的电感大约为 1nH/mm ,其数量级可与结合线电感相比。

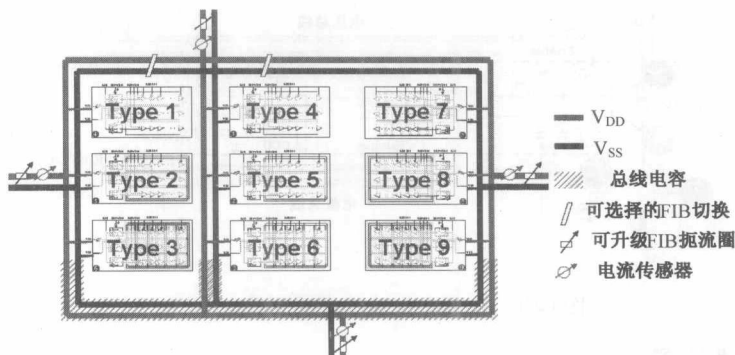


图 6-18 子模块矩阵

除了使用 TASC 进行供电电流测量之外，其最主要的任务就是对根据 GDS 布局数据的强效的电感算法进行改进。局部电感模型是通过基于后批注的结构连线表的 Fast Henry 工具来计算的。

3.5 TASC 电流传感器

片上电流传感器模块的作用是测量单个 CMOS 门或开关门群组的动态切换电流，测量范围为 $10\ \mu\text{A} \sim 100\ \text{mA}$ 。由于逻辑门的开关时间在 $100\ \text{ps}$ 的范围内，所以必须具备 $10\ \text{ps}$ 的时间分辨率。

在期望时隙的各个采样点处，使用“采样-保持”的测量原理，在所得到的曲线上，每次测量对于每个专门时间值都加入了一个电流值。图 6-19 显示的测量原理是之前已经介绍过的用于电压测量的测试芯片 (Delmas-Ben Dhia, 2000)。

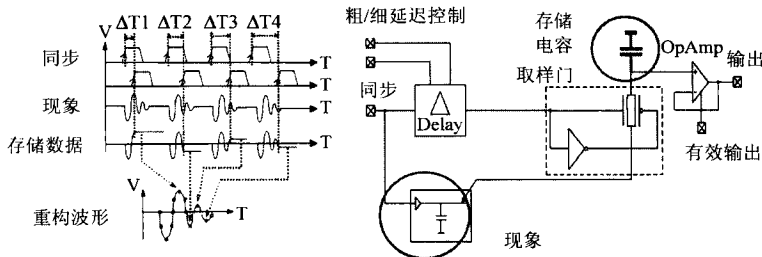


图 6-19 电压传感器测量原理

一次完整的测量需要大约 1000 采样点，这主要取决于所选用的时间分辨率。因此，开关现象是周期触发的，并且沿着我们所需的时间间隔对切换电流响应进行采样。由于电流值的变化发生在 $1\ \text{ps}$ 的范围内，采样门电路的设计必须采用特殊的设计手段，因此，对于采样逻辑门的电荷必须谨慎处理。

电流的测量是通过在一个 $500\ \text{m}\Omega$ 的分流电阻两端的电压测量来实现的。对于小的门群组来说，由于通过分流电阻后电压下降的典型值在 $100\ \mu\text{V}$ 的范围内，所以它必须经过后续电路的放大，才能够产生可以被片外电路评估的 $1\ \text{V}$ 范围内的输出信号。图 6-20 给出了 TASC 芯片上完整的电流传感器的概貌。

有效电流传感器的两个电压测量节点是通过“电压总线”VBUS 连接到 TASC 的 V_{OUTA} 和 V_{OUTB} 引脚的。单端输出位于 V_{SS} 参考端。在 I_{OUTA} 和 I_{OUTB} 引脚，被测电流的差分信号可以在 I_{OUTA} 和 I_{OUTB} 引脚处进行外部评估。

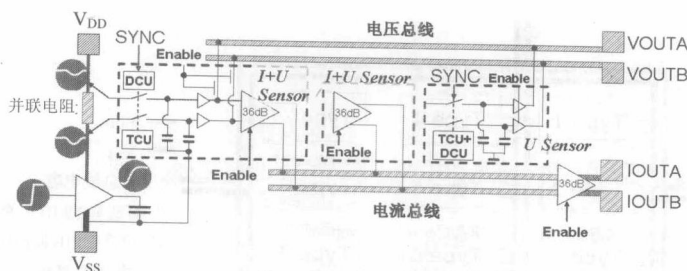


图 6-20 电压与电流的敏感和放大电路

3.6 TASC 测试装置

TASC 测试装置（如图.6-21 所示）包括测试芯片，承载测试芯片和电压调节器的测试板，功率放大器，振荡器和无源部分，安装在计算机内带有数字通信 IC 和 A/D、D/A 转换器的接口板，可运行控制和测量软件的 PC。

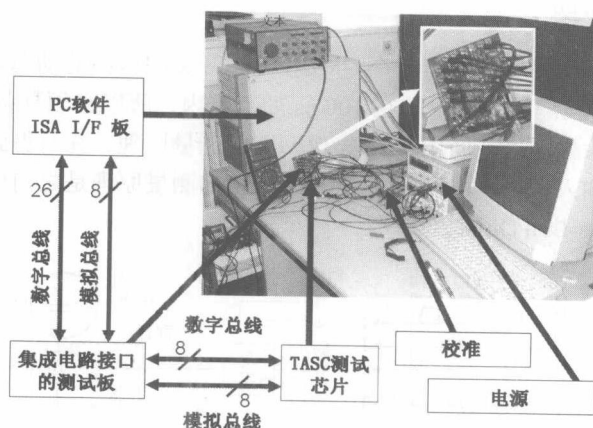


图 6-21 TASC 测试装置

用户软件通过向 TASC 的 JTAG 接口发送命令来对测试芯片进行配置。这些指令可以使测试模块出于工作或空闲状态，还可以选择电压和电流的测试节点。可以通过数字的“开始”和“就绪”线和采样延时的模拟控制电压来控制测试。如果需要，可在测试板上对电流和电压进行放大，然后通过 50Ω 的电缆被传输到 PC 接口。

除了时域的电压和电流测量，根据国际标准 IEC 61967，TASC 测试板也可以用来进行传导和辐射发射的测量。测试芯片是在内部朝向 TEM 小室内部的唯一部件。图 6-22 显示了大小为 4 英寸×4 英寸的测试板的顶视图和底视图。

用于时域测量的控制软件是严格契合测试模块的，程序运行后，如振荡器/PLL 和共模电流放大器的这些基本设置就已经在初始化窗口中配置完成了。对于片上传感器必须运行校准程序。芯片所特有的数据可以被存储为一个文件，当该芯片被再次测试时，可以重新加载这些数据。随后可以选择待测模块，并且通过探测点的选取和电压/电流的传感器的设置来加以配置。

测试数据通过软件进行处理并图示化在屏幕上。图 6-23 显示了由 8 个逻辑门所组成的链路切换电流（脉冲在上部）。顺序开关的门的延时电流脉冲的覆盖可以产生相对平缓的边沿、最大值及

更加缓慢的电流衰减。根据这个脉冲就可以计算出电流的导数 di/dt (di/dt 在下部)。

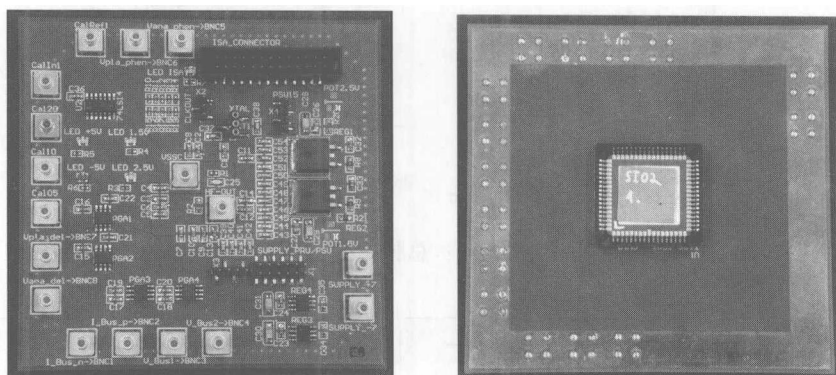


图 6-22 TASC 测试板 (顶层与底层)

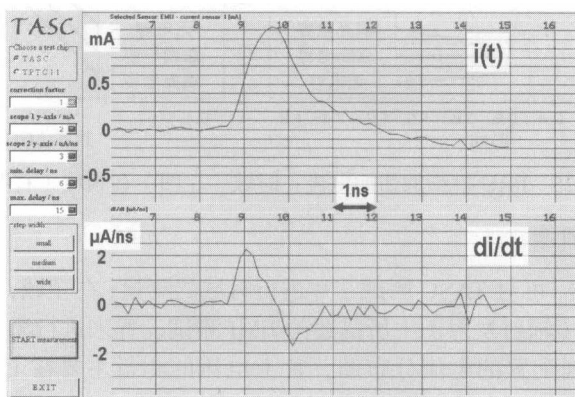


图 6-23 TASC 的电流测量

3.7 TASC 模块的仿真

TASC 测试芯片的用途是根据电流的配置进行切换电流的片上测量。开关逻辑门链路的数目和链接的影响 (如噪声源), 可以通过五个片上的 EMU 模块来评估。供电网络的影响 (噪声的传播途径) 是通过片上的 9 个 PRU 模块来评估的。

前面已经介绍过了 EMI 模型的基本结构。如果 TASC 测试芯片还不可以用于测量, 那么其构建模块就可以使用 SPICE 软件来仿真。EMU 模块的供电电流仿真可以将下列现象形象化: 沿着开关门逻辑深度的时钟脉冲传播延时和同时开关的门的电流脉冲叠加。图 6-24 的左图显示了总的供电电流脉冲, 右图是 EMU 模块中由 8 个混合门组成的链路中的每一个门的延时门电流脉冲。将所有单一门的切换电流相加计算可以得到门阵列总的切换电流, 所有单一门的切换电流的传播延迟时间也导致了门阵列总切换电流的延时。

不同的电源去耦合技术的发射性能在 TASC 的 PRU 1-9 模块上进行评估。图 6-25 表明了树形供电线路在没有任何电容、有总线电容及有总线加填充电容这三种情况下的不同。左图显示的是所产生的电源电流脉冲, 右图显示的是所产生的频谱。与所预料的一样, 如果在开关门附近没有电容, 那么动态切换电流的幅值大概可以增加 20%。因此, 发射峰值的幅值大概增加 6 dB。而且电流峰值还显示出了高频分量, 如在图 6-25 的左图中, 在 0.5 ns 至 0.6 ns 之间有其他的局部峰值。

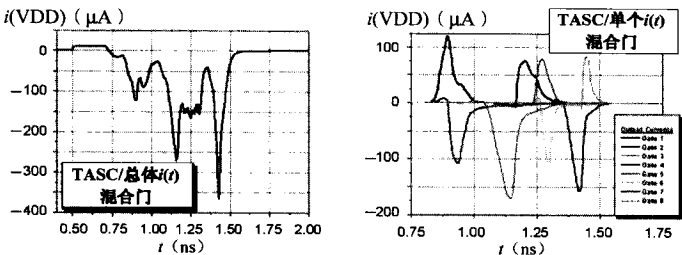


图 6-24 EMU 门阵列的切换电流：总脉冲（左图）和局部脉冲（右图）

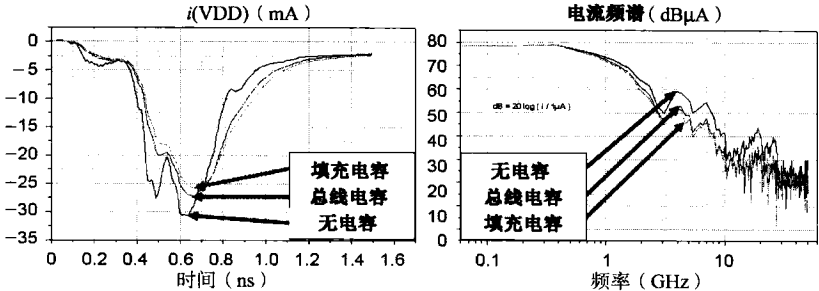


图 6-25 PRU 模型的切换电流：时域（左图）和频域（右图）

3.8 时域和频域的测量

通过使用片上传感器，可对 TASC 测试芯片进行时域的测量；在频域，则使用 IEC 61967-4（传导发射）和 IEC 61967-2（辐射发射）中所描述的 EMI 测试设置来进行测量。

为了得到不同门阵列配置的电流分布图，片上电流的测量主要在 EMU 测试模块上进行。其中，可变参数是逻辑深度及每个逻辑深度时门的开关动作。5 个 EMU 模块由有着不同的驱动性能的逻辑门组成。如图 6-26 所示是有着不同驱动强度和不同逻辑深度的两个切换电流群组的例子。

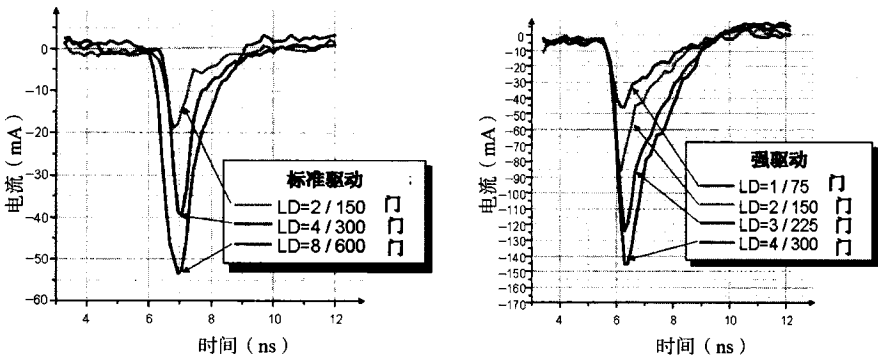


图 6-26 EMU 中测得的切换电流：标准驱动（左图）和强驱动（右图）

正如所预料的那样，将开关门的数目加倍，并不能产生一个加倍的切换电流峰值。峰值幅度主要取决于在所有有效开关门中的延时。

同时开关的门越多，电流峰值就越高；延时开关使得峰值减少，但是增加了电流峰值的间隔。除了时域的测量之外，对于增加的或更快的电流开关和所产生的电磁发射间的相关性的检验也是

很重要的。因此,根据国际标准(IEC 61967)中第二和第四部分,TASC 测试板可以用来进行传导和辐射发射的测量。

图 6-27 提供了两种发射的频谱覆盖图。上部的图显示的是在一个 PRU 模块工作和所有 PRU 模块都工作的情况下,供电网络上的传导发射。下部的图显示的是相同情况下的辐射发射。可以看出,开关逻辑中的无效部分可以极大地减小测得的发射值。因此,对于逻辑模块中的那些不使用的功能,可以将其时钟信号置于关闭,从而减少电磁发射。

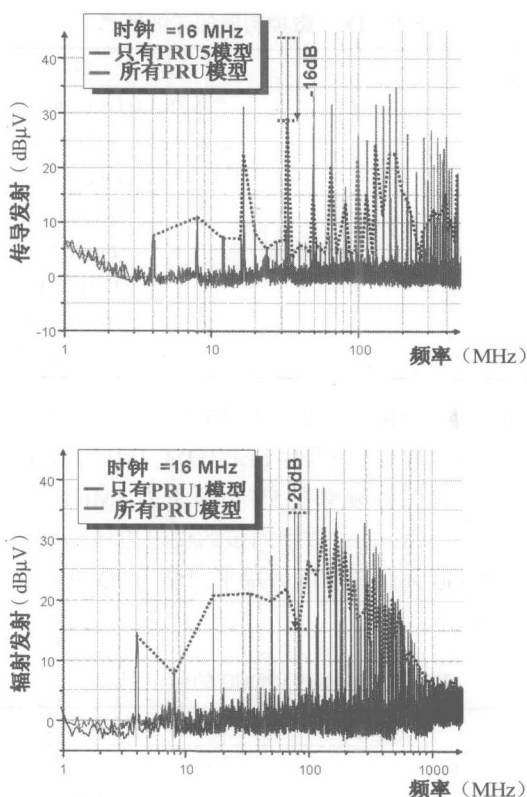


图 6-27 PRU 模型的传导发射 (上图) 和辐射发射 (下图)

3.9 结论

TASC 测试芯片为从单个门到众多个门的切换电流测量提供了许多途径。设计中最大的难点就是高灵敏度的片上电流传感器,该传感器需要将分流电阻上所测得的毫伏级的动态电压转换成模拟输出引脚上伏级的电压以馈给外部 A/D 转换器。为了实现这一目的,传感器需经过多次重新设计以期达到最优效果。此外,一个新版本的 TASC 已经可以测量 Vss 网络的动态电流了。

测试芯片改进版本的结果目前还不能应用。在下一轮的测量中,EMC 最优化的逻辑门库的研究将会是重点,片上采样和保持的传感器也已经被彻底重新设计。现在的传感器可以在 2 ps 数字时间分辨率下,提供 800 μA 的精度。通过片上模块进行模数转换之后,芯片的输出信号就只有数字信号了。

4. 飞思卡尔微控制器的传导发射特性

4.1 概述

本实验的目的是为了测量和仿真 68HC12 微控制器的传导寄生发射，着重输入/输出端口活动的影响。表 6-5 给出了该微控制器的详细信息。

表 6-5 D60 微控制器的详细信息

名 称	D60
主要合作伙伴	Motorola Gmbh, Motorola SSA
设计领导者	Joachim Kruecken, Motorola Gmbh, Munich
网址	www.freescale.com
工艺	0.25um, TSMC
晶粒尺寸	22mm×22mm
封装	112 针 TQFP
复杂度	16 位 CPU, 60kB flash EEPROM.
电路目的	传导发射的模型

MC68HC912D60 微控制单元（MCU）是一个 16 位设备，由标准的片上外围设备组成，包括 16 位 CPU(CPU12),2kB 的 RAM,60kB 的闪存 EEPROM,1kB 的 EEPROM.D60 的内核(CPU12) 是一种高速的 16 位的处理单元，其时钟频率在 5V 电压下为 8MHz。

电路所使用的工艺（CMOS 0.25 μm）对数字内核的供电电压是 2.5 V，此时 I/O 和接口外围电路的工作电压为 5 V。68HC912D60 采用薄型四方扁平封装（TQFP），有 112 个引脚，其中有一些是专门的供电电压引脚，见表 6-6。

表 6-6 68HC912D60 的供电引脚

名 称	详 述
V _{SS}	逻辑接地
V _{DD} /V _{SS}	部件的电压源
V _{DDX} /V _{SSX}	I/O 缓冲区的电压源
V _{DDPLL} /V _{SSPLL}	锁相环的电压源
V _{DDA} /V _{SSA}	ATD 的电压源
V _{RHX} /V _{R LX}	ATD 高低参考值
V _{FP}	Flash 内存的许可编程电压
V _{PP}	EEPROM 内存的许可编程电压

4.2 微控制器建议模型

建议的模型（如图 6-28 所示），是基于以前的工作（Lubineau, 2000; Ross, 2002）提出的，由 3 个模块组成。其中的两部分使用 ICEM 模型代替，并集成在了微控制器内部。

- 模块 1：相当于 68HC12 (I_s, C_b) 的内核、2.5V 电压的供电线路和与剩余模块的耦合。
- 模块 2：由电源为 $V_{DD}=5\text{ V}$ 的 I/O 和 0~5V 之间的 I/O 通信电压控制 V_{io} 组成。
- 模块 3：表示了与测量仪器（电缆，探头和示波器的输入阻抗）间的接口。

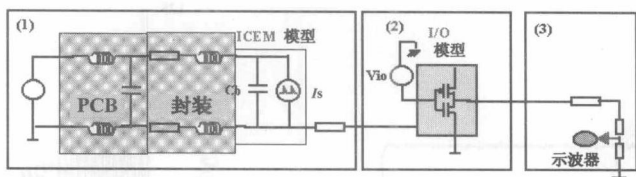


图 6-28 建议的模型

这里重点研究 I/O 的活动对寄生发射的影响。模块 2 的开关反相器会产生电流的峰值顶点，这是传导和辐射发射的主要来源之一。为了建立 I/O 模型，驱动器的直流特征必须与 68HC912D60 的 IBIS 数据相符。这里使用带有 nMOS 和 pMOS 的反相器和一个 SPICE 模型 3。将 MOS 信道长度固定为 $0.5\mu\text{m}$ ，宽度与 IBIS 信息相匹配，可以发现 $W=90\mu\text{m}$ 的 PMOS 和 $W=78\mu\text{m}$ 的 nMOS 都很好地符合了 IBIS 模型（如图 6-29 所示）。

仿真用到的软件工具如下所示。

- IC-Emc (Sicard, 2005): 基于简单的被动和主动元件绘制电路的逻辑和模拟图，并生成能够使用模拟器进行仿真的 (.cir) 文件。
- WinSpice3 (Smith, 2003): 用来仿真电路的静态和时域特征。WinSpice3 可以生成文本格式的仿真结果，经过后期的处理后可以用来跟测量结果进行比较。

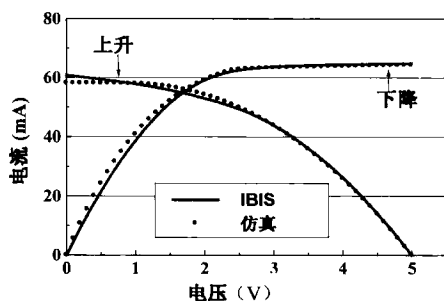


图 6-29 使用 SPICE 模型 3 的 nMOS 和 pMOS 符合 IBIS 的压流图

4.3 传导测量和仿真

测试使用的是飞思卡尔的评估板 M68EVB912D60，该测试板包括 4 层的 PCB，能够向 MC68HC912D60 的微控制器 (MCU) 提供接口和电源连接。微控制器中加载了测试程序，它能够以最高的速度 (2MHz) 的速度激活一个 I/O (PB0)。为了描绘开关噪声和验证 I/O 模型，必须对 PB0 处产生的信号进行探测。时域的测量结果见图 6-30。

在 PB0 引脚处所观察到的轻微电压振荡主要是由于 IC 的内部去耦合电容，以及封装和 PCB 造成的。

图 6-31 的频谱图对应于通过对时域示波器信息进行快速傅里叶变换而得到的时域测量结果。在这张图中，80 MHz 左右的谐波电平稍微高于整个衰减的下降趋势，这进一步印证了时域测量所观察到的结果。

实际上，由于微处理器布线的寄生电感的存在，电源线路两端的强烈而快速的电流变化会对内部电源电压造成极大的波动。从物理角度考虑，这些电感相当于是连接芯片和盒子的焊线，外壳引线或印制电路板的走线 (Schuster, 2000)。

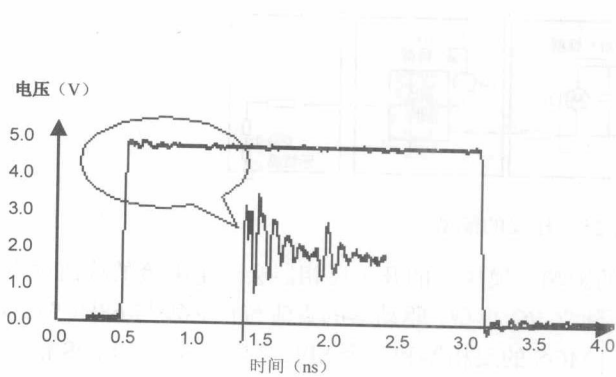


图 6-30 PB0 上的信号测量

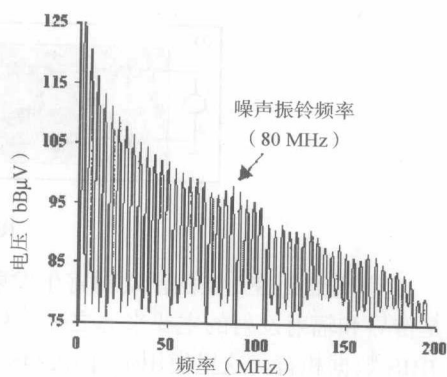


图 6-31 PB0 上所测信号的频域谱图

在如图 6-32 所示的最终 I/O 模型中，串联电阻 Rb1，Rb2，Rb3 和 Rb4 用来吸收一部分流过 MOS 装置的电流，根据示波器所观察到的时域波形，这样会造成输出电压的下降。从物理角度而言，正是由于这些串联电阻所以才需要在片上有长的金属供电线。

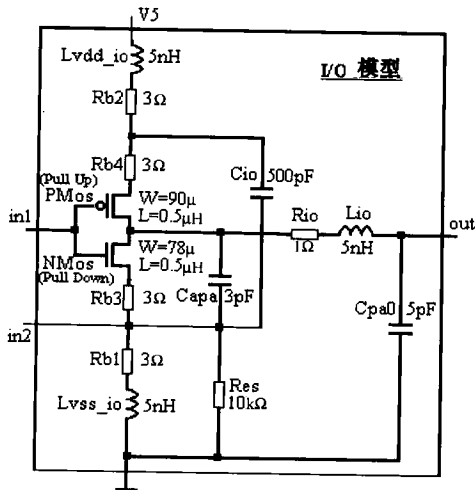


图 6-32 I/O 的建议模型

经过对建议模型（ICEM 和 I/O）几次修改后，图 6-33 为使用 WinSpice 得到的 I/O 开关的时域仿真结果。在该图中，我们可以看出传导发射测量结果和仿真结果是非常接近的。

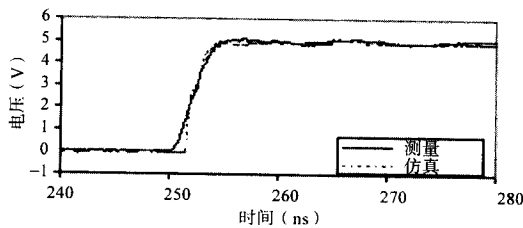


图 6-33 仿真与测量信号的上升沿

从图 6-34 中的测试和仿真频谱之间的比较，可以看出在频谱图中的接近 80MHz 的地方，

开关呼叫会提高谐波电平。理论上讲，RLC 电路的响应频率可以通过式（6-1）来计算得到：

$$f_c = \frac{1}{2\pi\sqrt{2L_{pkg}C_d}} \tag{6-1}$$

式中，Lpkg 是封装电感（=1nH）；Cd 是内部去耦合电容（=2pF）。

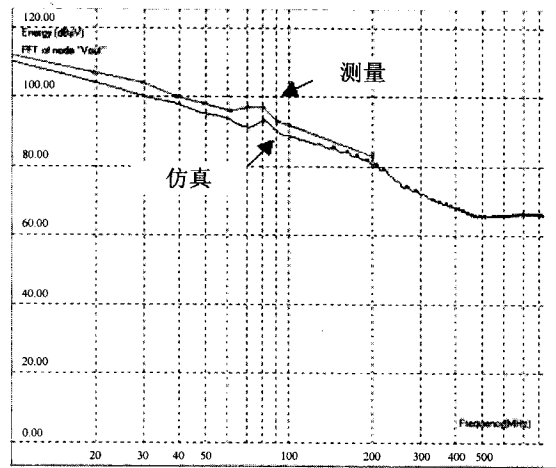


图 6-34 仿真与测量频谱的比较

4.4 结论

在本部分，传导发射测量和模型都被用于 68HC12 微控制器，并且 I/O 模型也得到了验证。该模型能够对由内部去耦合电容、封装和 PCB 的寄生电感所引起的共振进行预测。

5. 爱特梅尔（ATMEL）微控制器的传导发射特性

5.1 概述

本研究提出了一种对 8 位微控制器的传导发射电平进行建模和预测的方法。这种使用了 ICEM 模型的方法，允许建立一个可以重复利用的、行为动态活性的模型，并且可以评估包含输入和输出及高集成模块的复杂 IC。VIPER 微控制器的详细信息如表 6-7 所示。

表 6-7 VIPER 微控制器的详细信息

名 称	VIPER（89C51 家族）
主要合伙人	ATMEL
设计领导者	Jean Luc levant
网址	www.atmel.com
工艺	0.35 μm, ATMEL
晶粒尺寸	9 mm ²
封装	44-针的 QFP
复杂度	8 位 CPU，48MHz 外部频率，CPU 内核（70000 晶体管）
电路目的	建立传导发射的模型

5.2 ICEM 模型

尽管微处理器的商业版本是封装在 44 针的 QFP 中的，但却使用安装在特殊用途 PCB 上的板上芯片封装版本对 EMC 进行了测量。图 6-35 为该测试板。

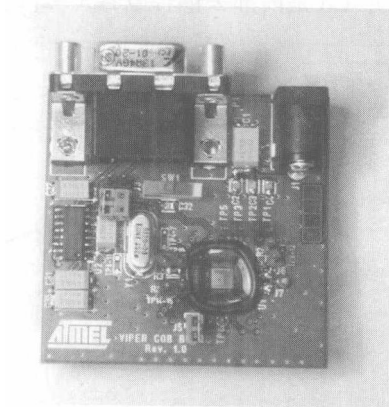


图 6-35 VIPER 测试板（板上芯片封装版本）

一个 SMA 接口被安装在板的另一端，被用来供电和进行电阻测量。一个 1.2Ω 精度的电阻也被焊在芯片的 V_{DD} 引脚上，用来测量由于使用不同的探头所导致的外部电流。

PCB 上的 VIPER 微控制器无源分配网络的 ICEM 模型是可以通过使用网络分析仪对电源的 Z11 参数进行测量而得到的。图 6-36 为等效的集总元件模型。

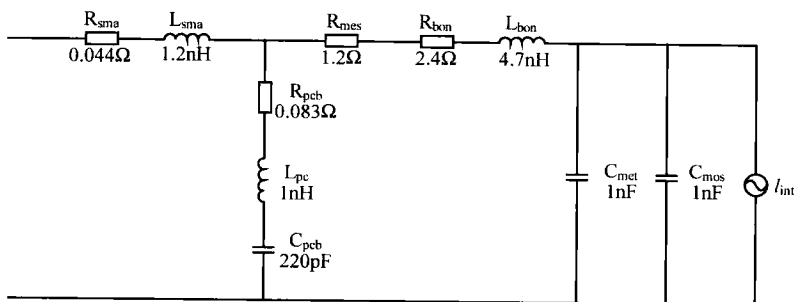


图 6-36 VIPER 微控制器的 ICEM 模型

该模型从左到右依次为：

- SMA 接头的 RL 模型；
- PCB 的 RLC 模型；
- 测量电阻；
- 焊接和供电线路的 RL 模型；
- 布线的等效金属电容 C_{met} ；
- 整个电路的等效 MOS 电容 C_{mos} ；
- 单独代表 CPU 内核的等效电流源。

两个等效电容可以通过在无电源（只有 C_{met} ）和有电源（ C_{met} 和 C_{mos} 并联）两种情况下分别测量 Z11 参数来加以区别。

5.3 仿真

5.3.1 CPU 内核的仿真结果

通过对由理想电压发生器供电的连线表的晶体管级仿真结果进行提取，就可以得到 CPU 的内部电流。该连线表要与实验所得的 ICEM 无源网络结合起来，用于评估 V_{CC} 引脚的外部电流。图 6-37 表示了这种行为仿真的结果和通过 1.2Ω 电阻的外部电流的真实测量结果。

可以看出，尽管峰值和变换时间在两种情况下都是一样的，但是可以在这些测量结果中看到另外一个尖峰信号，而且该信号并不在行为仿真中。这是因为强电流的时钟驱动并没有单独在 CPU 内核中进行仿真。

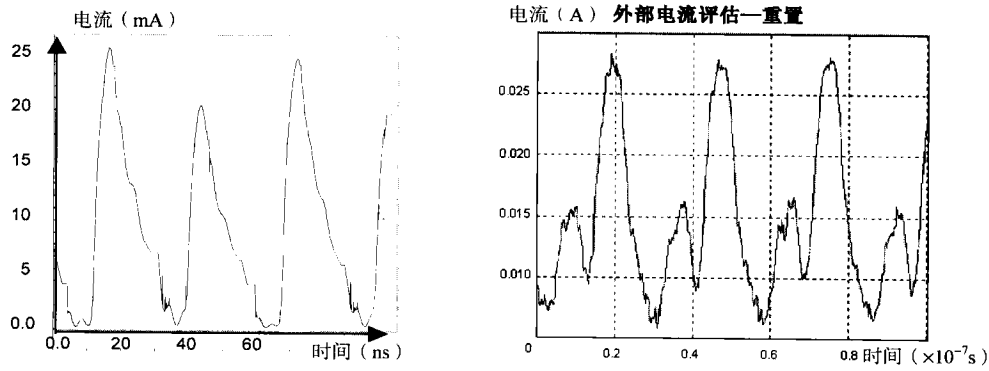


图 6-37 CPU 内核外部电流的仿真（左图）与测量（右图）

可以使用 VHDL-AMS 对包括仿真 MOS 电容的 PWL 行为电导模型进行编码，而且该模型还可以用来代替晶体管连线表。将总的仿真时间除以 2500 后，对于 EMC 仿真来说仍有足够的精度。

5.3.2 静态随机存储器（SRAM）建模和仿真结果

- 一个 SRAM 由下面几个模块组成。
- 分布于子模块中的存储器阵列。
- 用来选择子模块、行和列的地址解码器。
- 带有写入放大器、读出放大器和输出缓冲器的接口电路。

每一个模块都有其自己的动态活动，如果对 SRAM 结构进行精确分析，那么这些模块相互间就可以没有关联。图 6-38 为在读访问之后的写访问的动态电流活动。

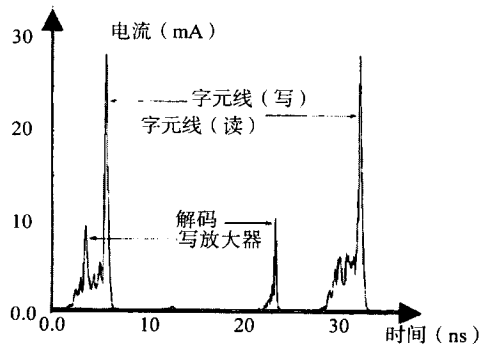


图 6-38 SRAM 存取的动态行为示例

SRAM 是通过事件驱动模型（与内核的相似）在 VHDL-AMS 中予以描述的。而且，可以通过能够产生 PWL 波形的单独 VHDL-AMS 对每一个子模块（X、Y 和 Z 解码器，存储单元）进行建模。图 6-39 是使用 SPICE 连线表和 VHDL-AMS 模型所得到的结果。连线表的仿真用了一个小时，模型的仿真用了 4 秒，这就很清楚地表明了行为建模的有效性。

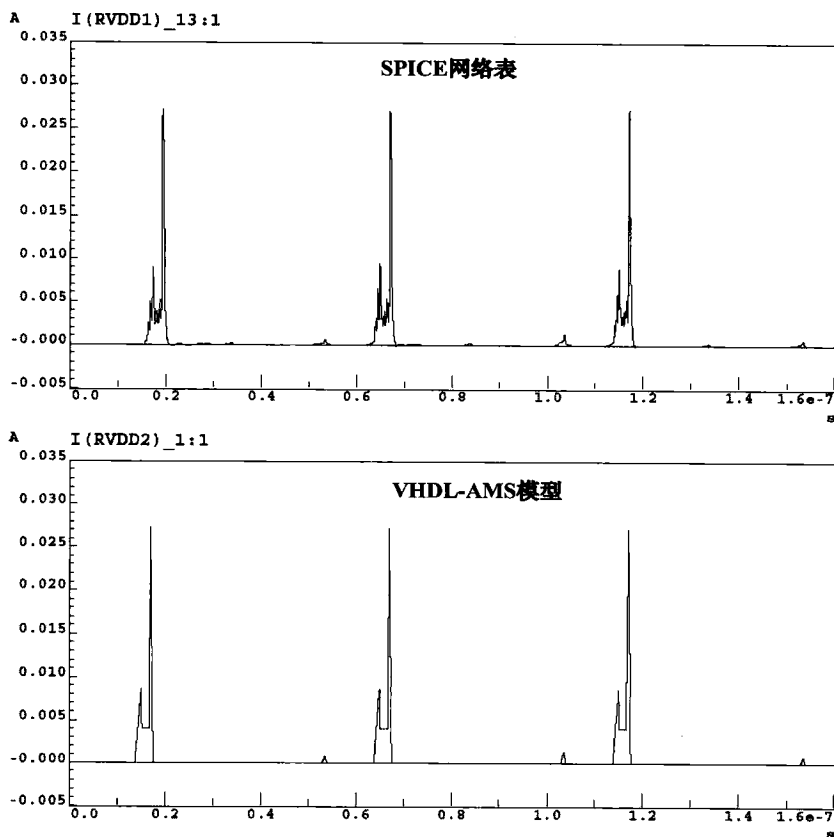


图 6-39 SRAM 仿真：SPICE 网络表（上图）和 VHDL-AMS 模型（下图）

5.3.3 I/O 模拟结果

I/O 仿真的目的是来验证 μC 的时钟驱动器对于总的电流损耗的影响，以及对内核和 μC 的 I/O 之间的串音进行表示和量化。

1) 时钟驱动器的影响

为了表示在 RESET 模式下时钟驱动器对总电流的影响，通过相同的电路将一对 I/O 安装并加载在了现有 PCB 上。特殊之处就是在这个仿真中引入和测量了上升和下降时间。

真实的 μC 和仿真的 μC 间的唯一不同是驱动器的强度（只为模型提取一个参数设置，使用的是较弱的通用 I/O）。

行为 VHDL-AMS 模型的仿真结果如图 6-40 所示。通过和图 6-37 左边的仿真结果相比较，可以发现时间周期中部的额外脉冲是非常明显的，而且与 6-37 右边所显示的测量结果有着更好的相关性。

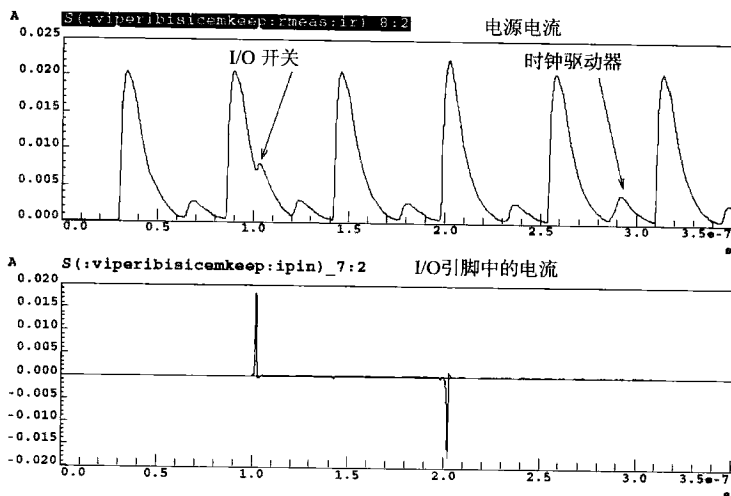


图 6-40 时钟驱动器 (VHDL-AMS 模型) 的仿真结果

2) 内核和 I/O 之间的串音

如图 6-40 中所看到的, 一个附加的通用 I/O 在之前段落所介绍的仿真过程中被来回反复地开关。相应的结果被放大显示在图 6-41 中。

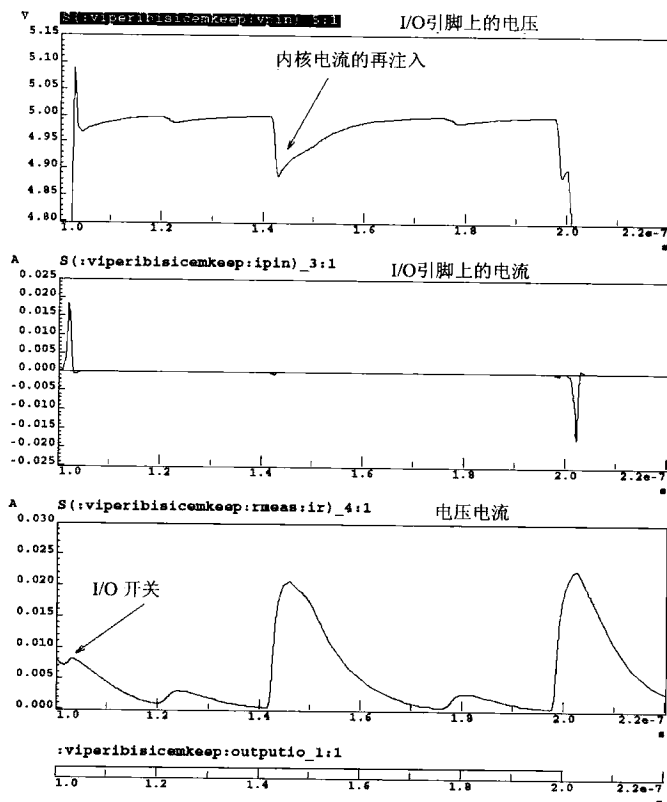


图 6-41 内核-I/O 耦合

这些结果必须从定性的观点来解释。实际上，如果能够对内核和 I/O 之间的有效耦合电路加以深刻了解，就会得出更精确的预测。无论如何，仿真说明了由于内核活动的传播使得在 I/O 上产生了电压下降。相反的，I/O 的开关对外部的电源电流有很明显的影响。

这些结果对低发射集成电路的设计、PCB 去耦合电容的选择和信号的完整性分析都会有所帮助。

5.4 结论

在这个案例研究中，从观察到的仿真和测量间的相关性可以证明 ICEM 模型的可用性和有效性。对于 SRAM 模块来说，设计和提出了根据活动进行建模的方法。最后，为了改进仿真，对电路中内核和 I/O 的相互关系进行了研究，并将其与 CPU 内核的活动联系了起来。

这些结果清楚表明了可以在 IC 的首次设计定案之前使用 ICEM 模型来预测传导发射。

6. 集成反相器对高频干扰的敏感度

6.1 概述

本实验的首要目的是要从设备制造商的角度来加深我们对集成电路高频干扰的敏感度的认识（Pozzolo, 2002）。第二个目的是根据类似 SPICE 的计算法提出一种电子建模的方法来模拟被干扰电路。

通过进行几个干扰实验，我们可以发现使用简单的集成电路来理解干扰现象并且比较各种工艺的可能性是非常重要的。此外，这些电路是相对较新的，它们具有低电压，紧缩包装和非常快的 CMOS 工艺。

6.2 被测设备

6.2.1 数字电路

为了满足所有测试的技术标准（低电压，紧缩包装，简单功能），采用德州仪器的逻辑反相器（每封装六片）是一种好方法，这是因为其能够为每个电路提供 IBIS 模型。图 6-42 显示了电路的输出引脚。表 6-8 所列的是用于本实验的电路。

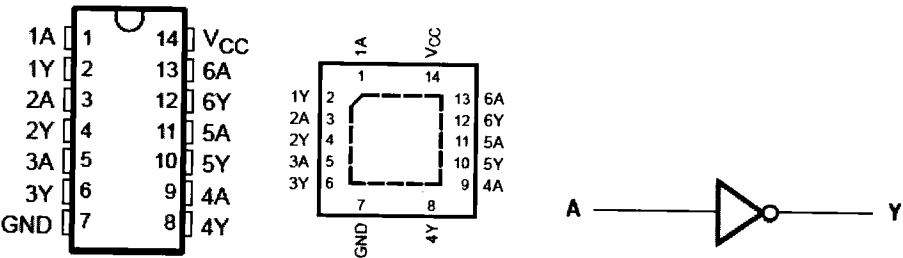


图 6-42 带有 SOIC，TSSOP（左图）和 QFN（右图）功能的电路输出引脚

表 6-8 实验中使用的电路

参照型号	电压范围	可用封装
SN74AHCT04	4.5 ~ 5.5 V	SOIC, TSSOP, QFN
SN74AUC04	0.8 ~ 2.7 V	QFN

续表

参照型号	电压范围	可用封装
SN74AHC04	2 ~ 5.5 V	SOIC, TSSOP, QFN
SN74ALVC04	1.65 ~ 3.6 V	SOIC, TSSOP, QFN

根据这些不同类型的电路，在经过几次实验之后，我们就可推导出什么是影响电路敏感度的主要因素，如封装、速度或供电电压。所有这些电路的速度都很快，输入/输出之间的时延通常都小于 2 ns，上升时间通常接近 50 ps。

6.2.2 印制电路板

为了避免直接注入过程中造成的损失，电路被安装在一块制造于 ROGER 4003 的特殊 PCB 上。这种材料的磁导率是已知的，并且在 10GHz 以上是恒定的。这种 PCB 可以用来描绘集成电路的特征。PCB 的第一层是信号层，第二层是接地层。反相器的 V_{dd} 、输入（IN）和输出（OUT）引脚通过一个 50 Ω 的匹配电阻连接到 PCB 的 SMA 接头上。

该同轴插头的外壳是接地的。被测电路的 V_{ss} 引脚是通过 PCB 直接接地的。为了减少电感的影响，所使用的连线要尽可能的短。图 6-43 表示了待测电路的连接。



图 6-43 测试下的电路连通性

6.3 模型描述

首先，集成电路的模型是基于德州仪器的 IBIS 模型。通过如图 6-44 所示的简单 RLC 电路，所使用的每一个引脚（ V_{dd} ， V_{ss} ，IN 和 OUT）都被建模在 IBIS 文件中。我们建模时没有考虑到已用引脚和其他封装引脚（电感或电容的耦合）之间的寄生效应。L 代表封装的电感效应，C 代表 PCB 接地层的电容效应。

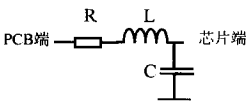


图 6-44 来自 IBIS 文件的封装模型

通过使用由 Tektronix 370A 对所使用的四个引脚进行测量所得的 $I(V)$ 特征参数就可以完成和改进由 IBIS 文件所得到的 $I(V)$ 曲线。因此，可以推导出一个 ESD 防护和输出晶体管的 SPICE 模型。对于 ESD 防护，齐纳二极管似乎是输入保护的最简单也是最好的模型（Wang, 2002），两个钳位二极管被用来对输出保护进行建模。

德州仪器和电路的 IBIS 文件不能给出任何内部反相器模型的信息。待测电路工作电压为 5V，因此，我们可以认为，该电路使用的是接近 0.5 μ m 的 CMOS 工艺。由于 IBIS 文件可以指示电路输出的电特性，故可以推导出输出级的大小（ W 和 L ）。图 6-45 给出了一个使用 SPICE 进行仿真并由 $I(V)$ 曲线推导出的反相器典型的行为。

但是这一级的简单反相器的 $V_{out}(V_{in})$ 函数的仿真，和通过 PC 上的采集卡所进行的测量是很不相同的：这种输出晶体管是设计用来提供可能的强电流的，这与时间延时和电压转移性能相矛盾。这就是为什么在它们的栅极需要由另一个反相器提供一个快速指令的原因。最后，考虑到

电路的整体功能,就需要将反相器做成三级结构(如图 6-46 所示)。为了匹配所测 $V_{out}(V_{in})$ 曲线,需要通过多次 SPICE 仿真才可以得到晶体管的尺寸。请注意,触发点不是在 $V_{dd}/2$ 处。

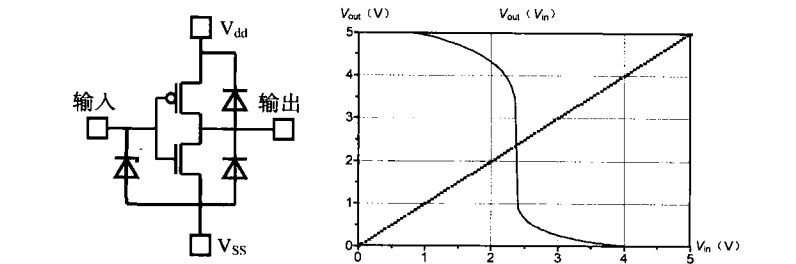


图 6-45 具有 ESD 防护的简单反相器及其输入输出特性 $V_{out}(V_{in})$

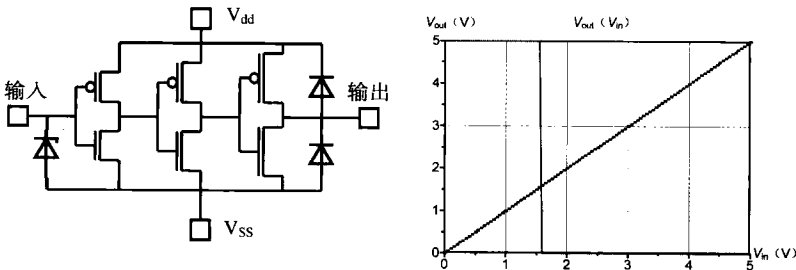


图 6-46 三级反相器及通过 SPICE 仿真的 $V_{out}(V_{in})$ 图

图 6-47 对之前那些电路建模的元件进行了总结,并显示了利用 IBIS 文件信息和测量结果所得到的示意图。

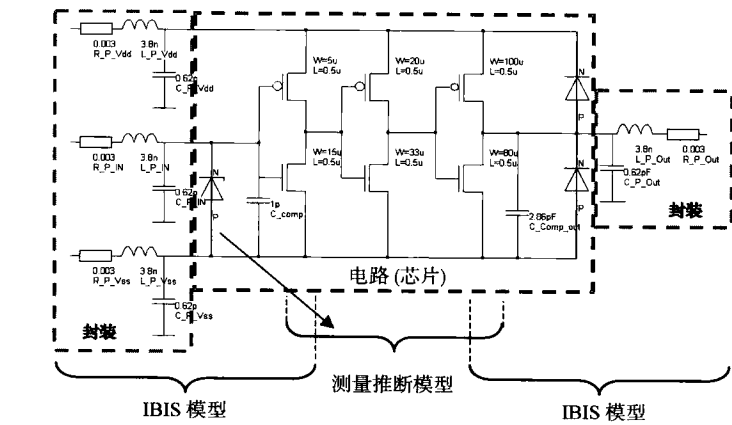
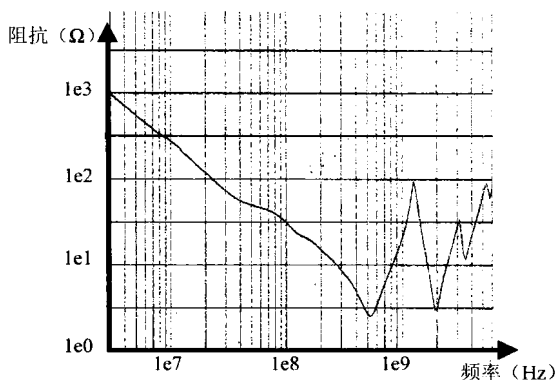


图 6-47 模型的组件和拓扑

但是该模型没有考虑到电路的任何带外性能,而且电路的大多数干扰、传导或辐射都在其工作频带之外还有频谱。因此,用于完成建模的无源器件应该具有元器件在高频干扰下的性能。

这些元器件是通过网络分析仪在反射模式 (S11) 下的阻抗测量结果导出的。这种方法给出了热点和接地 (V_{ss}) 之间的阻抗。在阻抗测量中,用来校准的参考平面需要尽可能接近电路的引脚。 V_{dd} 和 V_{ss} 引脚间的阻抗、IN 和 V_{ss} 引脚间的阻抗,以及 OUT 和 V_{ss} 引脚间的阻抗的测量结果见图 6-48 (Levant, 2002)。

图 6-48 V_{dd} 和 V_{ss} 引脚间的阻抗测量结果

为了与前一个框图相比较，加入了几个能对电路小片造成消极影响的器件。对小片内部的金属布线使用一个简单的电感 L 来进行建模。为了符合特殊的共振，一些部分使用 RLC 电路来建模，而且通过一个 RC 电路来对电路小片和 PCB 接地之间的电容的影响进行建模。几乎不需使用电阻来减少无源电路的共振。为了完成整个框图并尽可能地匹配阻抗测量，没有必要加入无源器件并将其连接到电路内部的物理结构上。最终，我们可以得到一个复杂的模型（如图 6-49 所示），该模型适合带内的工作并接近电路的带外性能。

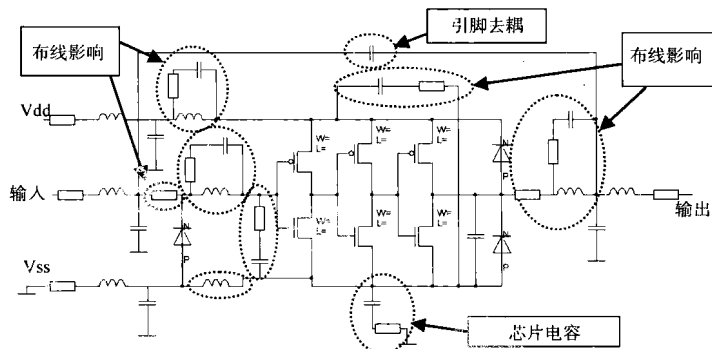
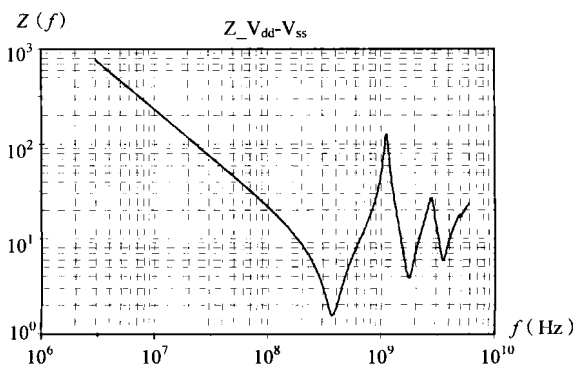


图 6-49 带有寄生影响的 TI 反相器的等效模型

在对被测电路建模之后，第二步是对于干扰测试平台进行描述并建模。在仿真电路的敏感度之前，有必要对整个平台的行为进行建模（如图 6-50 所示）。

图 6-50 V_{dd} 和 V_{ss} 引脚间的电阻仿真

6.4 干扰测试平台

6.4.1 原理

图 6-51 的测试平台是基于“传统的”直接功率注入，即一个放大信号经过一个小电容之后被引入电流输入引脚。

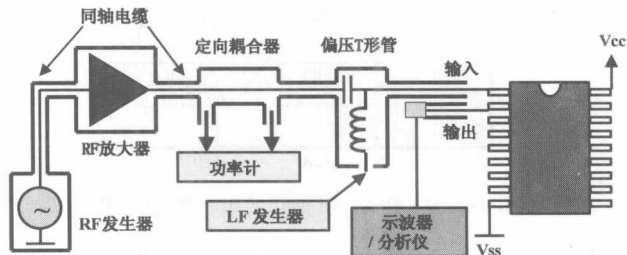


图 6-51 测试平台的描述

本测试平台会用到下面所列的设备：

- Rhode & Schwarz SML01 发生器（9 kHz ~ 2.2 GHz）；
- M2S 放大器（相同的频率范围），免受高电压驻波比的损坏；
- -20 dB 耦合因子的定向耦合器；
- HP3150A 偏置器，100 MHz~18 GHz；
- 带有温度探头的功率计 HP437B；
- LeCroy 500 MHz 数字示波器。

由于容性的偏置器的作用，功率信号通过放大器后直接被注入到待测器件上，这样就使得标称信号和电路输入端的干扰信号相互混合。在反相器的输出端接有一台示波器，它使用时间和电压量度来检测错误情况，并可以使用所需敏感度。可以使用双定向耦合器来测量放大器所传输的正向功率和来自于电路的反射功率，这是因为它相当于一个失配负载，会反射一部分入射波。

这两种功率之间的差异表明了引起电路错误的发射功率的电平。考虑发射功率是比较容易的，因为它是独立于测试平台的。后续所有关于敏感度的测试结果都和这个功率有关。

为了模拟这个干扰测试平台，我们决定通过完成这个集成电路模型来仿真整个测试平台，因此，第一步是对测试平台的每一个部分进行建模。

6.4.2 对测试平台的元件进行建模

为了仿真电路干扰，有必要对每一个元件都建立一个模型。这些模型中的大部分都可以直接通过测量或特征化推导出来。这里使用 SPICE 和 SABER 模型。

即使干扰达到了 2 GHz，但是大多数模型在 3 GHz 以下都具有正确性，这是与所用网络分析仪的带宽相一致的。

（1）电缆和定向耦合器

使用一个无损耗的传输线来对电缆和定向耦合器进行建模，对于 SPICE 来说为 TLINE（ $Z_0=50\Omega$ 并且 $TD=4.2\text{ ns}$ ）。使用矢量网络分析仪来测量这条线的长度和延时。当然，测量一条线的延时的最简单的方法是使用时域反射计。

（2）偏置器

从使用矢量网络分析仪在不同配置（负载，短路，开路）下所进行的 S11 测量中就可以得出

偏置器图中的各个器件的值。因此，可以使用图 6-52 来表示平台模型。

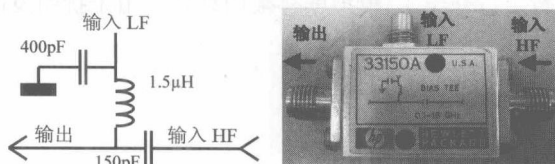


图 6-52 偏置器的图与照片

(3) SMA 接头和 PCB 走线

PCB 的每根走线和每个接头都使用简单的 RLC 电路来建模，这是由于与带宽相比，我们使用的走线很短。该结构可以直接由网络分析仪在反射模式 (S11) 下的测量结果推导获得。测试要分两步来进行：首先，将走线接地，得出被测走线的全局电感；其次，在开路状态下测量同一走线，得到其容性行为。在每种情况下，阻抗测量的斜率即为主要无源元件的值，谐振频率为次级元件的值。最终我们得到了如图 6-53 所示的典型图。当然，这些操作对于每一个布线都要重复进行。

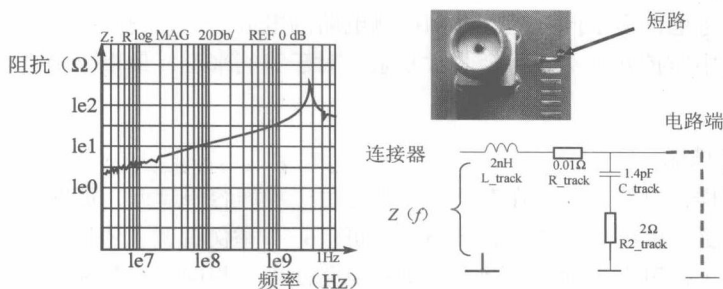


图 6-53 短路中的 SMA 和走线测量及电感效应的典型斜率

6.4.3 整个测试平台的模型

整个模型是通过将之前的所有模型（测试平台和元器件）结合起来而得到的。图 6-54 为测试平台模型的全局视图。

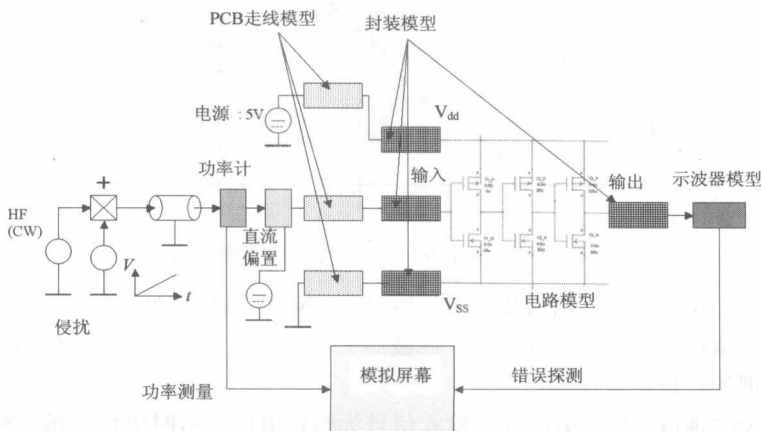


图 6-54 测试平台模型的全局视图

示波器的模型采用简单的 RC 电路，与探头的技术说明相一致。功率的测量将根据一个特殊函数进行（后面会对该函数进行介绍）。模拟屏幕被用来确定由于干扰引发的错误。下面将会介绍敏感度测试的条件和准则。

6.5 测量

6.5.1 敏感度准则和干扰

测试中，干扰信号是 400MHz~2GHz 的连续波。1 GHz 以下频率步长为 50 MHz，1 GHz 以上步长为 100 MHz。逐步增加信号的功率，直到检测到错误发生时，记下此时的功率。对于每一频点都重复这一过程。为了避免电路损坏，入射功率限制为 1 W。干扰信号只被注入到电路的输入端。

在实验中，应用了两条准则。第一条：在常量电压值（ V_{dd} 或 V_{ss} ）附近的电压测量，这是用来检测在输入端加恒定电压时对集成电路的扰动。电压的幅度可以在恒定电压值附近变化，即 V_{dd} 值的 20% 左右。若超过这一限值，则认为电路功能有所损失。第二条：是基于时间和电压的测量，用于在输入端应用时钟信号时（Barber, 1994）测量电路的扰动。这一准则能够探测到电压的错误和时间的错误（上升/下降时间和扩展时间延时），电压限值同第一条准则相同，时间延时的限值大约为在上升和下降沿附近变化信号周期的 5%。

当然还有可能考虑许多不同的准则，如被测电路的电流损耗，输出电流的频谱形状或传播时间。在同一个实验中监控几个准则将会非常复杂，对于我们来说，最重要的判断准则就是随时间而变的电压电平。

6.5.2 被测电路的性能

正如预期的那样，电路之间存在着不同，而且由于噪声容限越低，那些工作在低电压的电路对高频的干扰也就更加敏感。图 6-55，图 6-56 和图 6-57 举例说明了依据第一个敏感度准则（恒定电压测量）的几个被测电路的这一问题。这些电路使用了相同的封装和不同的工艺。

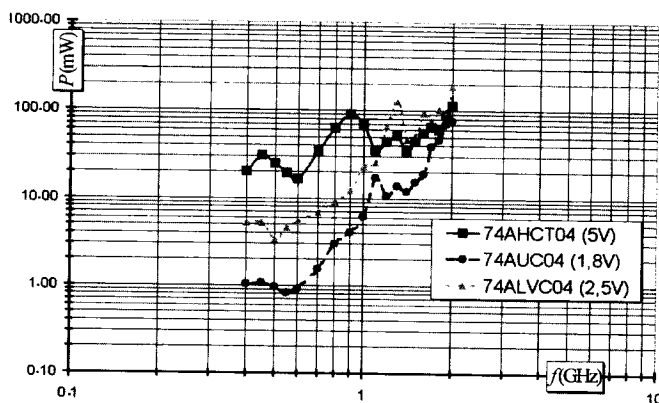


图 6-55 SOIC 封装中不同工艺之间敏感度的比较

令人惊讶的是，我们很难得出封装对于集成电路 CMOS 敏感度的影响。大概是由于封装非常小，所以封装的无源效应（可将其看做一个滤波器）并没有太大区别。图 6-56 显示了对不同封装的干扰实验，依据的是恒定电压的准则。

当输入信号为时钟信号时，电路要比输入信号为恒定电压信号时更加敏感（参见图 6-57）。众所周知，数字电路在上升沿和下降沿处比在恒定电压处更加敏感。

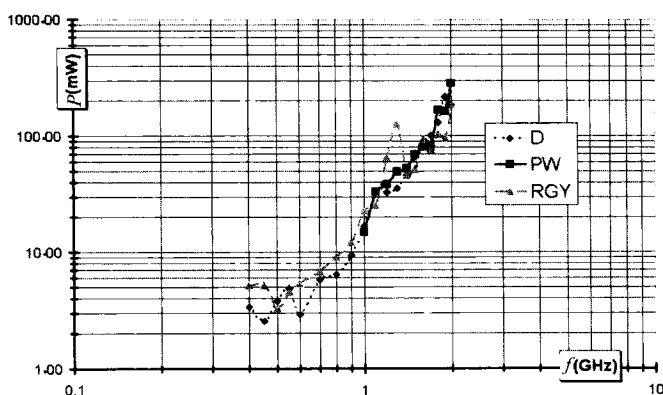


图 6-56 封装对电路敏感度的影响, SN74ALVC04-2.5 V

实际上,晶体管在干扰下会中断正常工作,在动态模式下,则更容易看到这一变化。图 6-57 给出了电路工作在恒定电压和时钟输入下的敏感度差异。当然,对于该测试,所依据的是准则二(基于电压和时间的测量)。

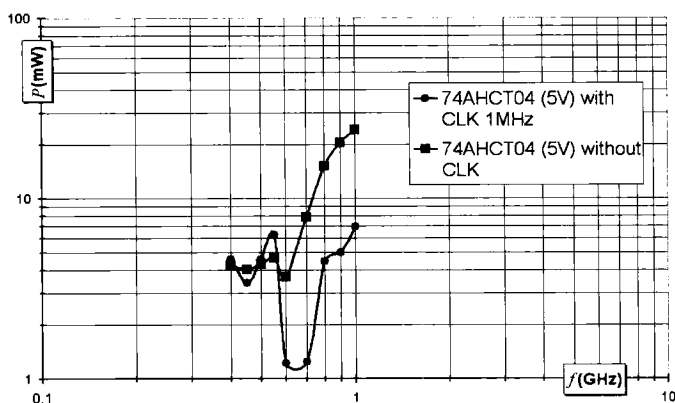


图 6-57 输入信号对于电路敏感度的表现, SN74AUC04-1.8 V

6.5.3 干扰的仿真

为了考虑模型中有源器件的非线性效应,本模型仿真是根据 SABER 的瞬时(时域)计算的。SABER 是一种允许电路(SPICE)和行为模型的混合仿真程序。我们的模型中只有两个部分采用行为模型来描述:功率的测量和准则的应用。

可以使用连续正弦波混合(乘以)电压斜升来对干扰进行建模,其中电压斜升是用来模拟功率增加的。在同一周期中,监控电路的输出电压。无论何时,只要电压违反了失效准则,就认为电路就是中断的。当然,这一准则与试验中所用的准则是完全一致的。对于错误探测的仿真在原理上与实测情况是很接近的。

由于电压发生器存在于计算软件中,所以仿真中最困难的部分是在电压发生器和测量中所使用的电源之间建立一个连接。所采用的解决办法是在 SABER 下创建一个特殊的元件来计算电路的发射功率。可以使用第二个行为模型来进行错误检测。

它可以重现电压测量,并可以根据示波器模型来监控电压电平,然后显示用于激发超出量程外的电压所需的功率。图 6-58 给出了通过仿真和测量所得到的功率曲线之间的比较,根据准则一,

这些值与用以激发错误的在输入端注入的功率值相匹配。即使在两个功率之间有微小的不同，也可以使用该模型，这是因为它给出了电路敏感度范围的一个好的解决方法。应该注意的是曲线的整个形态和幅度。

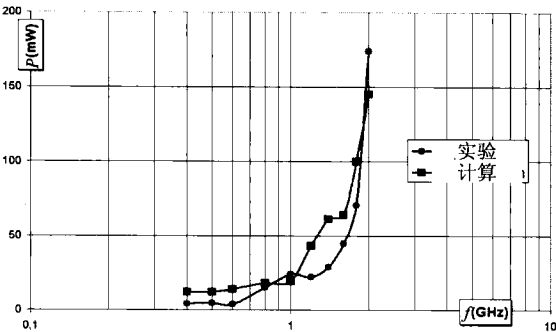


图 6-58 测量与计算之间的比较

6.6 结论

注入测试和全局建模对于数字集成电路敏感度的理解是十分重要且必要的。每一个电路级组件的建模中所采用的方法与元器件的物理真实情况（基底电容，金属布线的电感效应）非常相近。而且对输入端的干扰电平进行仿真，就可以具备一定的可能性来激发电路输出上的逻辑错误。

但是这一方法也有几个局限性：必须预先描述每一个高频项的特征；供电网络必须被很好地建模以考虑到其无源效应的影响；为便于实验具有可重复性，必须详细地描述实验方法。

电路建模也很复杂：需要进行许多测量来得到电路的一个完整模型。计算软件中的电压电平和实验中功率测量之间的关系并不直接，而是需要进行转换的。将这个测试方法改进为适用于所有的数字电路是一件很困难的事情，直接注入技术受限于频率。

考虑到反射和失配的因素，4GHz 以上的电容的注入技术是非常困难的。但是对于特殊的研究，该技术在设备测试领域仍然是值得关注的，例如，它可以用于研究某一频率范围的特殊敏感度或者是用于研究一个 I/O 或电源的敏感度总电平。使用类似微处理器或现场可编程门阵列（FPGA）的复杂数字电路，对于电路上所有的引脚的测量是非常困难或几乎不可能的。

总之，这一系列的实验可使我们对电路的敏感度有较深入的了解，并且给我们提供了大量关于在 HF 干扰下数字电路性能的信息。

7. 飞思卡尔微控制器的敏感度

7.1 概述

本实验的目的是为了增进我们对微控制器敏感度的认识，并提出一种方法来预测电磁敏感度。MC9S12DP256（MCS912DP25, 2002），又叫“Barracuda”，是一个 16 位的微控制器，设计于 2002 年（表 6-9），主要用于汽车方面的应用。

表 6-9 梭鱼处理器的详细信息

名 称	Barracuda
主要合作伙伴	飞思卡尔 图卢兹和慕尼黑
设计领导者	Joachim Kruecken, 飞思卡尔, 慕尼黑

续表

名 称	Barracuda
网站:	www.freescale.com
工艺	0.25 TSMC
晶粒尺寸	2.25 mm ²
封装	112 引脚 TQFP
复杂度	16 位 CPU, 256 kB flash EEPROM
电路目的	微控制器敏感度

7.2 设计约束条件

为了测量微处理器的抗扰度，我们开发了一块专门的测试板。这块测试板是在 FR4 衬底上实现的，且最初的目的是解释发射测量和抗扰度测量的各种约束条件。

关于发射部分，依据传导的 1 Ω 方法（IEC 61967, 2002），它能够在供电网络和一些输入/输出处进行测量，这就是为什么装备了一些接头和相关电路的原因。它也能够根据 TEM 小室的方法（IEC 61967, 2002）进行辐射发射的测量，或者使用 GTEM 小室对处于发射模式的集成电路实施干扰。

现在我们来考虑抗扰度测量的约束条件。我们所使用的测试平台是基于 DPI（直接功率注入 Direct Power Injection）方法的（IEC 62132, 2001）。因此，在驱动扰动信号尽可能接近待测设备并保持最大能量时，有必要采取一些预防措施。换言之，有必要对干扰信号的反射进行限制。出于这一目的，我们将所有的布线改为 50 Ω，以便能够驱动一个干扰信号。其阻抗与放大器和发生器的输出阻抗相等。此外，所使用的 SMB 接头也是 50 Ω，这样能够避免沿注入线处产生电阻分裂。耦合电容器和接头放置于待测设备的输入处附近，这样可以使印制电路板的注入走线的长度最短。最后，为了将中断的线从其他信号中尽可能多的分离出来，布线间的间距被加宽。

图 6-59 为干扰所用的典型布线。由于所使用的走线的宽度和两个微处理器引脚间距之间的不兼容性，所以只能在接头的中心和第一个耦合电容器引脚之间做出 50Ω 的修改。

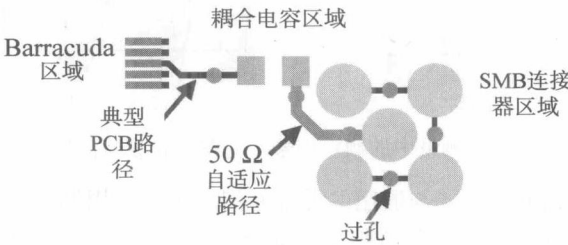


图 6-59 注射路径的典型布线

第一个阻抗分裂出现在耦合电容器级，最后会出现许多通孔。其效用有多个方面：在电性能方面，它们能使几层相互连接起来；在机械方面（主要体现在金属设计上），如果将一些组件安装在 PCB 上时发生了脱胶，会起到告警作用。

最后一项设计约束条件是：测试板必须能够对 CAN 接口的抗扰度和 Barracuda 的抗扰度使用单独的方式进行测试。为此，两个元件的供电网络必须是分开的。

测试板如图 6-60 所示，微控制器被安装与板的一面（左图），所有的相关元器件都被安装在板的另一面（右图）。

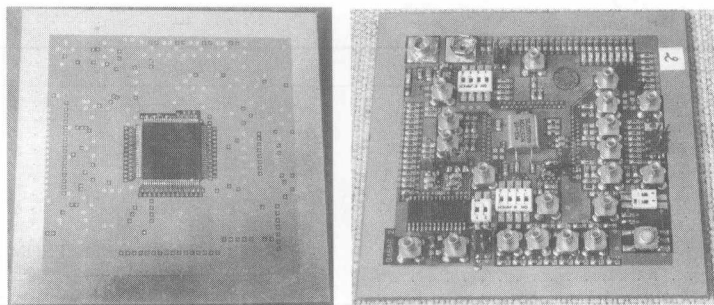


图 6-60 Barracuda 测试板；元件面（左图），附属元件面（右图）

7.3 执行微控制器抗扰度测量的设置

在下面的章节中，我们将介绍进行微处理器抗扰度测量的电路。将多个电气部分细化为注入 RF 干扰信号的各部分，更确切地说包括供电网络、外部同步时钟输出（ECLK）和模数转换器。

7.3.1 监控微控制器状态的测试设置要素

在抗扰度的测量中，为了能够实时检测到被测集成电路的故障，必须要有微控制器状态的监控电路。实际上，它被认为是抗扰度测量中的错误判据。

微控制器状态的监控电路位于“Barracuda”通用端口 B 附近。数字接口被编程作为输出端口，并连接到 8 个发光二极管（LED）上。此外，输出数字 5 表示的是以 SMB 接头相连的特殊性，因此在这种情况下，它可以通过一个示波器的输入很容易地对实时故障探测进行监控。图 6-61 是两个输出信号的例子：左边的信号对应的是额定信号（无故障），右边的信号显示的是探测到的故障。需要补充说明的是，这种探头有另外一个优点，就是它可以被集成在自动抗扰度测试平台上。

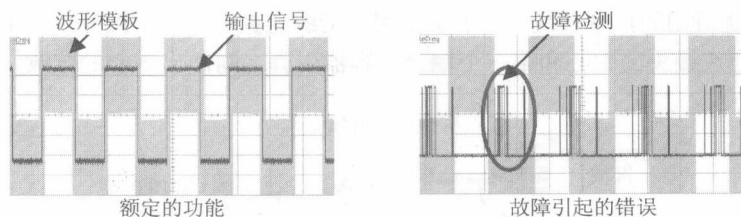


图 6-61 抗扰度测量中的额定信号（左图）和故障信号（右图）

微控制器状态监控电路的功能，与通用的外部看门狗类似：周期性的开关输出信号 5 以产生占空比为 50% 的方波。如果该方波信号维持这一波形，就意味着微控制器的活动非常接近于其真实运行的情况。在其他情形下，会出现软件或硬件的故障。

在嵌入式应用中，这一信号是没有含意的，但是对于我们的案例研究，该信号却很重要，因为它能够使测量简化和自动化。

测试板上的另外 7 个 LED 可以在其他的专门测量中提供额外信息。信息的内容可以是不同的和非常特殊的：它可以指出是微控制器的哪一部分出现了故障，就模拟信号的测试来说，它可以表明该信号的影响（过冲，下冲）。

7.3.2 注入电源的 RF 干扰

Barracuda 微控制器使用了多个供电网络：一个是为 CPU 供电的，一个是给其他的电子模块

供电的。所有的去耦电容都是 100 nF，并且都被安装在尽可能靠近微控制器电源引脚的地方。

现在来说明如何通过供电网络中加入 RF 干扰来进行抗扰度测试。图 6-61 举例说明了一个电路。下面所描绘的原理只考虑到了 V_{dd1} 和 V_{ss1} （内核供电），但是用相似的方法，能够在每一个供电路径注入 RF 干扰。

为了在整个网络传播 RF 干扰，注入 RF 干扰的位置应该在稳压器输出之后，并通过耦合电容 C_{Alim} 尽可能地靠近 DUT。这种方法的主要不方便之处在于不能分辨出故障是由稳压器引起的还是由微处理器引起的。

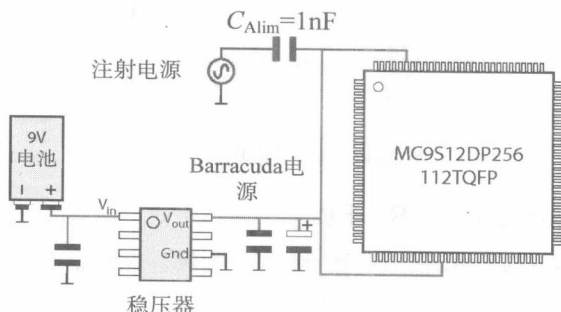


图 6-62 在 Barracuda 电源网络上进行抗扰度测量的电路图

另外，这种方法的好处是不只着眼于某个供电引脚，而是关注全局的干扰。此外，RF 干扰应在耦合电容之前被注入，因为它可能是在系统的正常环境中耦合入印制电路的走线中的干扰。

为了描述射频注入探头的特征，我们用网络分析仪测量了它的传递函数。耦合路径的传递函数能够表征有效注入功率。图 6-63 的左边部分为在测试过程中工作的元件示意图。

我们发现，在抗扰度测试过程中，用到了所有的元件（没有安放在测试板上的待测微控制器除外）。该测量具有 40 MHz ~ 1 GHz 的带宽。

图 6-63 右边的部分列出了所得到的结果。所观察到的情况与传输线很类似：依照共振（150 MHz, 430 MHz 和 660 MHz）和反共振（240 MHz, 540 MHz 和 860 MHz），注入功率的速度在 6×10^{-3} 和 3×10^{-7} 之间剧烈变化。此外，在整个频域，电路中 RF 干扰的耦合很微弱。

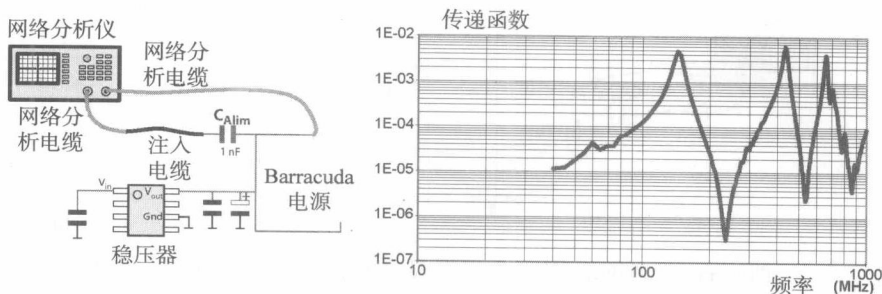


图 6-63 用于干扰电源的 Barracuda 注入探头的设置（左图）和传递函数（右图）

抗扰度测试是依据直接功率注入法来进行的。因此，在一个指定频率，每一个点都要对应于需要检测微控制器故障的电平。最大注入功率电平一开始固定在 25 dBm（大约 300 mW）。这一固定上限的选取是为了不对微处理器造成物理上的破坏（微处理器内部一些物理器件和模块的损毁）。

如图 6-64 所示是抗扰度测量的结果。在低频段（60 MHz 以下），并没有发现故障。最敏感的频段是 130 MHz 左右的频段，此处只需几毫瓦就足以造成故障。需要指出的是，不能够确定这一故障是由待测微控制器造成的还是由稳压器造成的。

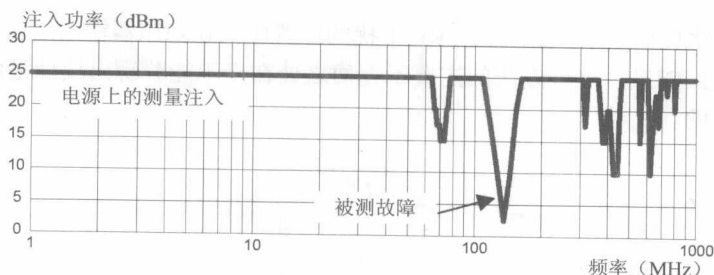


图 6-64 抗扰度测量的结果

7.3.3 在外部同步时钟输出处注入的 RF 干扰

时钟网络是微处理器的核心元件。以 Barracuda 为例，能够影响时钟网络的唯一办法就是在 ECLK 引脚处注入干扰信号。实际上，在一些工作模式下，该引脚能够将内部的时钟信号传输至外部元件（例如外部存储器）。在复位之后，出于损耗和寄生发射的原因，Barracuda 的 ECLK 引脚处于“禁止”状态，因此，需要设计一个时钟功能专用的内部寄存器来激活它。在这种情况下，输出引脚不再是处于高阻模式，因此电磁干扰可以影响到内部时钟。

干扰信号通过耦合电容注入到微处理器。当存在接地电阻时，情况会有较大的不同。实际上，ECLK 引脚是称做 E 端口的通用输入/输出的一部分。因此，当没有配置时钟同步的功能时，对于该端口的其他引脚，需要加入一个 10 kΩ 的负载电阻。

通过网络分析仪也可以得出 RF 注入探头的特征（参照图 6-65 左边部分的电气连接图）。我们也可以看到抗扰测量中的所有元件，除了没有安装在测试板上的待测微控制器。

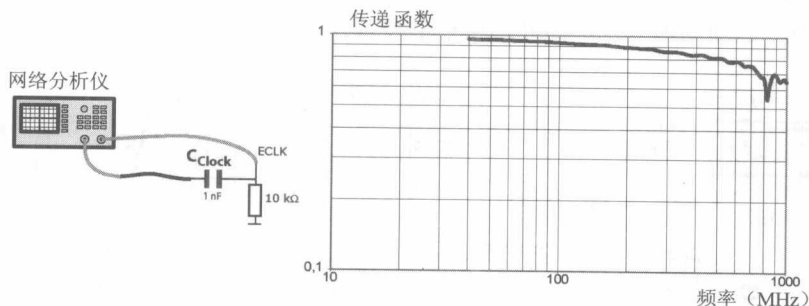


图 6-65 时钟网络中注入探头的设置（左图）和传递函数（右图）

40 MHz ~ 1 GHz 频带的传递函数见图 6-65 右边。对于小于 600 MHz 的频率，实际上，超过 80% 的总功率会注入到被测电路。因此，所注入的干扰通过探头的耦合是特别有效的，这主要是由于所用元件比较简单而且还有 10 kΩ 的电阻。

还需要指出的是，抗扰度的测量是根据 DPI 方法来进行的。最大注入功率电平一开始要固定在 25 dBm。这一测试的失效判据和供电网络的 RF 注入是一样的。

抗扰度测量的结果见图 6-66。与其余供电网络的 RF 注入抗扰度图形相比，会发现差别很大，而且对被测元器件施加干扰所需要的电平也要低一些。例如，在 80 MHz 时，只需几百微瓦就可以产生失效。

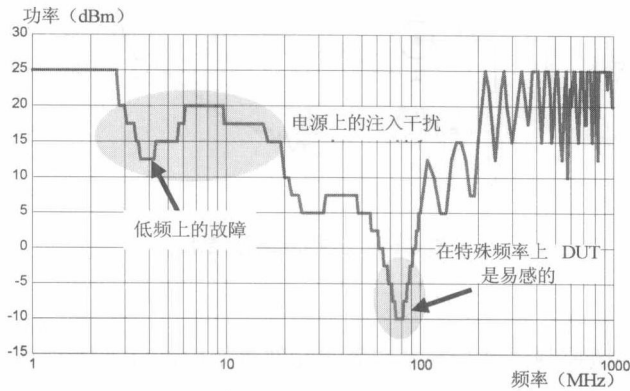


图 6-66 抗扰度测量结果

7.3.4 注入数模转换器的 RF 干扰

在抗扰度测量中，测试的最后一个微控制器模块是两个模数转换器（ATD）之一。这样，测试方法就有略微的不同：由于模拟设备通常比数字设备更加敏感，所以需要造成失效所需的注入功率就要更低一些，而且不需要经常使用功率放大器。

另外，失效判据的问题也会更难，因为必须规定模数转换器在良好工作情况下的裕量。而且所有这些裕量必须与被采样模拟信号的允许波动相关。

因此，对于集成于 Barracuda 上的集成 ATD 的抗扰度测试，我们定义了通过注入探头耦合到 ADC 的 RF 干扰。这种探头特征可以通过网络分析仪来观察，仪器布置图见图 6-67（左图）。图 6-67 右图所示为在 40 MHz ~ 1 GHz 带宽上的传递函数。对 200 MHz 以下的频率，实际上，超过总功率的 70% 可以被注入到被测试电路。由此看来，所注入的干扰通过探头的耦合是特别有效的。

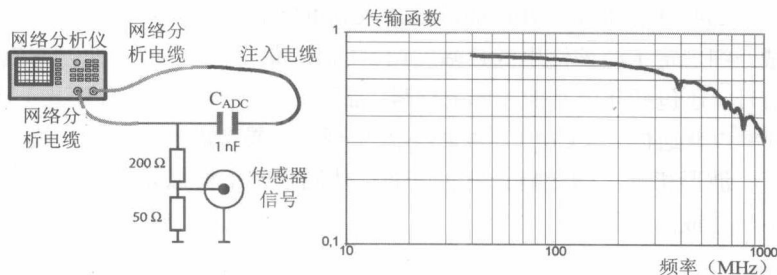


图 6-67 用于注入 Barracuda 集成模数转换器的注入探头的构成（左图）和传递函数（右图）

还要说明的是，我们是根据 DPI 方法来进行抗扰度测量的。由于传感器信号的模拟特征，最大注入功率电平一开始要被固定于 10 dBm。

抗扰度测试的结果见图 6-68 的右边部分，这与我们的预期很接近（FIORI, 2000），并能够证

明这种元件的低通特征。实际上，在 25 MHz 以上时，30 dBm/10 倍程的衰减是有效的。此外，这些结果证实了模拟仪器是特别敏感的，因为只需几百微瓦就可以产生失效。

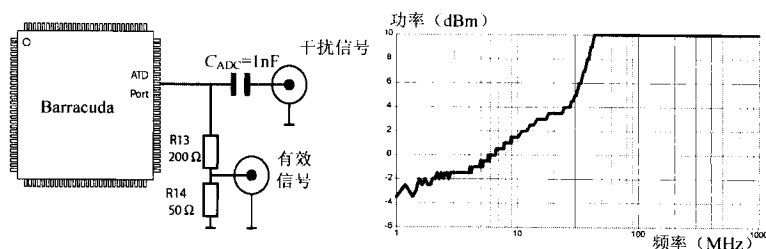


图 6-68 抗扰度测量结果

7.4 结论

在本节中，我们对微控制器这类的复杂集成元件该如何进行抗扰度测试的配置，以及如何进行测试进行了详细说明。根据 DPT 方法，这些测试已经通过谐波信号得以实现了。

8. 飞利浦抗扰度实例研究

8.1 概述

本实例研究中所涉及的电路是关于电视信号处理的。中频输入级具有来自于协调器的中频调制信号，并且几个内部电路可以传输相关信号来控制水平、垂直的偏置信号和其他电视信号。当进行辐射的 RF 抗扰度测试时，根据 EN55020，电路受到了扰动以致使画面质量受到影响。由 PCB 走线粘到 IC 引脚的电缆的保护套用于接收 RF 干扰场，并且将该干扰信号引入集成电路。

TV 处理器包括几个子模块，如有电流反射镜，差分放大器，乘法器，D/A 转换器，电压电流转换器，基准源等。在这个实例中，只有信号链路中的最后一个模块可以通过其输出引脚被访问到。如果在这一信号链路中的某处产生了低频干扰，那么很难根据输出端的测量结果判断出该处的位置。由于不能够测量这些片上效应，所以需要几种模拟电路的非线性影响有全面理解，而且还要清楚这些影响是如何通过整个链路传播的。除此之外，我们已经证明，RF 干扰是通过其他引脚，而不是通过那些从属于几何处理的模块渗入到 IC 的。

敏感度测试详细规定了应该使用低频幅度调制的 RF 信号。输出引脚的频谱表明干扰不仅仅包括解调的低频信号，还包括几个其他频率的信号。而且，一些频率以差分模式 (DM) 干扰的形式出现，另一些频率以普通模式 (CM) 干扰的形式出现。如果考虑到这些干扰模式、发生频率和几个设置 (如幅度，波形相关) 的影响，就有可能在从属于整个模拟处理模块的大量晶体管中准确地找到敏感的子电路或晶体管。

8.2 低频研究

假设几何处理模块暴露于 RF 干扰下，该干扰信号使用的是 987.5 Hz (随后将介绍该频率是如何选取的) 的正弦波幅度调制方式。未受干扰的 50 Hz (欧洲 TV 系统的通用频率) 锯齿波包括 DC 部分和频率分量为 50 Hz 倍数的 AC 部分。

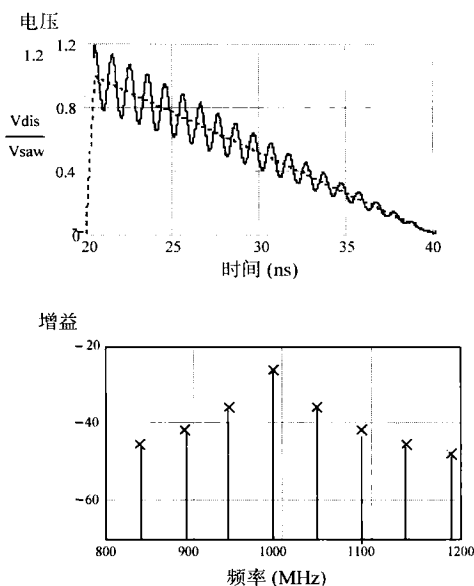


图 6-69 具有锯齿输入电压的输出电压低频干扰和低频频谱的部分结果及偏置电流上的低频干扰

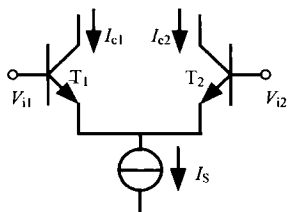


图 6-70 差分对和相关电流

由于二极管和 MOS 晶体管管的非线性,会出现 DC 漂移和其他的低频分量,这主要取决于电路的种类和受到干扰影响的地方。

非线性的解调可以通过将 987.5 Hz 处的正弦低频干扰信号 $V_{\text{dis}}(t)$ 叠加上锯齿信号 $V_{\text{saw}}(t)$ [式 (6-2)] 来实现,即 $V_{\text{saw}}(t) + V_{\text{dis}}(t)$ 。因此在频域就会另外出现一个 987.5 Hz 的分量。如果叠加只发生在差分放大器的一个输入上,那么差分模式输出干扰电压会很大;如果在两个输入端都有叠加,那么输出电平就会变低并取决于共模抑制比 (CMRR)。例如,共模输出电平取决于发射极偏压源阻抗。根据 $V_{\text{saw}}(t) \cdot [1 + V_{\text{dis}}(t)]$,将低频干扰信号与锯齿信号相乘,其中

$$V_{\text{saw}}(t) = a_0 + \sum_{n=1}^{\infty} a_n \cdot \sin(2\pi \cdot n \cdot 50 \cdot t) \quad (6-2)$$

式中, $n = 1, 2, \dots$

$$f_{\text{dis}}(t) = A \cdot \sin(2\pi \cdot 987.5 \cdot t) \quad (6-3)$$

根据上式,可知将会在 1 kHz 附近的 987.5 Hz 和 $987.5 \text{ Hz} \pm (n \times 50) \text{ Hz}$ 的地方出现另外的频率分量。在图 6-69 中,绘出了在晶体管集电极输出的一部分锯齿波频谱 (使用 V_{saw} 表示) 和额外的干扰频率 (使用 V_{dis} 表示)。

如果使用根据式 (6-3) 所得的低频干扰 $f_{\text{dis}}(t)$ 对偏压电流 I_s (见图 6-70) 进行调制,在集电极电流 I_{c1} 和 I_{c2} 中会出现倍乘效应。这时,

$$I_{c1} \approx \frac{1}{2} I_S [1 + f_{dis}(t)] \cdot \left[1 + \frac{(V_{i1} - V_{i2})}{2V_T} \right] \quad (6-4)$$

如果是模拟乘法器, 那么根据 $I_{saw}(t) / [1 + f_{dis}(t)]$, 分母中可能会出现一个低频干扰 $f_{dis}(t)$ (见图 6-71)。如果假设 I_A 表示一个锯齿波电流, I_B 表示一个倍乘因子, 那么输出电流为

$$I_{o1} = I_B - (i_a \cdot i_b) / I_A \quad (6-5)$$

$$I_{o2} = I_B + (i_a \cdot i_b) / I_A \quad (6-6)$$

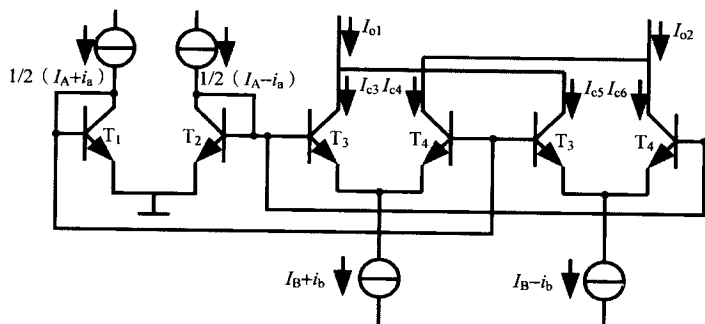


图 6-71 四象限模拟乘法器

如果一个低频干扰信号 $f_{dis}(t)$ 按照式 (6-3) 和式 (6-4) 对 I_B 有影响, 那么有

$$I_B(t) = I_S \cdot [1 + A \cdot \sin(2\pi \cdot 987.5 \cdot t)] \quad (6-7)$$

这不会影响到 DM 输出电流, 这是因为 DM 输出电流中删除了 I_B 。

$$I_{o2} - I_{o1} = 2 \times (i_a \times i_b) / I_A \quad (6-8)$$

对于单端输出电流, 根据式 (6-4) 和式 (6-5) 知 I_B 中的干扰只会以 987.5 Hz 的频率分量的形式出现。这和差分放大器形成了对比。此外, 如果 I_B 受到影响, 当 I_A 减少至零时, 位于一个输出端的干扰就会消失, 这也是乘法器和差分放大器的不同之处。

对于 987.5 Hz (除了 DM) 和 $987.5 \text{ Hz} \pm n \times 50 \text{ Hz}$ 差分放大器来说, 根据式 (6-7), I_A 中的低频干扰会在 I_{o1} 和 I_{o2} 中产生相同的频率分量。但是在分母频率分量中的低频干扰项可能会在 $2 \times 987.5 \text{ Hz} = 1975 \text{ Hz}$ 和 $1975 \text{ Hz} \pm n \times 50 \text{ Hz}$ 的频率出现。为了能够从锯齿谐波中分辨出 2 kHz 的低频干扰分量, 干扰的基频被选定为 987.5 Hz。在图 6-72 中, 虚线 V_{dis1} 代表输出电压, 其中包括 987.5 Hz 和 $987.5 \text{ Hz} \pm n \times 50 \text{ Hz}$ 的分量, 而 V_{dis2} 代表了另外的 1975 Hz 和 $1975 \text{ Hz} \pm n \times 50 \text{ Hz}$ 的分量。如果 I 不包括直流部分 ($i_a = 0$), 那么就不会有 987.5 Hz 和 1975 Hz 的分量了。1975 Hz 附近的低频干扰的存在就是该电路的特性。

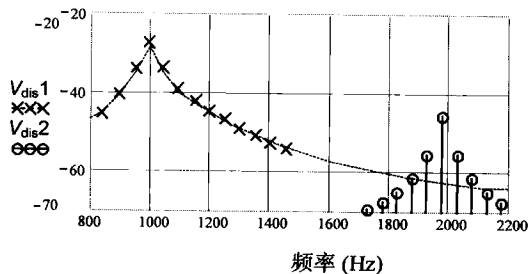


图 6-72 通过一个四象限模拟器（具有 1975 Hz 附近的附加频率分量 V_{dis2} ）二极管偏置电流中的低频干扰引起的输出频率分量

还有几个例子是关于如何研究低频干扰, 以及何种电路能够对所产生的低频干扰有所响应的。频谱有助于对受到 RF 干扰的可疑电路进行选择。通过改变一些级的放大率和偏压值, 我们会对 RF 干扰将在整个链路的哪个地方对低频干扰造成影响有更深入的认识。

8.3 模拟电路关于 RF 信号的非线性性能

晶体管的非线性可能会引起失真, 会产生带有偏离频率的额外信号分量。在双极型共射极放大器中, 是使用 RC 网络作为低通滤波器的 (见图 6-73)。应用于基极的信号高次谐波会出现在集电极电流中, 由于基极电压 V_{be} 和集电极电流 I_c 之间是指数关系, 故满足下式:

$$I_c(t) = I_0 \cdot \exp\left(\frac{v_{be}(t) + V_{BE}}{V_T}\right) \quad (6-9)$$

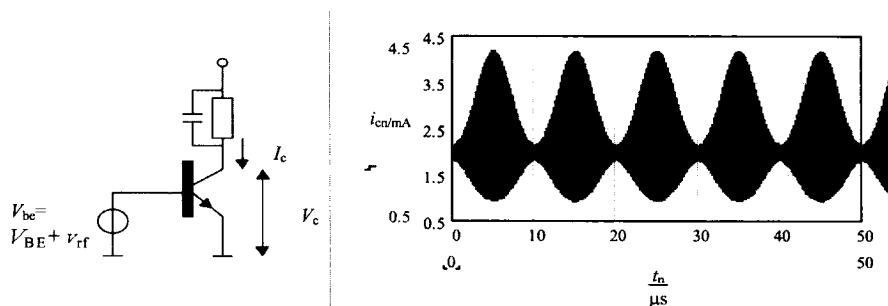


图 6-73 共射放大器 (左图) 及作为 RF 输入信号结果的集电极电流 I_c 的描述 (右图)

对于 RF 抗扰度测试, 可采用幅度调制的 RF 信号, 而且会把像这样的小数叠加到 V_{be} 电压上。

假设使用 $f_m = 100$ kHz 的信号来对 100 MHz (f_c) 的载波信号进行 AM 调制。在偏置电压 V_{BE} 的顶部采用 RF 电压, 则有

$$v_{be}(t) = A \cdot [1 - m \cdot \cos(2\pi \cdot f_m \cdot t)] \cdot [\sin(2\pi \cdot f_c \cdot t)] \quad (6-10)$$

取 $A = 11$ mV, $V_{BE} = 650$ mV, $I_0 = 10^{-14}$ 和 $m = 80\%$, 将式 (6-10) 代入式 (6-9) 后, 从图 6-74 中可以看出集电极电压的部分频谱图。除了 100 kHz 的 AM 调制频率之外, 还会产生该 100 kHz 的高次谐波。在 $2f_m (=200$ kHz) 处会产生一个分量, 其幅值比 f_m 处的幅值小 $4/m=5$ 倍 (14dB) ($m = 80\%$)。对于高次谐波, 同样能够得到 14 dB 的衰减。

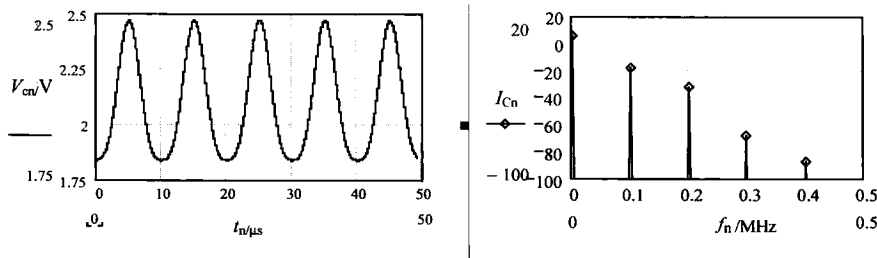


图 6-74 集电极电压 V_c (左图) 和低频频谱电流 I_c (单位为 dBmA) (右图)

为了能够分辨出模拟电路的相应类型, 本章中只提到了双极性晶体管的这种非线性的主要特性。MOS 晶体管与双极性晶体管具有完全不同的特性, 其非线性效应的建模也十分困难。

8.4 仿真和测量的结果

由于晶体管和二极管的非线性效应,在电流反射镜中,RF 干扰会造成低频干扰。根据式(6-7),如果受干扰的电流 I_A 被应用到模拟乘法器的二极管,如图 6-70 所示,干扰项可能出现在式(6-8)的分母中。

为了研究低频干扰的影响,我们建立了一个离散的模拟乘法器,其受到了一个与 1 kHz 正弦波相结合的 100 Hz 正弦波的干扰。所产生的集电极电流 I_C 被表示在图 6-75 中。由于该 100 Hz 的正弦信号会发生失真,所以一些高次谐波也会出现在 $1\text{ kHz} \pm 100\text{ Hz}$ 和 $2\text{ kHz} \pm 100\text{ Hz}$ 附近。

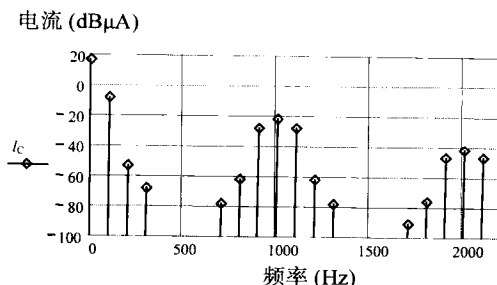


图 6-75 具有 100 Hz 输入信号的模拟放大器集电极电流 I_C 的仿真结果及所受到的 1 kHz 偏置电流的干扰的影响

图 6-76 是关于片上 TV 处理器 IC 的低频干扰的测量结果。低频的 AM 频率被设为 975 Hz,因此,它能够在 50 Hz 的锯齿谐波信号间被分辨出。如果中心频率在 1 kHz 且跨距为 200 Hz,那么就能够清楚地观察到 975 Hz 和 $975\text{ Hz} \pm n \times 50\text{ Hz}$ 的分量。

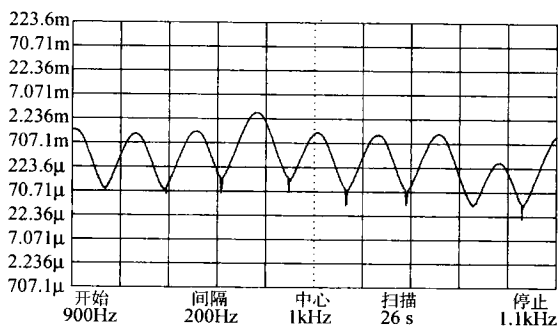


图 6-76 片上 TV 信号处理集成电路中通过 AM 调制的 RF 干扰所测量的低频干扰

8.5 结论

通过使用这一方法,就可以阐明模拟集成电路的非线性效应对 RF 干扰的影响。RF 干扰不仅可以造成 DC 漂移,当存在相关信号(如 TV 处理器集成电路的锯齿形信号)时,还会产生一些低频干扰信号。频域内的低频干扰研究有助于检测处于扩展模拟集成应用的 RF 敏感子电路。对 CM、单端、DM 信号和可用设置的变化进行研究,对于干扰位置的确定是非常有用的。

在抗扰度测试中,通过使用双色射频信号来代替幅度调制的射频信号,就可以在分析中使用输出信号的频谱了。根据出现在输出端的频域信号分量,我们就可能确定哪一种子电路受到了影响。在本案例研究中,只考虑了双极性二极管,但是本方法也适用于模拟 MOS 晶体管电路。

9. 电子控制单元设计流程的 LECCS 模型的应用

9.1 概述

本节将介绍使用 LECCS 模型的 EMC 仿真的应用。我们的研究前提是假设产品的设计者在设计流程中使用了 LECCS 模型。本节将对这种应用的案例进行描述。下面是设计者想要进行仿真的情况：

- (1) 设计者想在预设计阶段知道如何设定新的 EMC 设计定律；
- (2) 设计者想确认产品设计结果是否能够满足 EMC 测试要求；
- (3) 当产品不能够满足 EMC 要求时，设计者想知道如何重新进行设计来避免故障的出现。

对于(2)和(3)情况下的应用，设计者需要一个在短时间内就能完成的快速仿真。而且当分析结果有疑问时，有必要根据一些信息来研究重新设计的方法。在这些分析中，一个简单的 pass/fail 的结果是不够的。情况(1)比情况(2)和(3)在时间上有更大的范围。但是在设计者（而不是研究人员）进行的分析中，有更加清晰严格的时间限制。本节描述了能够满足这些要求的使用 LECCS 模型的分析方法。

本节所举例子的背景如下：所评估的电子产品是汽车的电子控制单元（ECU）。与其他电子产品相比，在放置汽车电子产品的环境中，发射噪声的电子控制单元要靠近那些即使是受到噪声干扰也不会发生故障的电子控制单元附近，这样一来就有可能出现电磁兼容方面的问题。随着在汽车中所用到的电子设备的增多，设备的布置就变得更加密集，因此制定日益严格的标准值已经成为了一种趋势。由于电子控制单元的成本的降低，故所使用的印制电路板通常比正规的消费产品具有更少的层面；大多数情况下，所使用的印制电路板都是单面和双面板。另外，可以使用的噪声抑制组件的数量也是有限的，而且近些年来趋势是日益变短的产品研发周期。

确保电子控制单元的 EMC 性能对于产品研发有很大的影响。汽车电子控制单元已经更加电脑化，而且很快就采用了信息交流功能并成为高级的复杂电子系统。该系统所使用的半导体（IC/LSI）也必须日益具备更高的性能以及更多的使用数量。受这些半导体性能的影响而产生的电子控制单元的 EMC 问题也越来越多。电子控制单元设计中的主要设计任务就是低噪声和高抗扰性半导体的选择，以及半导体在印制电路板上的布局，从而保障电子控制单元的 EMC 性能。

为了确保 EMC 性能，电子控制单元的设计者应该尽早对板子的设计进行评估，以检查半导体和印制电路板上其他组件的使用和布局设计，这些都是电子控制单元的噪声和故障的来源。如果出现了噪声问题，那么就需要研究问题的原因和应对措施，还需要为后续产品设计制定设计规则。在早期设计阶段，通过这些研究可以减少测试阶段的 EMC 问题，缩短投入市场的时间，节省成本。本节最后将介绍一些电子控制单元设计中的使用仿真的设计案例。

9.2 LSI 外围电路级的分析

LSI 有许多供电和接地端口，供电端口通常是根据 LSI 的内部模块（如逻辑内核和模拟模块）进行分类的。来自端口的辐射噪声量会随着所用的功能的不同而变化。在电路板的设计时就需要考虑 LSI 和电子控制单元供电端口间的电源线的布局（Ichikawa, 2004a）。为了能够对实际电路板的设计进行有效预评估，在评估电路板的阶段就应该准备好一份 LSI 外围设计计划来充分反映 LSI 特征。因此，就需要一个反映供电和接地端口的噪声特征的 LSI 模型。

在接下来的分析中，除非特殊指明，均使用了如图 6-77 所示的 LECCS 模型。被测设备是一个 16 位的处理器 H8S2134（Renesas 科技公司）。

9.3 产品板级的分析

产品级的仿真已经被证实有效(Mabuchi, 2005)。待评估产品是带有2层板的、大小为92 mm × 110 mm的电子控制单元。产品的供电端使用 LISN (线阻抗稳定网络) 来连接, 并根据2种不同的电容布置方法来进行分析。评估系统如图 6-80 所示。电容布置 A 的测量和仿真结果见图 6-81 的左图, 电容布置 B 的测量和仿真结果见图 6-81 的右图。在两种情况下, 电容都被放置在靠近 LSI 供电端口的地方。可以看到, 即便是在电容的布置上有很小的不同, 都对结果会造成很大的影响(在本例为 20 dB)。因此, 可以得出一点: 即使是对产品级的仿真, 我们也可以保证足够的分析精确度。

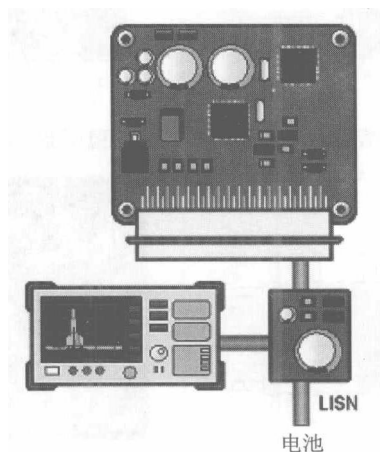


图 6-80 测量系统

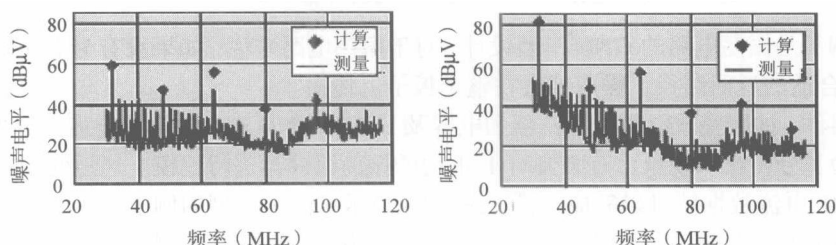


图 6-81 两种不同电容布置的测量与仿真

LSI 中的带有内部调节器的微控制器有一个噪声控制端, 被称为“C”或“REGC”, 它需要一个外部的连接电容。它还是一个不需要外部供电的电源端, 但是由于和内核逻辑电路相连, 所以该端口会产生大量的噪声。

因此, 对于端口来说, 必须确保最优先的电容布置, 但是这在大部分的硬件手册中都没有提及, 而且也几乎没有 ECU 设计者能意识到这一点。此外, 即使电容连接到了内部调节输出端口“C”或“REGC”, RF 电流也会在电路板大面积地散布开来(除非最短的返回电流路径是由电容和 LSI 间的 GND 模型设计所形成的), 而且噪声会在整个 ECU 上传播。在仿真中, 这一现象也得到了证实。

所使用的 ECU 与图 6-80 中的相同。这次, 我们没有分析接口端的噪声电平, 而是分析了板上 RF 电流的传播路径。结果见图 6-82 和图 6-83。如图 6-81 中所示, 只需要对接口端的噪声电平进行评估, 就能够做出 pass/fail 的分析了。但是对于 fail 的结果, 不能够给出设计的改进信息。

因此，对设计者而言，这不是一个好用的工具。

对于设计人员，一个有用的方法是传播路径分析。在图 6-82 和图 6-83 中，我们可以看到电路板设计和电容排布的重要性，这项研究可能要借助于 LECCS 模型来仿真。

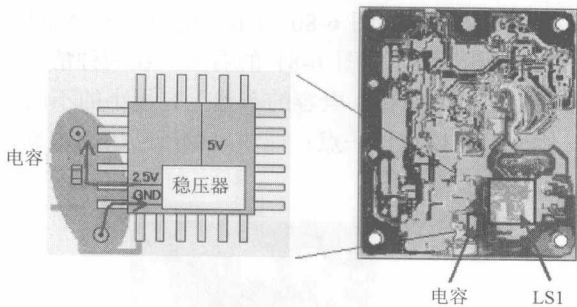


图 6-82 当外部电容位置与和它连接的内部稳压器不匹配时的噪声电流

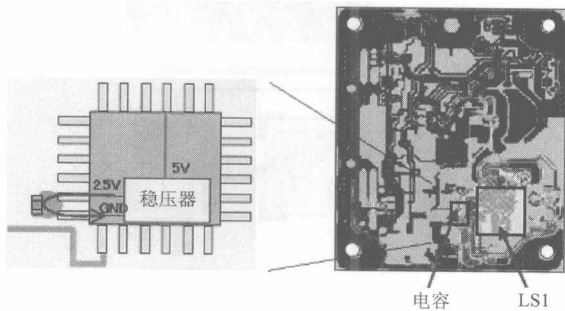


图 6-83 改进后的外部电容位置与和它连接的内部稳压器不匹配时的噪声电流分布

另一个例子是振荡电路的 GND 模型设计。对于振荡电路来说，如果没有为 LSI 内的缓冲器的 GND 端设置合适的返回路径，噪声就会在整个板上传播。

如果元器件（如陶瓷或晶体管振荡器和电容及 LSI 的 GND 端）之间的连接不恰当，噪声传播就会很大。为了分析这一现象，有必要对 LSI 内的振荡缓冲器进行建模。通过使用在振荡缓冲器处所测得的 RF 电流数据就可以完成建模，图 6-84 显示了这一模型的例子。

图 6-85 是使用不恰当的接地引脚及与板上 GND 连接后的分析结果，恰当的配线结果见图 6-86。

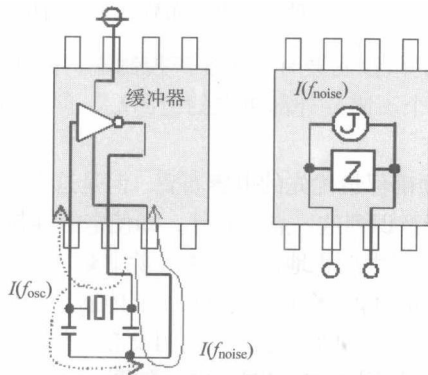


图 6-84 振荡电路的 LECCS 模型

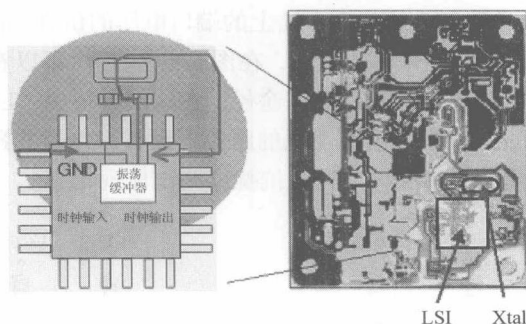


图 6-85 振荡电路 GND 不恰当排布的影响

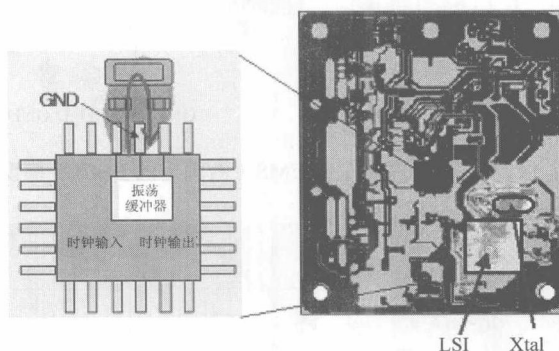


图 6-86 振荡电路 GND 的恰当排布

在振荡器电路的例子中，当 GND 与 LSI GND 端的配线不恰当时，电路板上的噪声传播将会变大，因此，LSI 端的布置是非常重要的。在图 6-82 和图 6-83 中，GND 端和“C”或“REGC”端之间的位置关系非常重要。对于微控制器，为了实现电路板的简单 EMC 设计，在微控制器的内部，端口的排布和低噪声电平都很重要。在微控制器中的端口排布中，需要确定电源和 GND 端，以及和（考虑简单的电路设计）振荡电路端之间的位置关系。

在 ECU 级所进行的仿真，不仅分别分析了调节器路径上的外部电容的效应和振荡电路的 GND 布线的效应，而且还证明了使用 LECCS 模型进行仿真的高效性。在真正的产品设计中，还需要考虑分析时间。除非分析结果在短时间内就生效，否则将不能在设计流程中使用。为了能在短时间内进行分析，可以建立一个线性模型并在频域而非时域来使用它。通过使用频域中的 AC 分析，短时间内就能够得出结果。在时域所建立的模型需要相当长的时间来根据瞬时分析得出频域的结果，而且还很难计算出电路板上指定频率分量的传播路径。

9.4 产品板级的抗扰度分析

接下来的例子是用于抗扰度分析的 LECCS 模型的应用（Takahashi, 2002; Ichikawa, 2004b）。如图 6-87 的右图所示的用于抗扰度分析的 LECCS 模型是图 6-87 的左图所用的 LECCS 模型改进版本。图 6-88 的右部为一个仿真的例子，在本例中，使用了图 6-88 的左图中的 DPI 方法测试了 LSI（IEC 62132—4）。

当发生故障时，穿过 LSI 电源和 GND 端的电平被认为是故障电平。对如图 6-87 所示的评估系统进行建模，并加入 LSI 模型，由于达到故障电平的注入功率的总和被认为是故障功率（如图

6-87 的垂直轴所示), 所以还要加入施加在 LSI 上的端口电压的仿真。在抗扰度的测试中, 虽然低功率时的模型在精度上有限制, 但是即便如此, 在图 6-87 中仍然可以看到仿真和测试结果的一致性。此外, 还分析了印制电路板上的噪声进入途径。在这次分析中, LSI 和配电电路被置于印制电路板上并进行了 DPI 测试。在通向电源配电的路径上没有额外的电容, 而且在该路径上也只有一个额外电容, 此时的电流分布情况可以通过抗扰度测试体现出来。

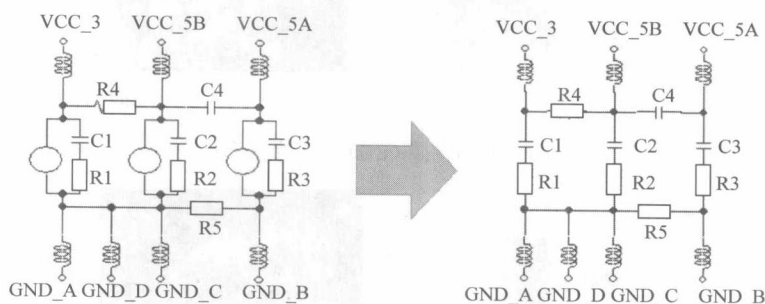


图 6-87 EMI (左图) 和 EMS (右图) 的 LECCS 模型

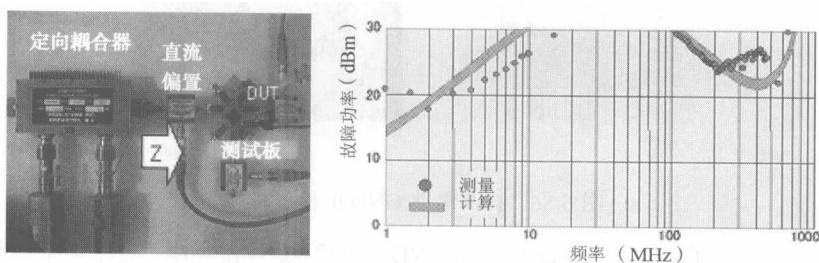


图 6-88 DPI 测试设置, 测量与计算的结果

测量的结果可以通过仿真来预测。今后还需要对高功率情况下 LSI 模型的验证及故障判断准则进行不断的改进, 而且还需要做大量工作来改进分析的精度。

9.5 结论

本节中介绍了几个使用 LSI 的 LECCS 模型的 EMC 仿真的例子。通过使用恰当的 LSI 噪声模型 (如 LECCS), 就可以对由 LSI 造成的出现在印制电路板内部的许多 EMC 现象进行分析。通过使用频率轴和线性模型, 就可以缩短分析时间, 这是因为我们能够在限定部件和限定频率的情况下进行分析, 这使得设计人员能够在设计流程中使用仿真结果。为了提高产品的设计效率, 某些项 (如某些未经验证的项) 的有效性和适用范围是可以通过仿真来验证的, 而且还能对 LSI 的噪声特征预先进行近似分析。确定 LSI 附近的设计是很有用的, 而且仿真在这其中是能够起到一定作用的。

通过进行仿真, 可以得出一些技术诀窍, 通过有效地将这些诀窍应用于设计工作中就能够以低成本在短期内得出 EMC 特性。汽车电子设备的计算机化的脚步越来越快, 同时对 EMC 特性的要求也变得越来越严格, 研发的周期也在缩短。在这样的情势下, 仿真的应用将变得越来越重要。

10. 总结

在本章中, 学术和工业领域的贡献者给出了一些与 EMC 性能和集成电路建模相关的案例研

究。意法半导体公司 (ST-Microelectronics) 的测试芯片, 可以用于验证监控内部电流切换和使片上噪声和外部的传导、辐射测量相互关联的低发射设计技术。出于相同的目的, 飞利浦公司提出了一种能够进行多参数测试的测试芯片, 并用实验设计来取代一次只进行一个参数的实验。英飞凌的测试芯片主要用来进行切换电流的分析, 由于其使用了动态片上电压和电流传感器, 所以能够与 1 MHz ~ 10 GHz 的电磁发射的测量建立起关联性。飞思卡尔 (Freescale) 的方法旨在对 16 位微控制器的传导寄生发射进行测量和仿真, 着重研究输入/输出端口活动的影响。爱特梅尔 (Atmel) 所提出的另一个方法可用于建立可重复使用的行为模型, 以对 8 位微控制器的行为进行评估, 包括输入/输出、处理和存储器模块。

至于大家所关心的敏感度现象, Philips 和 Eads-CCR 进行了关于各种技术的简单集成电路及用于预测射频干扰下的电路响应的电子模型的实验。还有一个实验, 其针对的是飞思卡尔的 16 位处理器的敏感度测量, 并提出了一种预测电磁敏感度的方法。

本章中还介绍了使用各种模型的 EMC 仿真方法的应用。EMC 仿真可以在预设计阶段和 EMC 失败后的重新设计阶段得到成功的应用。

11. 参考文献

- [1] Bouhouch, L., Mediouni, M., Sicard, E., 2004, Effects of micro-controller I/Os on the conducted noise emission, *4th International Workshop on Electromagnetic Compatibility of Integrated Circuits*, Angers, France.
- [2] Box, G., Hunter, W., Stuart, Hunter J., 1978, *Statistics for Experimenters*, John Wiley and Sons Inc.
- [3] Coenen, M., Derikx, R., 2003, Design of Experiments on an EMC test chip for the interrogation of SI and EMC measures, *IEEE International Symposium on EMC*, Istanbul.
- [4] Delmas- Ben-Dhia, S., Caignet, F., Sicard, E., 2000, A new method for measuring signal integrity in CMOS ICs, *Microelectronic International Journal*, MCB University Press, 17(1):17-21.
- [5] Delorme, N., Belleville, M., Chilo, J., 1996, Inductance and capacitance analytic formulas for VLSI interconnects, *Electron. Let.*, 32(11): 996-997.
- [6] Fiori, F., 2000, Prediction of RF interference effects in smart power integrated circuits, *IEEE transactions on EMC*, Vol(Number): 345-347.
- [7] Fukumoto, H., et al., 1995, Inductance Calculation of Multiple Arbitrary Shaped Planes Using Finite Element Method, *IEEE 4th EPEP*, 223-225.
- [8] Grabinski, H., Konrad, B., Nordholz, P., 1998, Simple formulas to calculate the line parameters of interconnects on conducting substrates, *IEEE 7th Topical Meeting Electrical Performance Electron. Packag.*, West Point, NY, 223-226.
- [9] Ichikawa, K., et al., 2004a, EMI Analysis of a PCB for Automotive Equipment Using an LSI Power Current Model, *Int. Workshop on EMC of Integrated Circuits*, Angers, 38-42.
- [10] Ichikawa, K., et al., 2004b, A Study on Measurement of LSI Immunity for PCB, *IEICE Tech. Rep.*, EMCJ2004-115, 77-82.
- [11] Levant, J.L., Ramdani, M., Perdriau, R., 2002, ICEM modeling of microcontroller current activity, *3rd international Workshop on Electromagnetic Compatibility of Integrated Circuits*, Toulouse.
- [12] Lubineau, M., 2000, Towards an EMC model of Integrated Circuits, *CEM Compo*, Toulouse.
- [13] Mabuchi, Y., et al., 2005, LECCS (Linear Equivalent Circuit and Current Source) Modelling Technique for ICs.

- Int. Zurich Sympo. Electromagnetic Compatibility, Workshop W5, EMC for IC, Zurich, Switzerland, 659-672.*
- [14] MCS912DP25, 2002, <http://www.motorola.com>.
- [15] MEDEA+ A509 MESDIE Project : www.mesdie.org.
- [16] Microwind & Dsch User's Manual, ISBN 2-87649-046-3 <http://www.microwind.org>.
- [17] Padke, M, 1989, *Quality Engineering using Robust Design*, Prentice Hall.
- [18] Pozzolo, V., Tenti, P., Fiori, F., Spiazzi, G., Buso, S, 2002, Susceptibility of Integrated Circuit to RFI, *Center for power electronics systems., annual power electronic seminar at Virginia Tech.*
- [19] Ross, B., 2002, IBIS and ICEM, *CEM Compo*, Toulouse.
- [20] Schuster, Leonhardt, Fichtner, 2000 Electromagnetic Simulation of Bonding Wires and Comparison with Wide Band Measurements, *IEEE Transaction on Advanced Packaging*, 23(1).
- [21] Sicard, E, 2005, IC-emc freeware software: www.ic-emc.org.
- [22] Smith, M., 2003, SPICE simulation shareware software: <http://www.winspice.com>.
- [23] Takahashi, E., et al., 2002, Evaluation of LSI Immunity to Noise Using an Equivalent Internal Impedance Model, *EMC Europe Int. Sympo. on EMC*, Sorrento, 487-492.
- [24] Vrignon, B., Bendhia, S., Courau, L., Sicard, E., 2004a, Cesame a test chip for the validation of a parasitic emission prediction flow in 0.18 μ m CMOS technology, *IEEE Int. Symp. on EMC*, Santa Clara, CA, USA.
- [25] Vrignon, B., Bendhia, S., Lamoureux, E., Sicard, E., 2004b, Evaluation of low emission IC design techniques efficiency, *4th Int. Workshop on EMC of ICs*, Angers, France.
- [26] Vrignon, B., Bendhia, S., Lamoureux, E., Sicard, E., 2005, Characterization and modelling of parasitic emission in deep submicron CMOS, *IEEE Trans. on EMC*, 47(2).
- [27] Wang, A. Z. H., 2002, *On-chip ESD Protection for Integrated Circuits*, Kluwer Academic Publishers.

12. 参考标准

- [1] IEC 62014-3 Integrated Circuit Electromagnetic Model, June 2003. A cookbook is available at www.ic-emc.org/.
- [2] IEC 61967-1: 2002, Integrated circuits, Measurement of electromagnetic emissions, 150 kHz to 1 GHz, International Electrotechnic Commission.
- [3] IEC 62014-3, ICEM Integrated Circuit Electromagnetic Model.
- [4] IEC 62132, 2001, Integrated circuits, immunity test to narrowband disturbances by Bulk Current Injection (BCI), Direct RF Power Injection, IEC Standard Proposal.
- [5] IEC 61967, April 2002: Integrated circuits, Measurement of electromagnetic emissions, 150 kHz to 1 GHz, Part 4: Measurement of conducted emissions, 1 ohm/150 ohm direct coupling method.

第 7 章 准则——用于改进 EMC 的规程

摘要：本章介绍了一组可以有效减少 CMOS 集成电路寄生发射和敏感度的设计技术。本章还将介绍设计标准、与封装相关的准则。在抗扰性方面，本章将介绍一组应用于微控制器的防御性软件技术。这些准则已经被成功应用于一些商业产品和特殊测试电路。

关键词：准则；低发射；改进抗扰性；片上去耦；布局；防御性软件；模拟抗扰性；RFI

1. 低发射准则

图 7-1 通过三个相关的独立源、内核电流、衬底或 V_{ss} 网络噪声，以及输入/输出电流来描述了集成电路的寄生发射。本部分准则的内容包括：

- 内核噪声；
- 封装；
- 片上去耦；
- 输入/输出噪声。

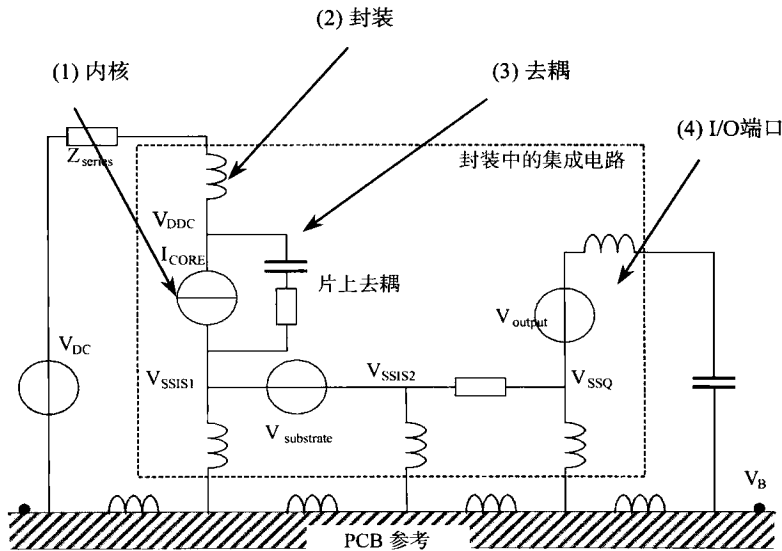


图 7-1 低发射可能涉及的内核噪声、封装、片上去耦和 I/O 端口的准则

1.1 内核供电噪声准则

当用时间函数表述核电流时，瞬时峰值电流的幅度要比平均电流大得多（如图 7-2 所示）。用于内核噪声的两个重要原则为：

- 降低峰值电流 I_{peak} ；
- 降低工作频率 f 。

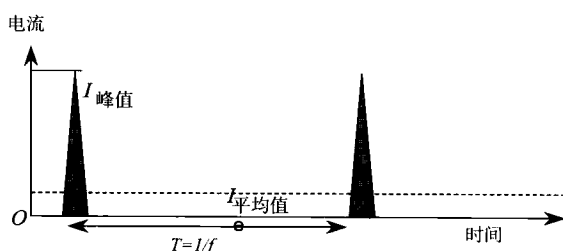


图 7-2 电流—时间关系图

1.1.1 峰值电流

峰值电流直接影响传导与辐射发射频谱。任何时钟、振荡器或缓冲器输出在不需要时都应关闭。时钟缓冲器分布的树状结构应该更适合产生强开关电流的大时钟驱动。通过将时钟树分成由中等扇出缓冲器驱动的子区域可以减小 di/dt ，这与调整速度要求和缓冲器强度具有相同效果。对于低发射的重新设计，当不能确定使用大负载是否可行时，大的缓冲器是个不错的选择。

降低片上振荡器噪声的主要准则在于将大的电压摆动电路转换为由低电流驱动的正弦低摆动振荡器。这个电路的特色是在不产生谐波的情况下具有与振荡器相同的功能。高电流模式可以用来激励振荡器或快速锁住 PLL，而振荡器应该被调到恰好维持振荡的低电路模式。降低功耗、电流峰值和寄生噪声的一个有效办法是降低工作电压。

1.1.2 工作频率

工作频率应设置为满足客户要求所需的最低频率。将一个微控制器的运行频率由 100 MHz 变为 10 MHz，可以使频谱宽频范围内的发射峰值产生 20 dB 的衰减，如图 7-3 所示。

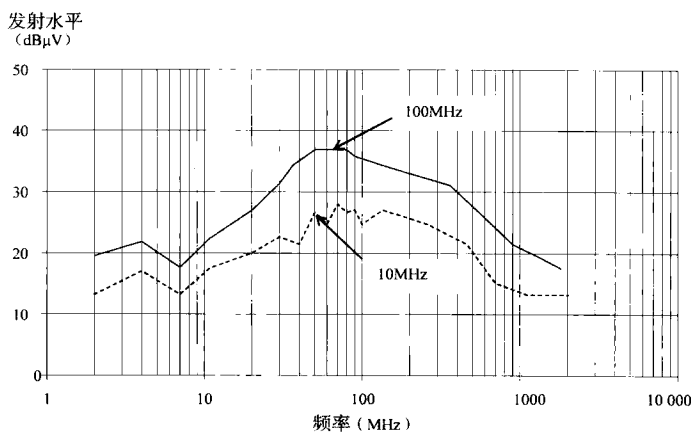


图 7-3 降低工作频率导致显著的发射衰减

1.1.3 异步设计

今天，大部分数字集成电路都是同步的，这意味着它们的活动可以由一个全局时钟来控制，这个时钟可在每一个活动边沿触发数千个逻辑门。数字异步电路是不受全局时钟控制，而受数据结果控制的单独模块构成的。模块端口间的通信不由外部时钟信号控制，而是由一个通信协议（如图 7-4 所示）控制，这个通信协议是基于请求的，称之为握手（Renaudin, 2000）。

基于这个原则，异步电路并不是延迟敏感的。异步电路通常需要大量的门和大量的硅区域。

在电磁干扰 (EMI) 方面, 异步电路的优势在于电活动可以及时展开, 并且与同步电路一样并不集中在时钟边缘。这一关键的本质特征决定了即使异步电路使用大量的有源门电路, 它所产生的电磁发射也要比同步电路小。最近的文献 (Panyasak, 2004) 中已经提到了这种旨在求出异步电路最小值的设计方法。

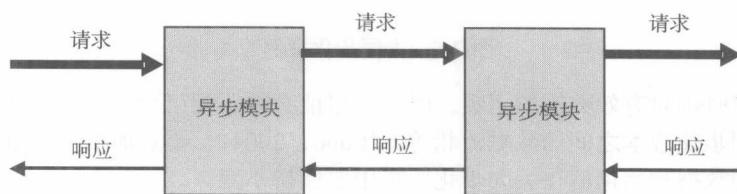


图 7-4 握手—模块间的通信基础

图 7-5 显示了两个数据加密标准 (DES) 密码处理器上的测量结果, 这两个处理器是用一种 130nm CMOS 技术设计和制造的。图 7-5 分别给出了密码处理器异步形式 (左图) 和同步形式 (右图) 的电流及电流频谱曲线。假定与内部电流频谱相关的发射级别很强, 则这些结果就证明了异步设计方法确实能够降低电磁发射 (Bouesse, 2004)。

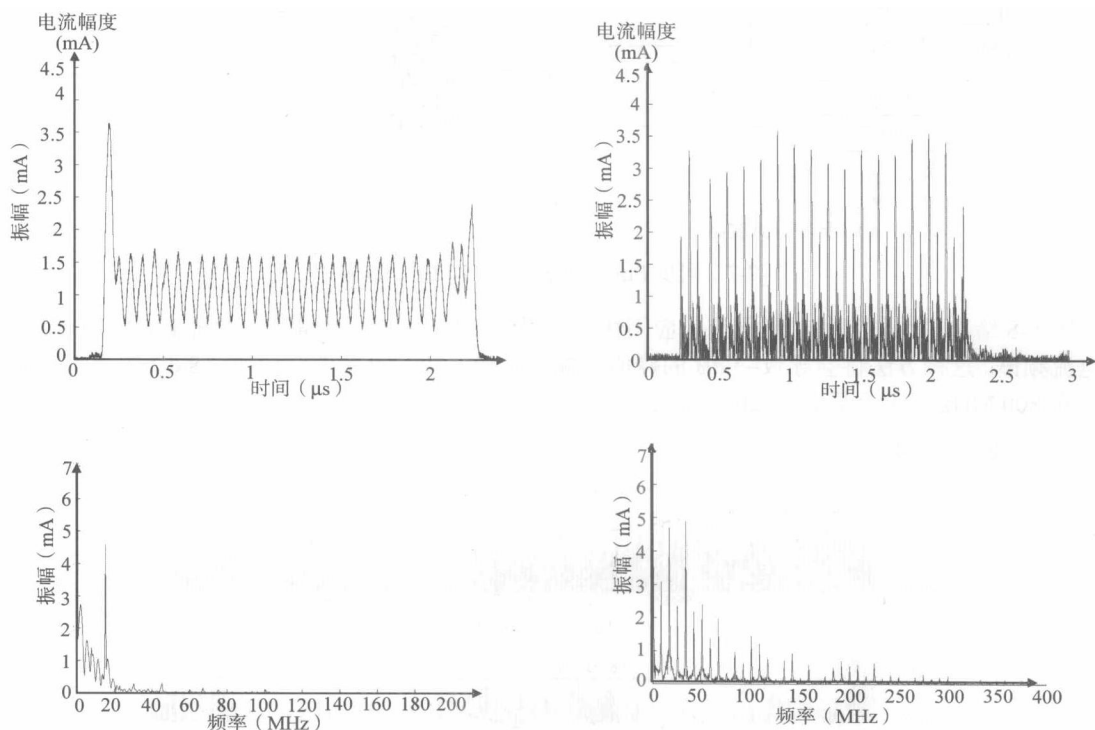


图 7-5 在异步电路和同步电路中测出的时域和频域电流

1.1.4 去同步化准则

大部分集成电路设计工程师都熟知数字同步, 但他们很少了解异步电路。异步电路的研究人士提供了一种可以将同步电路转换成与异步类型电路十分类似的另一个电路的方法。

从根本上说, “去同步化”方法 (Panyasak, 2004) 通过一组局部时钟上代替了全局时钟, 这组局部时钟是由握手组件的分布式集合而产生的。其原理如图 7-6 所示。

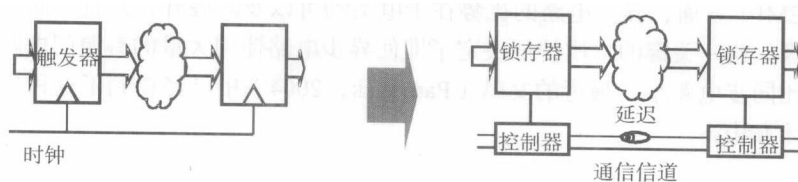


图 7-6 去同步化举例

为了确保局部时钟对有效数据的闭锁，时间延迟值必须匹配组合模块的最坏等待时间。为了确保在同步和去同步化版本之间的数据流相等（Bluno, 2004），要对通信协议进行谨慎选择。此外，同步电路中的数据初始化值在去同步化版本中要保持不变。

这种方法已经应用在一个同步有限脉冲响应滤波器中（如图 7-7 所示）。图 7-7（b）给出了应用去同步化方法得到的控制部分与门门线路的结构。

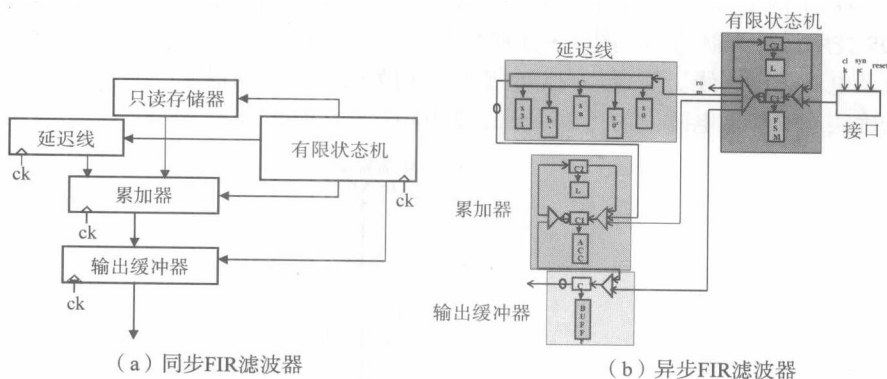


图 7-7 同步 FIR 滤波器和异步 FIR 滤波器

图 7-8 给出了在仿真的时域电流上应用快速傅里叶变换（FFT）所得到的两种 FIR 滤波器形式的电流频谱。这种方法将会导致-3 dB 的峰值衰减，在 50 ~ 400 MHz 内会导致-18 dB 的平均衰减，以及在 800 MHz 以上会导致-6 dB 的衰减。

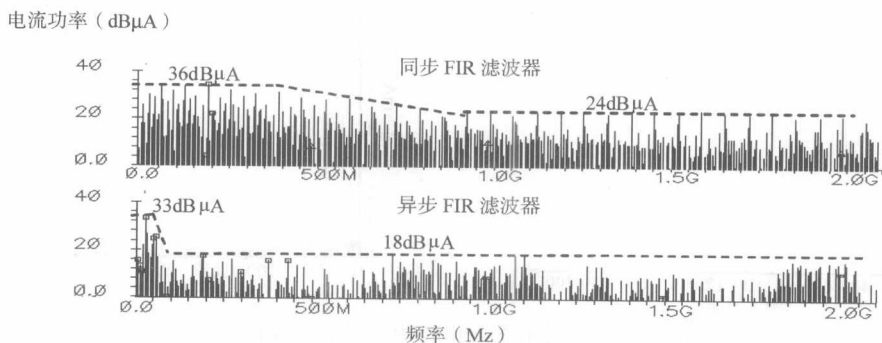


图 7-8 在 4 系数 FIR 滤波器的例子中，异步性在电流频谱上的影响

1.1.5 电流整形法

即使噪声得到了很大程度的降低，但使用之前的方法不能通过电路内部的同时开关噪声使电流峰值最小化。最近，一种叫做“电流整形”的方法已经被提出（Panyasack, 2004），它旨在控制握手通信，特别是请求与确认信号的到达次数。模块的并行执行随时间分布，以扩展其电流峰值。

为了达到这个目的，需要在通信信道中引入一组延迟。引入的四个步骤如下所示。

- 结构建模。用控制数据流图表 (CDFG) 识别并行模块。图 7-9 (a) 显示了三个平行组合模块的 CDFG (乘法、加法和 ID)。
- 评估结构模块的反应时间。电路内部的延迟对于评估电流分布持续时间是必需的。可用通过门级的逻辑综合与关键路径计算评估出的反应时间来表示 CDFG。
- 电流分布图的建模 (如图 7-9 (b) 所示)。每个控制器的电流活动都被分为许多与可以得出三角形电流分布图的通信协议有关的电流相位的子集合，由此可得出三角形电流分布图。
- 通过调度对全局电流进行整形。当平行模块的等待时间不是最大值时，可以用调度方法来分配电流损耗。通过应用强制定向调度 (Paulin, 1989)，可以得到每个平行模块的最佳开始执行时间 (如图 7-9 (d) ~ 图 7-9 (e) 所示)。优化后的结果如图 7-9 (f) 所示。

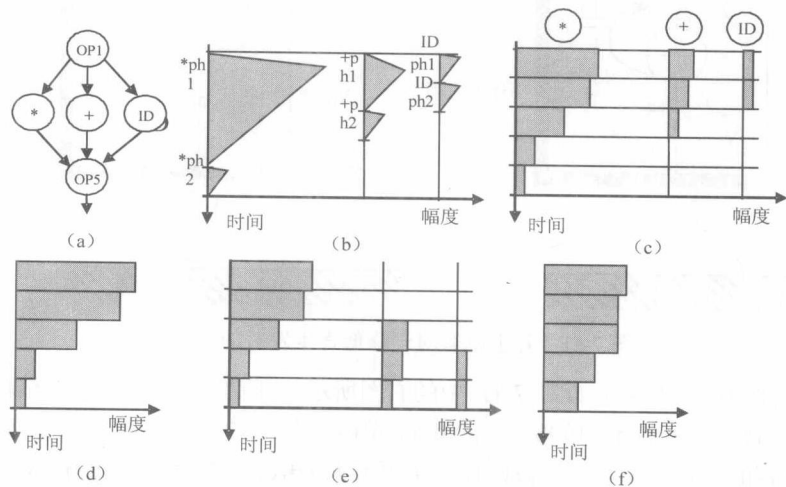


图 7-9 电流整形法图例

图 7-8 显示了这种方法在 4 系数 FIR 滤波器上的应用。一旦组合模块被评估，模拟电子仿真将给出每个组件的电流分布图。

图 7-10 比较了应用电流整形法前后，异步 FIR 电路的损耗电流。尽管这个电路很少有并发性，但电流的最大值还是降低了 9 dB 左右。对这个电路应用异步化和电流整形可以引起-12 dB 的电流峰值衰减。频谱振幅在 200 MHz 以上时几乎保持不变 (-1 dB 衰减)。

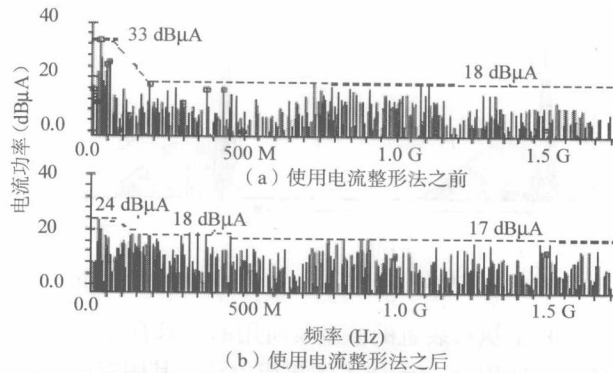


图 7-10 异步 FIR 滤波器的电流频谱

1.2 片上电容准则

对于可以减小流经引线的电流数量的瞬态内核开关来说，供电线间的片上电容起到了电荷容器的作用。对于一个小的片上电容而言，大部分瞬变电流流出集成电路并产生高传导和辐射发射（如图 7-11 中的左图所示）。

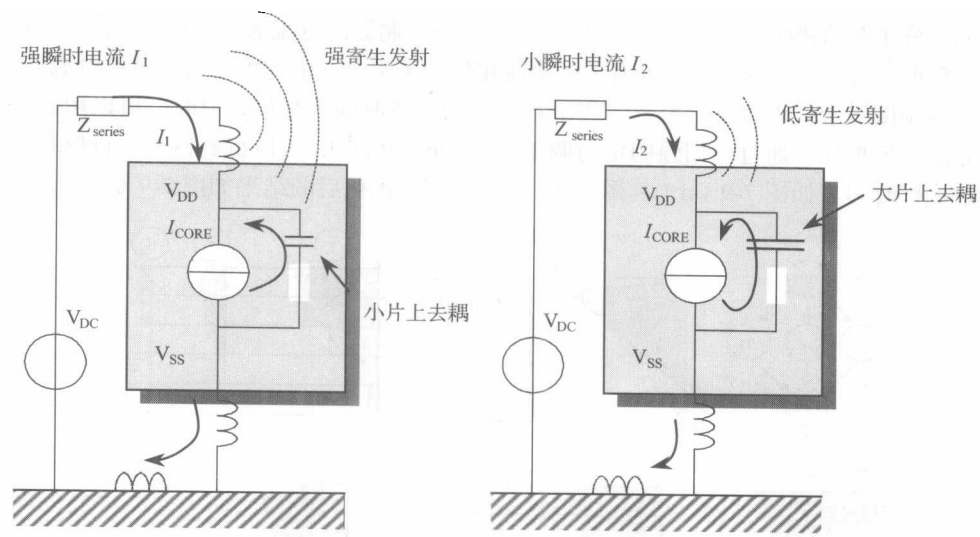


图 7-11 片上电容对于降低寄生发射的作用

当去耦电容被加在片上时（如图 7-11 中的右图所示），瞬变电流大部分流进集成电路，因此大大降低了封装引脚（Larsson, 1998）上的 di/dt 噪声。图 7-12 给出了外部电流 I_1 和 I_2 的时域部分。实现片上电容的有效技术包括在彼此顶端实现最大去耦效果的大型 V_{DD} 和 V_{SS} 电源线路，以及在指定信道下的自由区域连接结电容（Vrignon, 2005）。薄氧化层门电容或金属—绝缘体—金属（MIM）电容可以用来产生高值电容（几个 nF）。

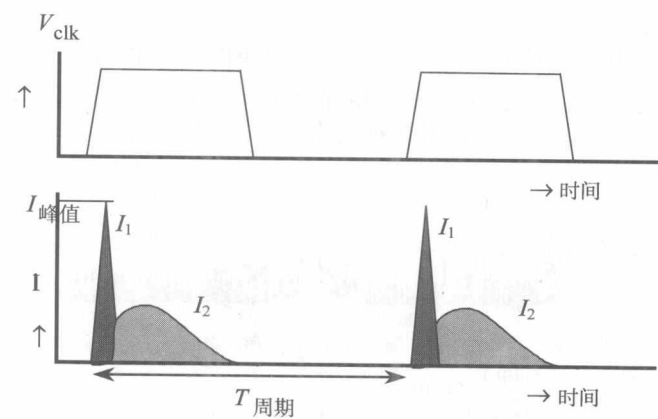


图 7-12 使用和不使用片上附加电容的外部电流在时间上的比较

片上去耦电容的数量与片上执行装置的数量及所用的技术有很大的关系，如图 7-13 所示。例如，一个含有 1 亿个晶体管，使用 90 nm 技术的集成电路，其固有电容容量大概在 10 nF 左右。增加片上电容可以产生一个分布式的 50 nF 去耦电容。

片上固有电源电容

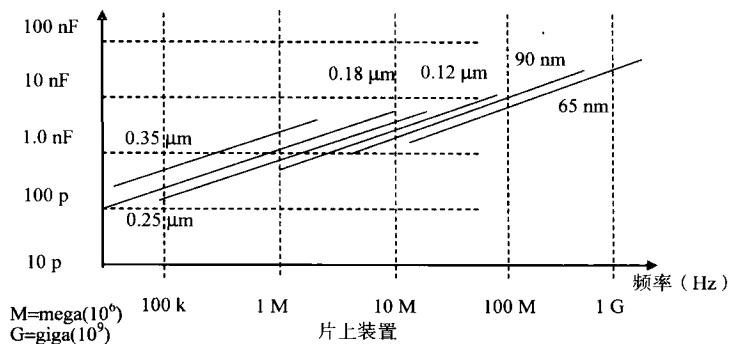


图 7-13 不同数量的片上装置所对应的不同技术的片上固有电源电容

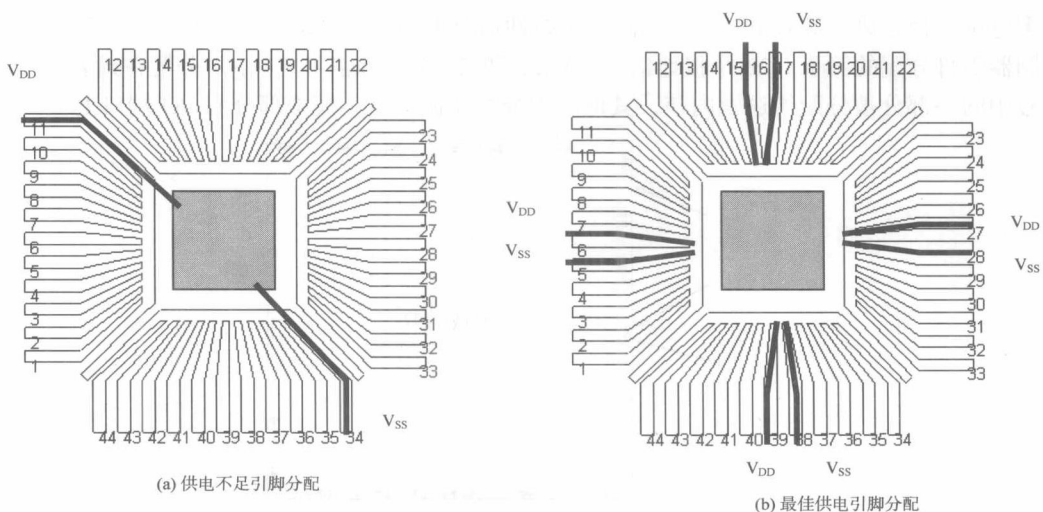
对于额定操作，片上电源电压不应低于额定电源电压的 90%，以使时间校验模块在它的运行环境中可以用内插值替换。为此，开关片上电容的幅值阶数必须比非开关电容的小。

非开关电容是电源配线中所有寄生电容的总和，包括 N 阱衬底电容和附加片上门级去耦电容、栅氧化层、槽位电容等。例如，当片上电容在时钟上升沿上立刻开关时，有 90% 的情况保持不变。事实上，开关电容发生在触发器、标准电源和它的配线中。当充电电流是 Y mA 时，总的开关电容是 X pF/时钟周期。根据这样的假设，总的（静态）片上去耦可被设为 $10X$ pF 以确保电源跳动情况。

一个改良型的片上去耦系统增加了一个扼流串联电阻。这项技术的原理是进一步降低外部瞬变电流。这项技术已经被证明可以有效地降低测试集成电路的发射（参见第 6 章）。

1.3 布局

将集成电路的芯片连接到封装的连接线主要是电感应的，它的重要作用是在电源路径上提供串联电感。一个封装腔调整了芯片尺寸，缩短了连接线并减小了串联电感。此外，长引线应该是低电流线，供电线应该使用最短的路径（如图 7-14 所示）。

图 7-14 改良的 V_{DD}/V_{SS} 分配

相邻 V_{DD} 和 V_{SS} 线的系统使用可以将电源接地电流回路减到最少，从而降低集成电路的磁场辐射 (Coenen, 1996)。此外，假定 V_{DD} 和 V_{SS} 引脚的时域电流波形是相似的，则就会引出一个叫做场抵消的现象，它可以有效降低引脚的磁场辐射，如图 7-15 所示。

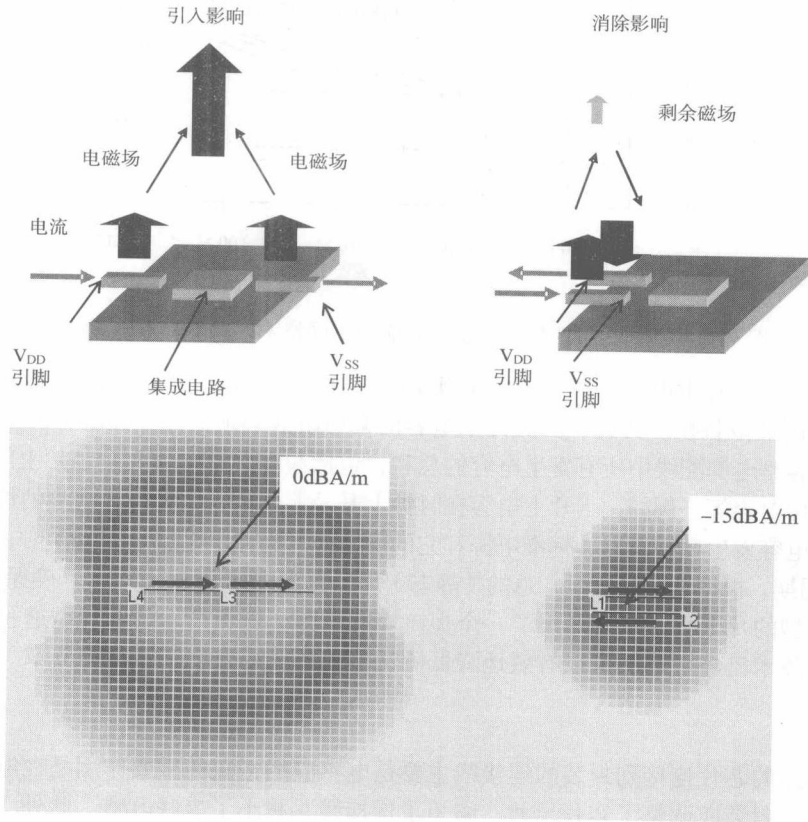


图 7-15 用 V_{DD}/V_{SS} 对代替集成电路每个角上所放置的 V_{DD} 和 V_{SS} 可以引起 15dB 的发射衰减

多电源路径分离了等效电感，因而降低了线性情况下的电源波动。图 7-16 给出了一个 16 位微控制器引脚分配的例子。22 个接地信号 (V_{SS}) 和 22 个电源信号 (V_{DD}) 分配在封装周围。电源信号中的一部分被分配给逻辑内核，其他的则分配在振荡器、模拟部分和 I/O 端口上。

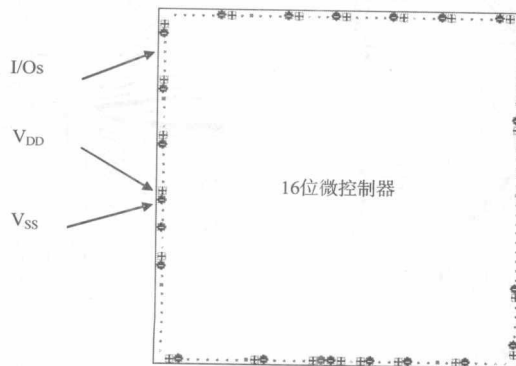


图 7-16 V_{DD}/V_{SS} 对在电源线上的放置 ($V_{DD}=5\text{ V}$, $V_{SS}=0\text{ V}$)

图 7-17 给出了另一个有关 Virtex 可编程装置布局的例子。在封装中心使用多重 V_{DD} 和 V_{SS} 接入引脚可以使电流流入 60 多个通道，从而降低等效寄生电感和振荡效应。实现 V_{DD} 和 V_{SS} 衬底的彼此靠近后，也可以减弱外部去耦并增加 V_{SS}/V_{DD} 电容。

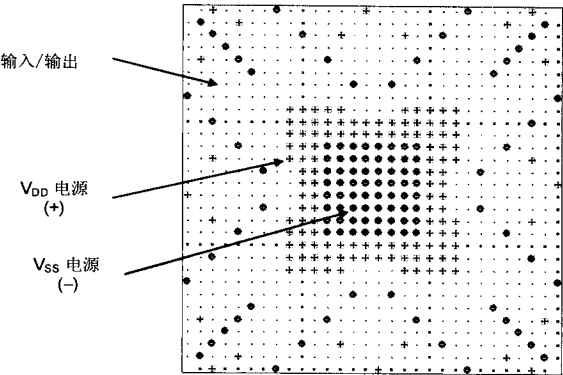


图 7-17 一个 VIRTEX 可编程装置上 V_{DD}/V_{SS} 的分配

1.4 输入/输出缓冲器

输出缓冲器是 di/dt 噪声的一个主要来源。为了能够满足开关速度限制条件中的最坏情况，输出缓冲器经常用高驱动来设计，所以经常会用到具有离子最大电流容量的大型 MOS 装置。n 沟道 MOS 和 p 沟道 MOS 装置的同步转换会引起一个小的电路电流峰值，这个峰值可以通过在装置转换过程中增加一个小的延迟来降低。大部分微控制器和可编程装置的一个显著特征是可以适应任何负载条件的可编程尺寸驱动器，该驱动器可以对任何负载条件进行调节，调节范围为大型板上的大容量负载（或线缆接口）到较小的负载（如外部存储器接口）。

在降低寄生发射方面，需要考虑的一个重要因素是对缓冲器回转速率的控制。当满足目标应用的开关延迟的要求时，这项技术可以减慢缓冲器控制信号的速度，从而避免振铃效应。在 100 ~ 1000 MHz 范围里，寄生发射的增益是显著的，图 7-18 给出了一个在 16 位微控制器上进行实验传导噪声测量的例子。

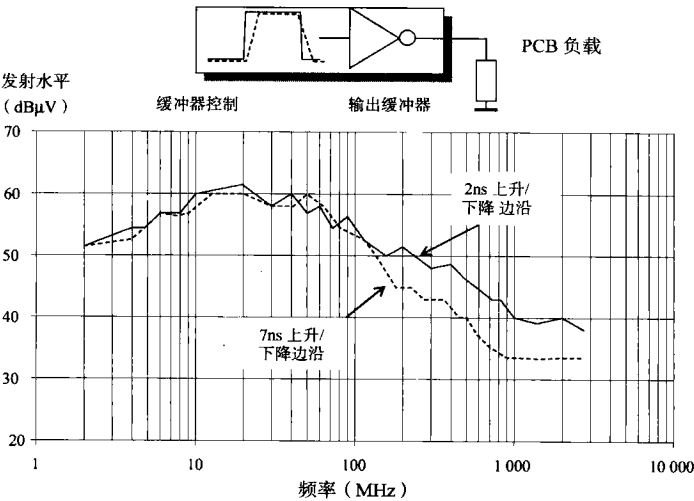


图 7-18 通过控制输出缓冲器的转换速率可以降低高频传导噪声发射

输入/输出总线是整个系统的一个重点，因为它对于芯片内和集成电路中一些模块之间的通信是必不可少的。不管数据内容是什么，有很多选项可以确保仅有直流电流通过总线。简单的选项是差分总线（如 USB）、火线、RS-442、485、LVDS、SLVS、PCI Express 等，电流交换的总量是理想不变的。其主要缺点是衬底数量必须是双倍的（100%负荷），并且相对于数字接口而言，我们需要设计更复杂的检测模拟电路。

另一个选项是使用平衡码而不是差分信号。除了至少 16 个可选代码以外，通过使用 6 线来代替 4 线（50%负荷），还有 128 个代码可以被使用，它们的信号总和是恒定的（但仍然是二进制）。如图 7-19 所示，当采用三进制时，除了可选的另外 19 个代码之外，还有 $3^4(=81)$ 个代码可以被使用，它们的总和是恒定的。

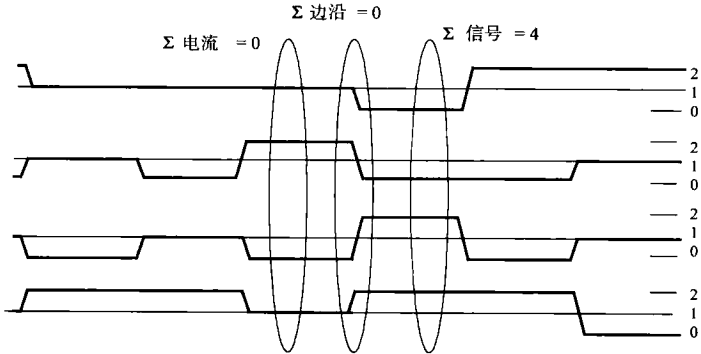


图 7-19 一个 I2Q 信号的表示形式

1.5 衬底噪声

虽然片外电源线路中的 di/dt 寄生影响可以被减小，但是片上电流峰值却仍然保持不变，并且随时间变化流经有源电路、无源电路和无源去耦之间内核的 V_{DD} 和 V_{SS} 网络，如图 7-20 所示。

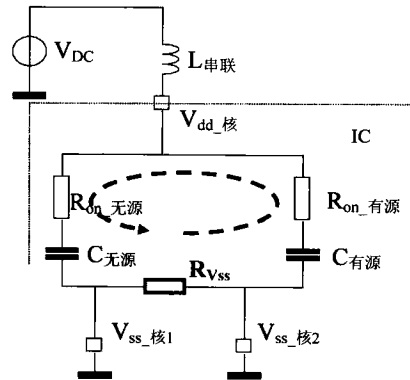


图 7-20 通过衬底的片上电流

当 V_{SS} 网络的阻抗不能被降低到镀金属顶层的薄片阻抗（10~50 mΩ）以下时，北-南或西-东 V_{SS} 衬底之间的电压梯度平均值将为零。例如，当使用从北到南的大型总线并且通信是从主控到从属或从属到主控时，尽管平均噪声超时并且通过 IR 压降计算得出的值近似为零，但在 V_{SS} 网络中将感应生成相反极性的噪声。

峰值电流最小化的设计准则是指将去耦电容放置在需要规律峰值电流的电路旁。这样，临近的去耦电容将提供一个瞬时负载。因此，从剩余的片上去耦电容中只能提取再充电电流。这就要求在临近去耦和整体片上去耦之间，RC 时间比值的常数为使得邻近去耦释放高峰值电流（即最快的响应）的值。

其他的选项是在时钟周期内分布时钟相位以确保不会产生瞬时开关，但是所有的步骤都应该顺序执行。虽然仍然在使用系统时钟的同步性，但这种方法已经非常接近之前的章节所描述的异步逻辑设计方法。

图 7-21 提供了一个有效低发射设计准则的例子，它比较了一个数字 CMOS 0.18 μm 应用产品在执行和不执行这些准则时测得的传导发射。图中显示了相对于初始性能（点线图）的改进版本，

可以看出没有造成任何性能退化。需要注意的是在 100 MHz 以上会产生小的发射电压增长。

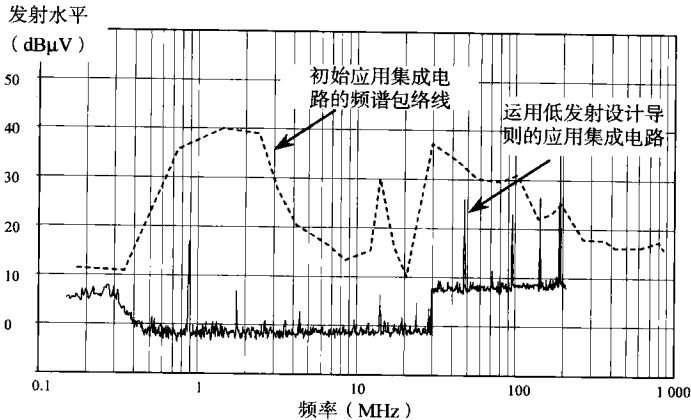


图 7-21 依据 IEC 61967—4 的传导射频发射，初始版本（点线图）和改进版本（频谱图）

2. 改进抗扰性准则

2.1 概述

改进抗扰性的传统方法是增加滤波和屏蔽来保护电子系统不受射频干扰。在集成电路上，类似的技术可以用来提高射频干扰的抗扰性。也可以使用特殊的设计技术或嵌入软件的方法，这将在本节详细介绍。

2.2 片上去耦

片上去耦已经被证实是非常有效的降低发射的方法。在抗扰性方面，从转换效率角度考虑，可以通过 AC 分析来评估片上去耦从源到内核的影响，如图 7-22 所示。注入源由一个理想电压源构成。用一条无损耗传输线来模拟注入电缆，用一个简单 6 nF 电容来表示 DPI 注入。

下拉 MOS 装置可以被看做是一个与缓冲驱动器有关的范围在 10~1000 Ω 之间的电阻。集成电路输出上的电源注入的路径可以是 I/O 端口到衬底之间的阻性和容性连接。由于接地和电源抖动，RFI 噪声可以传播到内核并对标称性能有所干扰。

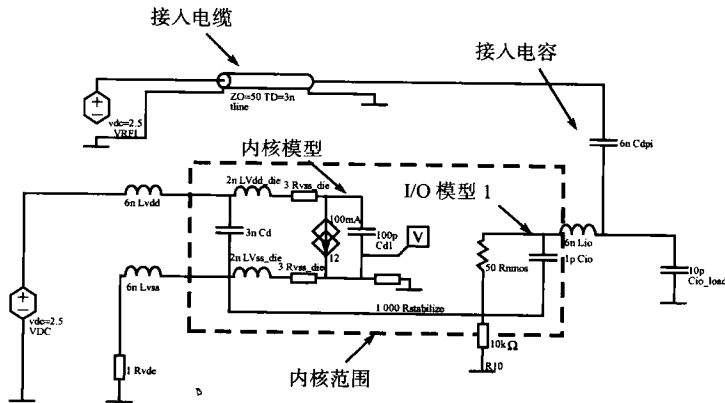


图 7-22 去耦电容在抗扰性仿真中的作用

从图 7-23 的仿真中可以看出,片上去耦电容 C_d 对于噪声源和集成电路内部之间的低频转换增益有着重要的影响。通过将 C_d 从 3 nF 增加到 30 nF 可以使共振频率从 30 MHz 变为 7 MHz。

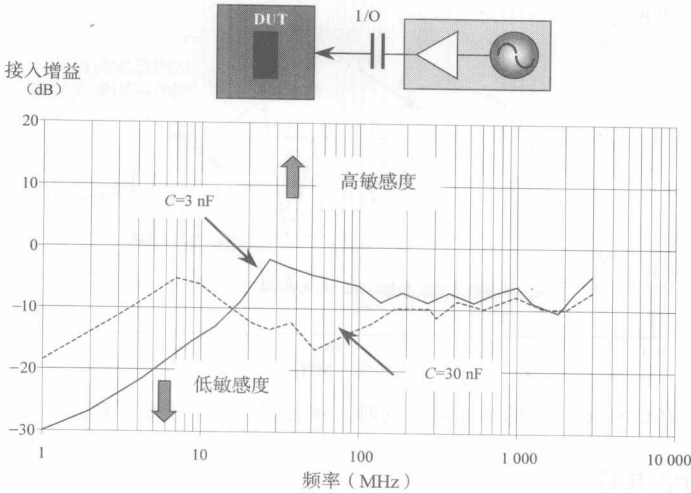


图 7-23 片上电容对于 RFI 源和集成电路内核之间转换增益的影响

2.3 防御性软件

纵观微控制器领域,部分关于 EM 敏感度的硬件问题可以通过使用软件的方法来解决。这项技术被叫做防御性软件,它旨在增强嵌入式系统的鲁棒性。嵌入式软件的改进可以使它在不改变硬件的情况下满足 EMC 的要求。此外,软件的改进一般比电子板的改进或集成电路的自身设计更节省时间。

下文将介绍三种防御性软件:输入/输出管理技术,非永久性存储器处理和控制流程监控。这些软件主要考虑的都是嵌入式应用。

2.3.1 I/O 管理

在所有的应用软件中,输入/输出的管理是极为重要的,因为它将控制处理器单元连接到传感器、激励源或通信接口。微控制器的输入/输出端口允许电磁场干扰进入。这种干扰对通信协议、数据记录和执行单元都形成了潜在的威胁。

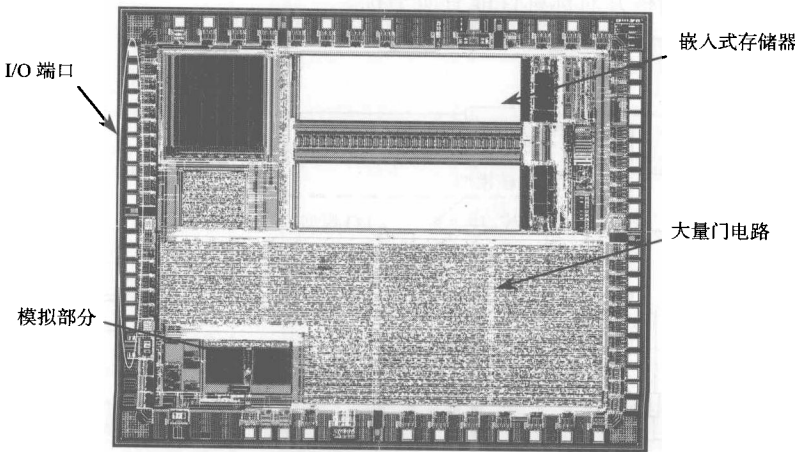


图 7-24 一个 16 位微控制器的布局图 (Freescal 半导体)

通信协议会使用一些冗余附加位（如奇偶位），它能在传输信息中检错，但通常不能够修改这些错误（Coulson, 1998）。控制区域网络（CAN）中所使用的冗余码是可以检错并纠错的，如 BCH 码（Bose1960）。

微控制器包括通用端口，可以设置成输入或输出端口。对于这个设置，一般是通过一个数据定向寄存器来实现用户可编程操作的。为了避免错误地设置端口配置，可以使用一项软件技术来有规律地更新数据定向寄存器的端口数值（Campbell, 1998），并忽略耗时和存储空间。

2.3.2 输入数据管理

输入数据管理取决于模拟或逻辑性质及它的信息。虽然防御性软件法和目标应用相联系，但通用的方法依然存在（Baffreau, 2002），本节将具体介绍。

图 7-25 指出了这样一个事实：传感器响应对于一个给定电压或电流的范围一般是有效的。因此，这个软件可以很容易地发现并忽略有效区域外的采样值，如由瞬时电磁场干扰引起的采样值。传感器响应的变化也可以被研究。两次测量间的额外变化可以被看做一个错误值。例如，在 1ms 时间间隔内，温度起伏不应超过 1° 。也可以使用更多的传统信号处理技术（如数字滤波），只不过要以增加编码尺寸和延长执行时间为代价。

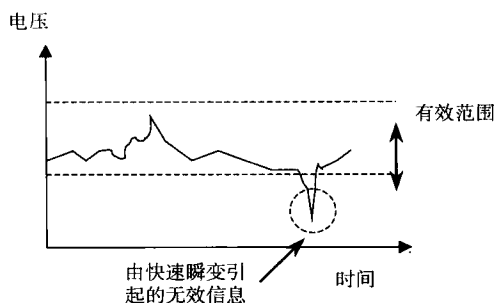


图 7-25 模拟输入的采样和测量

对于数值数据，可以采用一个类似于模拟数据处理的数据检验（Coulson, 1998）。因此，与其马上确认一个输入数据（如图 7-26 中的左图所示），不如存储一些采样值以便确定设定值（如图 7-26 中的右图所示）。这种方法并不像降低采样数量那样耗费时间。

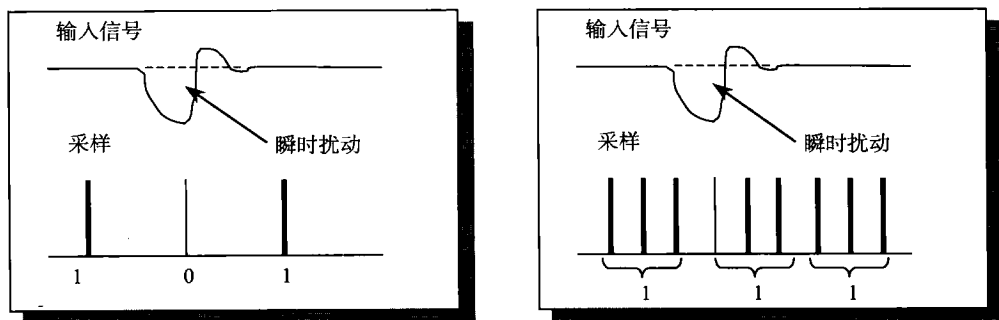


图 7-26 承受输入端快速瞬时影响的逻辑滤波

此外，如果所有采样值是相同的，则可以认为数据有效。如果不是，则系统将拒绝数据，然后获得一组新的采样值并等待一个稳定的输入信息。这项技术在检测与快速瞬时或射频干扰混合的信号时十分有效。

2.3.3 RAM 管理

一些现存的存储器管理方法可以增加软件对于射频干扰错误结果的防护性。如图 7-27 所示，数据复制和并行处理极大地减慢了程序的运行（Geffroy, 2002）。这种方法虽然可以检测出错误，但它并不能提供任何正确的数据恢复。

一种被叫做“编码重像”的类似技术（o'hara, 2001）是基于数据的三倍量并只对有效数据进

行编码。显而易见,这种方法的主要缺点是增加了存储空间和执行时间。有一种更好的方法是结合校验和去影响表中的一些变量(Coulson, 1998)。在访问表中的每一个变量之前,校验和都要重新计算以确保它的内容没有错误。对于每一个写入访问,校验和都要被计算和更新。这项技术的优点是遵守嵌入式系统的规则限制,不耗费存储空间并且可以对错误进行检测和更正。但是当处理大量变量和频率读写表访问时,总的执行时间将不能被忽略。对于最后这种情况,强烈建议将变量分成若干个表,使每一个表都有自己的校验和及预先制定的原理功能。另一个重要建议是只选择关键变量。

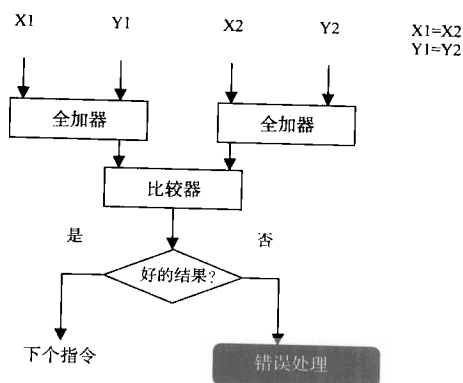


图 7-27 数据复制、并行处理和结果比较

此外,对应用所需存储空间的精确了解可以给出存储堆栈的范围。假设软件进入了一个强制无限循环,则对于每次迭代,可使用堆栈来存储特殊变量。结果将是一个堆栈存储的连续增长,并最终导致栈指示器的溢出。建立堆栈存储的最大空间可以避免不稳定的行为。

此外,对应用所需存储空间的精确了解可以给出存储堆栈的范围。假设软件进入了一个强制无限循环,则对于每次迭代,可使用堆栈来存储特殊变量。结果将是一个堆栈存储的连续增长,并最终导致栈指示器的溢出。

2.3.4 控制流程管理

控制流程符合程序序列的管理。好的执行次序是获得可靠数据处理的基础。不同的防御性软件技术被应用于控制流程。可以通过软件签名检查控制流程(oh, 2002),其原理如图 7-28 所示。应用软件可以被细分为若干个独立模块:程序和功能。这些模块的主要特性是除了第一个和最后一个指令外,它们没有跳跃或分支指令。此外,每个模块在编辑时都被分配给一个签名(表示为 s_i) 和一个相关的签名差异(表示为 d_i)。

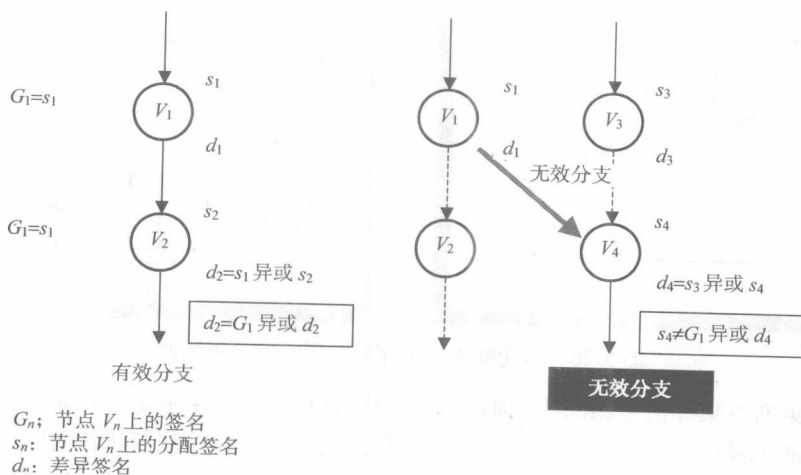


图 7-28 检查控制流程的软件签名原理

在软件执行过程中,一个通用寄存器 G_n 被特意保留来容纳电流模块签名。当一个模块改变时, G_n 通过一个简单的比较功能进行更新,如带有 d_{n+1} 签名差异的异或。如果新 G_n 的内容符合模块信息和它的有效分支,则程序将继续执行。否则,程序被转到一个特殊的错误处理模块。

这项技术可以直接在编辑器中实现,因此对于程序员来说是简明易懂的。此外,如果模块的

尺寸很大,则签名校验所需的总计算时间就会很小。特定的寄存器必须被保留以做签名存储和管理之用,它们十分适合 RISC 处理器,因为 RISC 处理器的特点就是拥有大量的通用寄存器。相反的, CISC 处理器可能需要更复杂的存储器存取和执行时间。

2.3.5 令牌传递

令牌传递的原理(如图 7-29 所示)与控制流程签名十分类似(Ong, 2001),但令牌传递更关心功能或程序的调用。在软件执行期间,发送器模块检查程序的令牌传递是否符合它自己的令牌传递。然后它修改令牌传递以获得被叫模块的值。这种方法适用于图 7-29 给出的那些次级呼叫。如果令牌无效,程序将被转到一个错误处理程序。

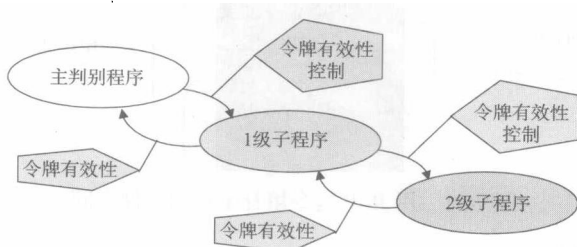


图 7-29 通道标记的工作原理

2.3.6 填补未用的程序存储空间

软件的应用很少使用全部的可用存储空间。不用的存储空间默认值经常包含十六进制值“0xFF”(等价于所有位都设为“1”)。这个“0xFF”值是否符合执行指令取决于微控制器的指令设置。由于电磁干扰的影响,计数器程序有可能跳过一个未用的存储空间地址去执行一个错误编码。

这里有一些方法可以用来预测这个错误行为。第一个可行的方法是用一个 STOP 指令填补未用存储空间,它结束执行程序并将微控制器设置在反应时间的状态中(Baffreau, 2002)。片上或片外监视器将探测到一个异常的微控制器状态并进行重置,如图 7-30 所示。

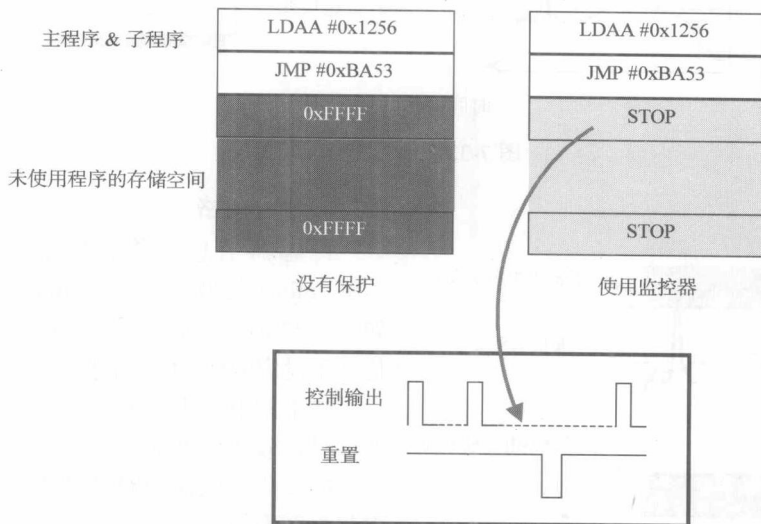


图 7-30 用 STOP 指令填补未用的程序存储空间

除了 STOP 指令外,还可以用 No Operation (NOP)指令来跳过主要的重置程序。如果未用的存储

空间很大，则主控器重置前的反应时间将十分重要。NOP 指令也可以用 Jump 指令代替来重置地址。在这种情况下，重置的地址应该是用户可配置的。此外，重置地址应该与 Jump 指令一样等同于一个有效程序的存储区域，但这种情况并不总是发生。在图 7-31 中，Jump 编码是“0x06”，地址“0x0606”是用户可访问的，还有一个重置程序的分支。这项技术不要求任何附加的执行程序或存储空间。

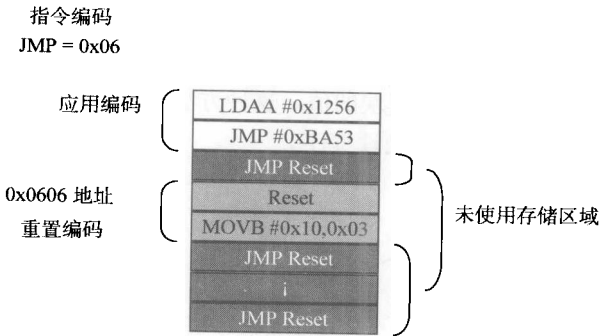


图 7-31 用 JMP 指令填补未用的存储空间

2.4 防御性软件举例

本节将介绍一个防御性软件通过微控制器处理温度传感的例子。图 7-32 给出了其应用的概图。引擎温度被传感器获取，通过模数转换器的采样，最后由微控制器处理。如果测出的温度超过了设定限值，警报就会响起。电磁干扰可能会进入传感器并干扰模拟信息，以及引起一个假警报。

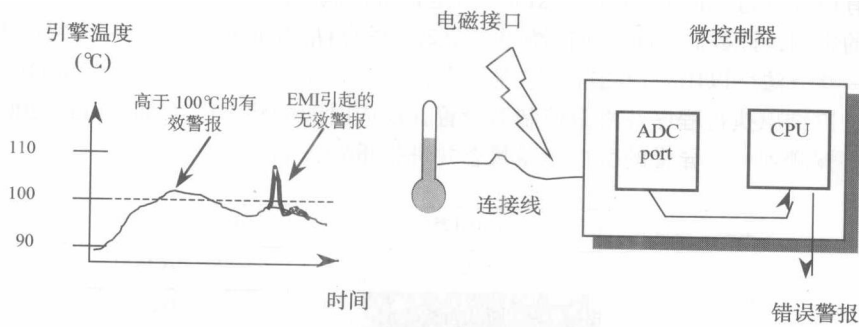


图 7-32 过温度监控装置

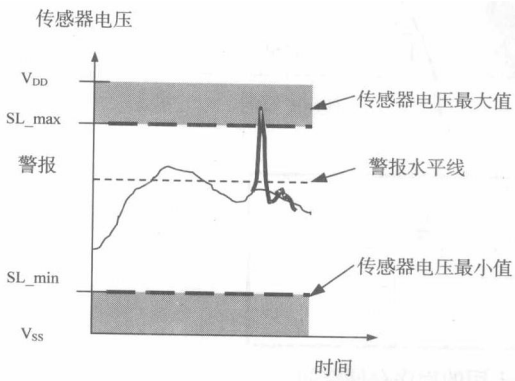


图 7-33 通用传感器限值图表

2.4.1 信号规格

传感器信息在传感器电压限值的最小值（SL_min）与最大值（SL_max）之间是有效的，如图 7-33 所示。此外，如果两个采样值之间的变化高于设定限值，传感器信息也可以被看做有效。

在本例中，我们用一个 1.15 ~ 3.85 V 的三角形信号仿效传感器信息，用一个慢速期作为引擎温度的变化。微控制器可以产生一个输出信号来引起温度警报：

- 低电压表示运行正常；
- 高电压表示温度过高。

通过使用抗扰性控制软件，该信号就具有简单、易观察的优点。然而，当微控制器意外停止时，由于输出信号不能及时更新，使得监控系统不能检测出内部处理器的故障。

由微控制器产生的周期信号（频率为 35 kHz，如图 7-34 所示）更适合做输出信号。如果警报响起，输出信号的状态将被改变从而更改输出频率。一个频率探测器、存储示波器或逻辑分析仪都可以很容易地探测到这个警报信号。输出信号应该存在于一个限定的模板波形中，通常由偏差为±10%的时间和电压确定。图 7-34 的右图显示了输出信号波形的温度警报结果。

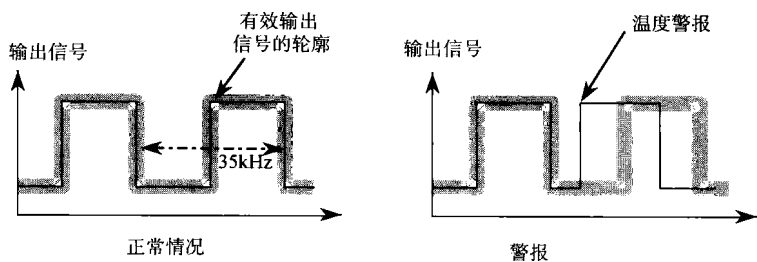


图 7-34 警报信号的特点

2.4.2 防御性软件的执行

图 7-35 给出了普通软件和防御性软件的流程图。对防御性软件来说，启动警报前的采样数量是一个重要的参数。

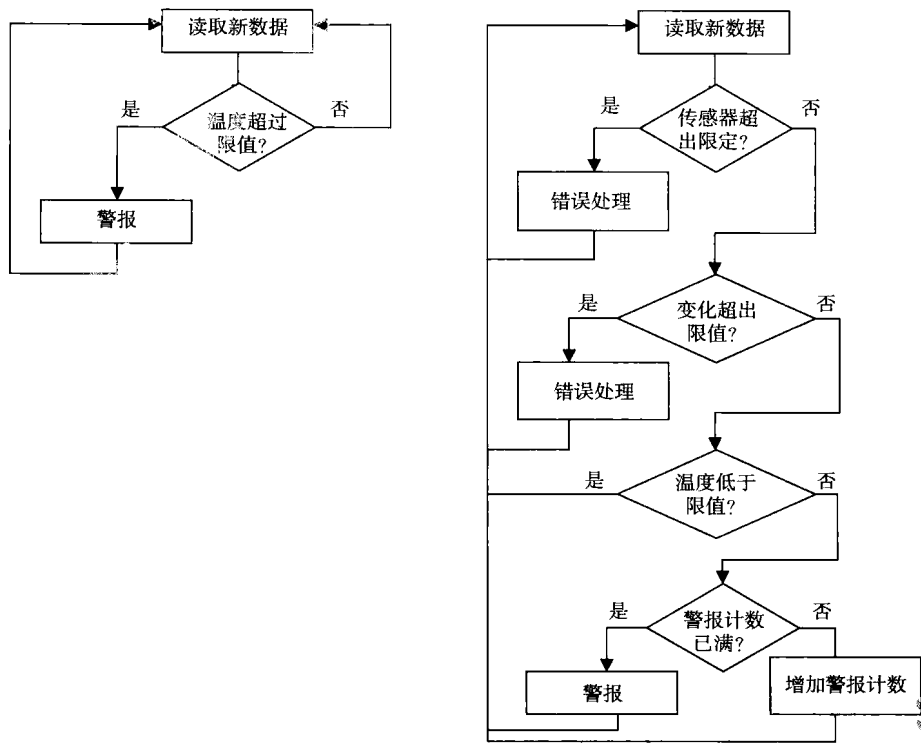


图 7-35 普通软件和防御性软件的流程图

对于外部警报的判定，警报计数器的默认值必须设置为 3。传感器变化的限值范围要高于周

围环境噪声，但要低于由电磁干扰引起的波动。

2.4.3 测量法

图 7-36 显示了标准软件和防御性软件之间的执行结果的比较。 X 轴表示干扰频率， Y 轴表示意外干扰功率。这个测量法（Baffreau, 2002）清楚地显示了集成电路的低通行为。在接近 1 MHz 频率时，零点几毫瓦就足以启动一个装置上的错误警报。

防御性软件被证明在全部频率范围内都是有效的。然而，对于集成电路时钟频率的倍频或分频而言，防御性软件则显出了不足，这主要是因为模数转换器时钟直接来自于微控制器时钟。

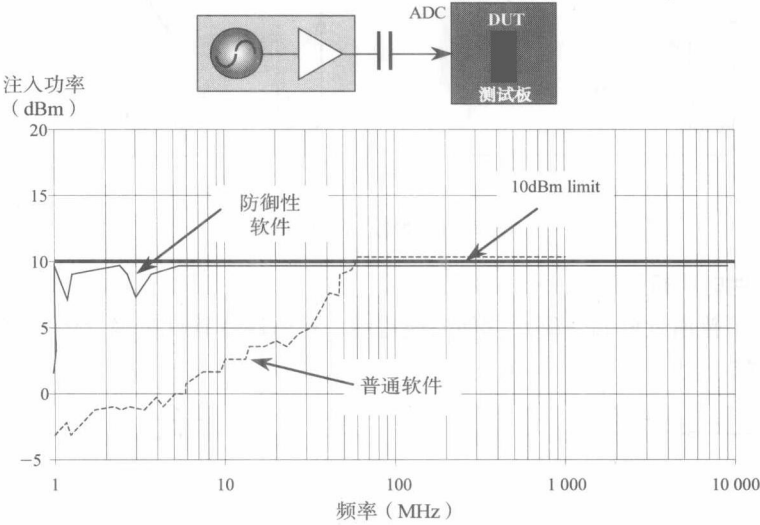


图 7-36 使用和不使用防御性软件时错误警报的设置

然而，用于做出决定的等待时间已经延长了。因此，像警报数这样的防御性软件参数应该符合应用时间限制以避免其功能的退化。在普通软件中，等待时间大概是 90 μs ，而防御性软件将其提高到了接近 300 μs ，这对于温度警报来说已经足够了。

传感器限值探测、变化探测和警报记数虽然要求精确的配置，但仍然证明了防御性软件在增强嵌入式系统对于电磁干扰的抗扰性方面是有效的。防御性软件需要附加的存储空间和执行时间，如表 7-1 所示。当存储空间多于普通软件两倍时，执行时间相应也减慢了将近 50%。

表 7-1 普通软件和防御性软件的性能比较

软 件	存储空间 (字节)	执行时间 (时钟周期)
普通软件	88	83
防御性软件	202	123

毫无疑问，这样的存储器对于有着严格存储器限制的嵌入式应用是无法接受的。然而，随着科技的发展，增加几百个字节的编码是可以接受的。

因为大部分嵌入式软件都由 C 语言编译，所以优化可以帮助防御性程序释放一些存储空间。虽然用于确定防御性软件有效警报的等待时间延时是存在的，但是考虑到执行时间的增加，所以不同软件版本之间的执行差异是非常小的。

2.4.4 讨论

防御性软件在保护可编程集成电路不受射频干扰方面的效果很大程度上取决于应用、数据交换类型和设备所受的干扰电平。

经证实，防御性软件对于中、低干扰电平的低振幅模拟的管理十分有效的。然而在大多数强干扰情况下，探测软件将停止工作。因此，诸如监控器、非永久性存储器、最重要数据的冗余存储等硬件的恢复机制将被用来处理这类干扰。

2.5 通过设计改进抗扰性

像大多数模拟集成电路一样，运算放大器很容易受到电磁干扰（EMI）的影响，电磁干扰是通过电线、PCB 轨迹和集成电路封装互连进入集成电路的。一旦加入额定信号，射频干扰（RFI）就会在集成电路（金属互连和硅衬底）中到处传播，到达诸如二极管和 MOS 晶体管的活性组件并使它们非线性工作（Masetti, 1996）。由于在电路带宽内存在着与频率有关的 RF2 感应内调制产物，所以不可以恢复额定信号并且会产生系统操作中的错误。

例如，一个 CW RFI 加在一个反馈 CMOS 运算放大器的直流输入电压（额定输入信号）上后，如图 7-37 所示，产生了一个输出偏置电压，它的大小取决于干扰信号振幅和频率，如图 7-38 所示。

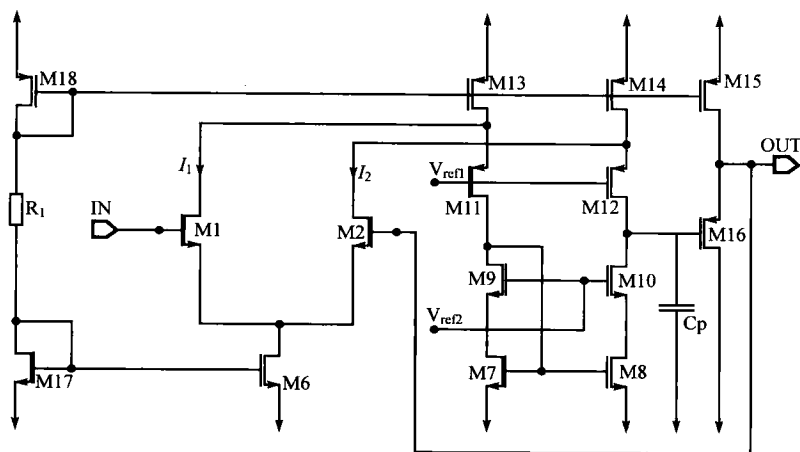


图 7-37 一个传统反馈运算放大器的示意图

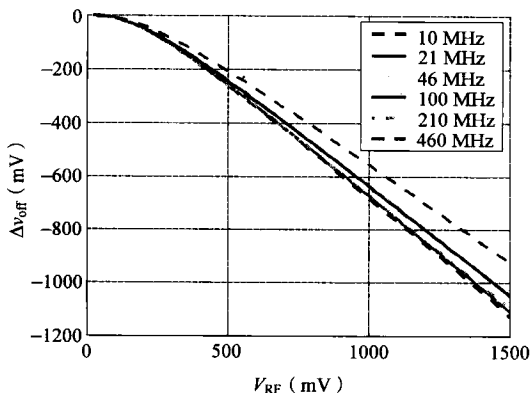


图 7-38 电压跟踪器对于 EMI 的敏感性：输出偏移电压与干扰振幅

虽然运算放大器的所有晶体管都受到 RFI 的影响，但只有输入差动级的晶体管主要作用于输出电压，这是因为运算放大器第一级中产生的带内互调产物将被后面的级放大。因此，准则主要着重于减少差分对中的 RFI 感应失真现象。

以 Fiori 在 2003 年提出的那些模型为基础，运算放大器对 EMI 的敏感度可以通过对差分对的设计、纵横比和偏置电流值的谨慎选择来降低。从图 7-39 显示的仿真趋势中可以看出，随着偏置电流的增长，输入偏移值呈下降趋势，这导致了对 RFI 抗扰性的改进。

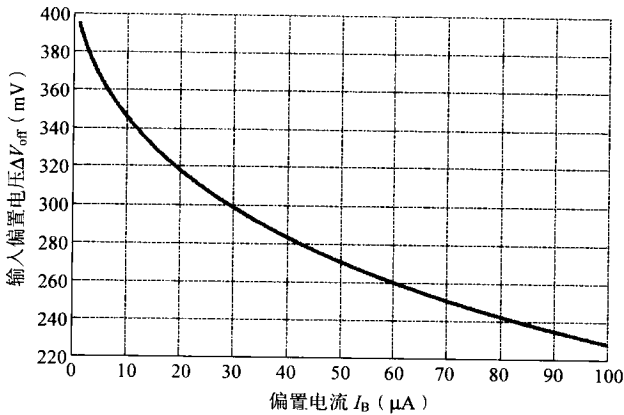


图 7-39 偏移变化与偏置电流 I_B 的比较

Fiori 在 2001 年提出了通过使用输入差分对适当的电路布局来增强运算放大器对 RFI 的抗扰性，如图 7-40 所示。

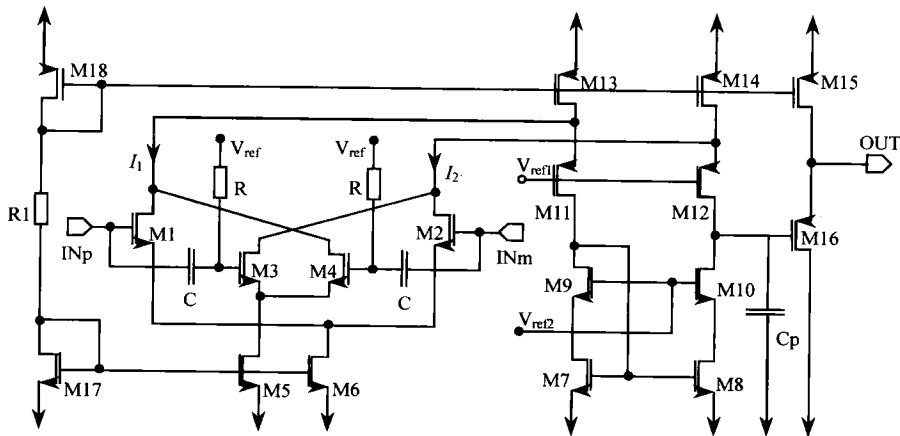


图 7-40 具有抗电磁干扰的双差分对的折叠共源共栅运算放大器

在这种情况下，用一个双差分对代替折叠共源共栅运算放大器中的差分对。差分对 M3-M4 的输出电流只能被输入信号通过一个高于高通 CR 截止频率的频率所调制。因此，总的输出差分电流是由 M1-M2 及 M3-M4 的带内内调制产物之间的差分构成的。这样一来，运算放大器输入级中 RFI 的解调就被减到了最小。如图 7-41 所示，为了这个目的，对应图 7-40 中电流配置的 EMI 感应偏移电压被降低了大约 10 倍。图中圆点代表标准的折叠共源共栅运算放大器，叉代表具有双差分对的折叠共源共栅运算放大器。

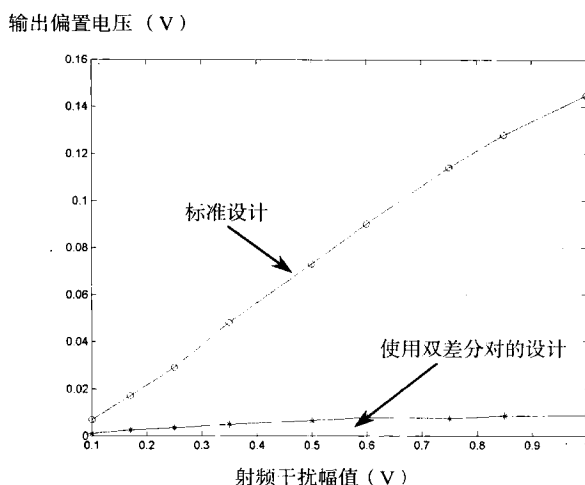


图 7-41 在 100 MHz 干扰频率时，输出偏移电压和射频干扰幅值

3. 总结

本节简要回顾了集成电路级实现低寄生辐射和对射频干扰高抗扰性的设计准则。这个准则可以被应用在集成电路的多个级别上：片上去耦电容、 V_{DD}/V_{SS} 电源网络和功能结构。本节还介绍了异步设计的潜力，重点介绍了去异步化的数字结构可以极大地降低内部电流谱图的峰值幅值。在抗扰性方面，本节介绍了应用于模拟运算放大器上的一项有效设计技术。

4. 参考文献

- [1] Baffreau, S., Bendhia, S., Ramdani, M., Sicard, E., 2002, Characterization of microcontroller susceptibility to radio frequency interference, *Proceedings of International Caribbean Conference on Devices, Circuits and Systems*, Aruba, Mexico.
- [2] Blunno, I., Cortadella, J., Kondratyev, A., Lavagno, L., Lwin, K., Sotiriou, C., 2004, Handshake protocols for de-synchronization, *ASYNCH'04 conference*, Crete, Greece.
- [3] Bouesse, G.F. Sicard, G., Renaudin, M., 2004, Quasi Delay Insensitive Asynchronous Circuits for Low EMI, *Proceedings of EMC Compo 04*, Angers, France.
- [4] Bose, R.C., Ray-Chaudhuri, D.K., 1998, On a class of error correcting binary group codes, *Information and Control*, 3: 68-79.
- [5] Campbell, D., 1998, Defensive Software Programming with Embedded Microcontrollers. *Proceedings of the IEE Colloquium on electromagnetic compatibility of software*, Birmingham, UK.
- [6] Coenen, M., 1996, Optimizing IC decoupling, for performance and EMI levels, *Electronic Prod. Design*, 17(1): 26-34.
- [7] Coulson, D.R., 1998, EMC techniques for microprocessor software, *Proceedings of the IEE Colloquium on electromagnetic compatibility of software*, Birmingham, UK, 5/1-5/6.
- [8] Fiori, F., 2001, Operational amplifier input stage robust to EMI, *Electronics Letters*, 37(15): 930-931.

- [9] Fiori, F., 2002, A new nonlinear model of EMI-induced distortion phenomena in feedback CMOS operational amplifiers, *IEEE transaction on EMC*, 44(4): 495-502.
- [10] Fiori, F., Crovetto, P. S., 2003, Prediction of the effects of EMI in CMOS Operational Amplifiers by a Two-Input Volterra Series Model, in *IEE Transaction on Circuits, Systems and Devices*, 150(3): 185-193.
- [11] Geffroy, J.C., Motet, G., 2002, *Design of dependable computing systems*, Kluwer academic publisher, ISBN 1-4020-0437-0.
- [12] Larsson, P., 1998, Resonance and damping in CMOS circuits with on-chip decoupling capacitance, *IEEE Transaction on Circuits and Systems I: Fundamental Theory and Applications*, 45(8): 849 - 858.
- [13] Masetti, G., Graffi, S., and Golzio, D., 1996, Failures Induced on analog integrated circuits by conveyed electromagnetic interferences: a review. *Microelectronics Reliability*, 36(7): 955-972.
- [14] O'Hara, M., 2001, *EMC at component and PCB level*, Newnes, ISBN 0-7506-3355-7, 99-100.
- [15] Oh, N., Shirvani, P.P., McCluskey, E.J., 2002, Control flow checking by software signatures, *IEEE transaction on reliability*, 51(1): 111-122.
- [16] Ong, R.H.L. Pont, M.J., 2001, Empirical comparison of software-based error detection and correction techniques for embedded systems, ACM Press, ISBN 1-58113-364-2, New York (USA), 230-235.
- [17] Panyasak, D., Sicard, G., Renaudin, M., 2004, A current shaping methodology for lowering EM disturbances in asynchronous circuits, *Microelectronics journal*, 35: 531-540.
- [18] Panyasak, D., Sicard, G., Renaudin, M., 2004b, Asynchronous design for improved EMC behavior of ICs, Proceedings of EMC Compo 2004, Angers.
- [19] Paulin, P., Knight, J.P., 1989, Force Directed Scheduling for the Behavioral Synthesis of ASIC's, *IEEE Transaction on Computer-Aided Design*, 8(6): 661-679.
- [20] Renaudin, M., 2000, Asynchronous circuits and systems: a promising design alternative, *Microelectronics-Engineering Journal*, 54(1): 133-149.
- [21] Vrignon, B., Bendhia, S., Lamoureux, E., and Sicard, E. 2005, Characterization and modeling of parasitic emission in deep submicron CMOS *IEEE transaction on EMC*, 47(2): 382-387.

附录 A 有用的相关表格

1. 换算表格

$V_{dB} = 20\log(V)$

表 A-1 dB 与电压或电流比率之间的换算

dB	电压或电流比率	dB	电压或电流比率
120	10 ⁶	0	1.0
100	10 ⁵	-3	0.708
80	10 ⁴	-6	0.5
60	1000	-10	0.316
40	100	-20	0.1
30	31.6	-40	0.01
20	10	-60	0.001
10	3.16	-80	10 ⁻⁴
6	2.0	-100	10 ⁻⁵
3	1.412		

$V_{dB\mu V} = 20\log(V\times10^6)$

表 A-2 dBμV 与 V（电压比率）之间的换算

dBμV	电压比率	dBμV	电压比率
120	1 V	20	10 μV
100	100 mV	10	3.16 μV
80	10 mV	0	1 μV
60	1 mV	-10	0.316 μV
40	100 μV	-20	0.1 μV
30	31.6 μV		

$P_{dBm} = 10\log(P\times10^3)$

式中，*P* 为功率（W）；*P*_{dBm} 为功率（dBm）。

表 A-3 W 与 dBm 间的换算

dBm	W	dBm	W
120	1 GW	20	0.1 W
90	1 MW	10	10 mW
60	1 kW	0	1 mW
40	10 W	-10	0.1mW
30	1 W	-20	0.01mW

2. 电感系数与频率

$|Z_L| = 2\pi fL$

(A-1)

式中, f 为频率 (Hz); L 为电感 (H)。

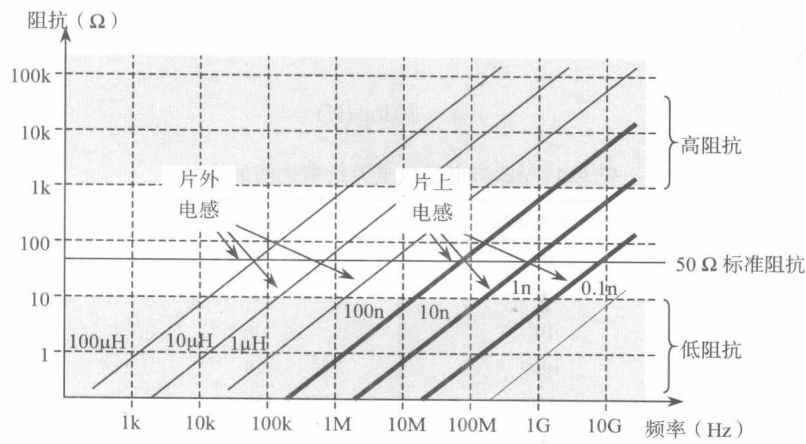


图 A-1 电感阻抗与相应频率

3. 谐振频率

$f_r = \frac{1}{2\pi\sqrt{LC}}$

(A-2)

式中, f_r 为谐振频率 (Hz); L 为电感 (H); C 为电容 (F)。

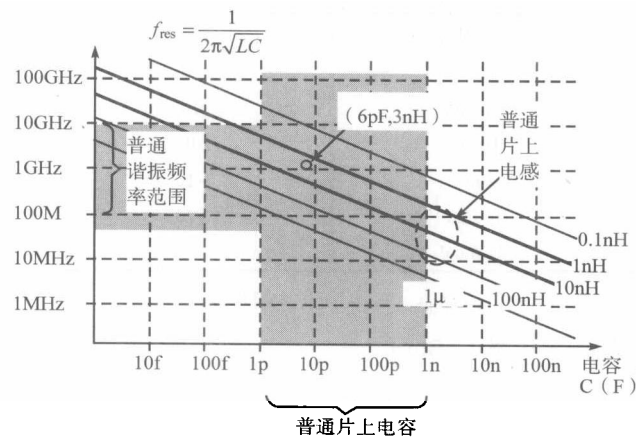


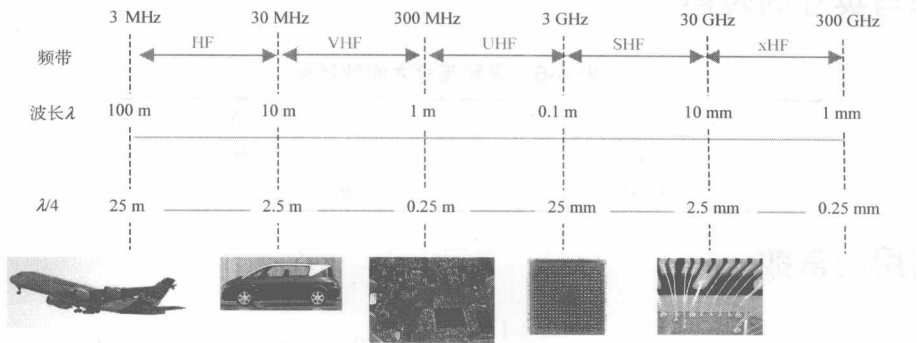
图 A-2 电容、电感和谐振频率之间的关系

4. 频率和天线效应的关系

$\lambda = \frac{c}{f\sqrt{\epsilon_r}}$

(A-3)

式中， λ 为波长（m）； f 为频率（Hz）； c 为光速（m/s）； ϵ_r 为相对介电常数。



HF—高频；VHF—甚高频；UHF—超高频；SHF—特高频；xHF—极高频；THF—至高频

图 A-3 频率和最佳天线尺寸的关系

5. 电场与相应的功率

$$E \approx \frac{\sqrt{Z_c P}}{d}$$

(A-4)

式中， E 为电场（V/m）； P 为源功率（W）； Z_c 为连接电源的线路的特性阻抗； d 为距离天线的距离（m）。

表 A-4 $Z_c=50\Omega$ 时的电场、距离和功率

距离 电场 (V/m) 功率	1 mm	1 cm	10 cm	1 m	3 m
1 μW	7.07	0.707	0.07	0.007	0.0007
1 mW	223	22.3	2.23	0.223	0.022
1 W	7071	707.1	70.7	7.07	2.35
10 W	22 360	2236	223.6	22.36	7.45
100 W	70 710	7071	707.1	70.7	23.57

6. V/m 与 A/m、W/m² 的转换

在远场条件下：

表 A-5 磁场、电场和功率密度之间的转换

1 A/m	= 377 V/m
1 A/m	= 25.8 dBW/m²
1 V/m	= 0.002 65 A/m
1 V/m	= -25.7 dBW/m²
1 W/m²	= 19.4 V/m
1 W/m²	= 0.0515 A/m

7. 米与英寸的转换

表 A-6 米和英寸之间的转换

1 米	= 39.37 英寸
1 英寸	= 25.4 毫米
1 英寸	= 1000 (千分之一英寸) 密尔

8. 有用的常数

$$\epsilon_0 = \frac{1}{36\pi \times 10^9} \approx 8.8419 \text{ pF/m}$$
$$\mu_0 = 4\pi \times 10^{-7} \approx 1256 \text{ }\mu\text{H/m}$$

附录 B 术语集——用于集成电路电磁兼容领域的缩写

表 B-1 用于集成电路电磁兼容领域的缩写

缩 写	描 述
AC	Alternating Current, 交流
ACT	Advanced CMOS-TTL, 先进的 CMOS-TTL
ADC	Analog-to-digital Converter, 模数转换
AEC	Automotive Electronic Council, 汽车电子委员会
AM	Amplitude Modulation, 调幅
AMS	Analog and Mixed-Signal extension of VHDL language, VHDL 语言的模拟和混合信号扩展
ANSI	American national standard institute, www.ansi.org , 美国国家标准化协会
ASIC	Application Specific Integrated Circuit, 应用型专用集成电路
BCH	Bose Chaudhuri Hhocquenghem mutlilevel error coding, BCH 多级纠错编码
BCI	Bulk Current Injection susceptibility method, 大电流注入的敏感度试验方法
BER	Bit Error Rate in data transmission, 数据传输中的误码率
BGA	Ball gate array package, 球形门阵列封装
BIRD	Buffer Issue Resolution Documents at the IBIS committee, IBIS 委员会关于缓冲器问题的决议文件
BSIM	Berkeley Small Channel MOS Model, 伯克利小信道 MOS 模型
CAN	Control Area Network, 控制域网络
CDV	Committee Draft for Voting (IEC standards), 委员会投票的草案 (IEC 标准)
CDFG	Control Data Flow Graphs, 控制数据的流图
CDN	Coupling Decoupling Network, 耦合去耦合网络
CDM	Charged Device Model for Electrostatic Discharge, 静电放电的充电器件模型
CE	European conformity (French), 欧洲“符合度”杂志 (法国)
CISPR	International special committee on radio interference, 国际无线电干扰特别委员会
CM	Common Mode, 共模
CMRR	Common-mode rejection ratio, 共模抑制比
CMOS	Complementary Metal-oxide-Semiconductor, 互补金属氧化物半导体
CQM	Certified quality manager, 具有认证资格的质量经理
CRT	Cathode ray tube, 阴极射线管
CSP	Chip Scale Packaging, 芯片规模化封装
CW	Continuous Wave, 连续波
dBm	Decibel above one milliwatt, 分贝 (基于 1 mW)
dBμV	Decibel above one microvolt, 分贝 (基于 1 μV)
DC	Direct Current i.e. continuous flow of electricity through a conductor, 直流, 即电流连续流过导体

续表

缩 写	描 述
DIL	Dual-In-Line package, 双直列封装
DM	Differential Mode, 差模
DOE	Design-Of-Experiment, 实验设计
DSM	Deep-Submicron technology for IC fabrication, 集成电路制造的深亚微米技术
DSP	Digital Signal Processor, 数字信号处理器
DUT	Device Under Test, 被测设备
ECS	Equivalent Current Source, 等效电流源
ECU	Electronic Control Unit, 电子控制单元
EDA	Electronic Design Automation, 电子设计自动化
EEPROM	Electrically Erasable Programmable Read Only Memory, 可电擦除得可编程只读存储器
EFT	Electrical Fast Transients, 电快速瞬变脉冲群
EIA	Electronic Industries Alliance, 电子工业联盟
EMI	Electro Magnetic Interference, 电磁干扰
EMC	Electro Magnetic Compatibility, 电磁兼容
EMU	EMI modeling Unit, EMI 建模单元
EOS	Electrical Over Stress, 过电压
ESD	Electro Static Discharge, 静电放电
ESDA	Electrostatic Discharge Association, 静电放电协会
ESR	Equivalent Series Resistance, 等效串联电阻
FBGA	Fine-pitch Ball Grid Array
FCT	Fast speed CMOS, 快速 CMOS
FFT	Fast Fourier Transform, 快速傅里叶变换
FM	Frequency Modulation, 调频
GDS	Generic Data format for IC layout description, 集成电路布板描述的通用数据格式
GND	Designates the ground voltage, 指定接地电压
GTEM	Gigahertz Transverse Electromagnetic, GHz 横电磁波
GRP	Ground Reference Plane, 接地参考平面
GDSII	Graphic Design System version II, for IC layout description, 图形化设计系统, 版本 2, 用于集成电路布板描述
HBM	Human Body Model for electrostatic discharge, 静电放电的人体模型
HC	High speed CMOS, 高速 CMOS
HCT	High speed CMOS-TTL, 高速 CMOS-TTL
HF	High frequency (3 ~ 30MHz), 高频 (3 ~ 30MHz)
IA	Internal Activity, 内部行为
IBC	Internal Block Coupling, 内部模块耦合
IBIS	I/O Buffer Information Specification, I/O 缓存信息规范
IC	Integrated Circuit, 集成电路
ICEM	Integrated circuits emission model, 集成电路骚扰模型
ICIM	Integrated Circuit Immunity Model, 集成电路抗扰模型
IEC	International Electro technical Commission, 国际电工委员会
IEEE	Institute of Electrical and Electronics Engineers, 国际电气电子工程师学会

续表

缩 写	描 述
IF	Intermediate Frequency, 中频
IMIC	I/O Interface Model for Integrated Circuits, 集成电路 I/O 接口模型
IO	Input/Output, 输入/输出
IP	Intellectual Property, 知识产权
ISO	International organization for standardization www.iso.org, 国际标准组织
JEDEC	Joint Electron Device Engineering Council, 电子器件工程联合委员会
JEITA	Japan electronic and information technology industrial association, 日本电子与信息技术工业协会
JTAG	Joint Test Action Group, acronym for the IEEE 1149.1 standard for logic testing of ICs, 联合测试行动组, IEEE 1149.1 标准 (集成电路的逻辑测试) 工作组的简称
LCC	Lead-less chip carrier, 无铅芯片基底
LD	Logical Depth, 逻辑深度
LECCS	Linear Equivalent Circuit and a Current Source Model, 线性等效电路及电流源模型
LIN	Local Interconnect Network, 局部互连网络
LISN	Line impedance stabilization network, 线路阻抗稳定网络
LSI	Large Scale Integration, 大规模集成
LVDS	Low Voltage Differential Swing Input/output interface, 低压差分翼式 I/O 接口
MIL-STD	Military Standard, 军用标准
MM	Machine Model for Electrostatic Discharge, 静电放电的机械模型
MOS	Metal-oxide-Semiconductor, 金属氧化物半导体
NOP	No-operation (Microprocessor instruction)无操作 (微处理器指令)
OEM	Original equipment manufacturer, 原始设备制造商
OFAT	One factor at a time, 一次一个因素
PEEC	Partial element equivalent circuit (numerical method), 偏元等效电路 (数值方法)
PC	Personal computer, 个人计算机
PCB	Printed circuit board, 印制电路板
PDN	Passive-Distribution-Network, 无源分布式网络
PGA	Pin-Grid-Array package, 引脚网格阵列封装
PLL	Phase-Lock-Loop, 锁相环
PRU	Power Routing Unit, 功率路由单元
PSU	Power Switching Unit, 功率开关单元
PWL	Piece-Wise-Linear, 分段线性
PWM	Pulse-Width Modulation, 脉宽调制
QFP	Quad-flat-package, 方形扁平封装
RAM	Random-Access Memory, 随机存储器
RBW	Resolution Bandwidth of spectrum analyzers, 频谱分析仪的分辨率带宽
RF	Radio Frequency, 射频
RFI	Radio Frequency Interference, 射频干扰
SAE	Society for Automotive Engineering, USA, 美国汽车工程协会
SC	Sub-committee of IEC, IEC 的子委员会
SDIL	Shrink Dual-In-Line package, 收缩双直插式封装
SHF	Super High Frequency (3 ~ 30GHz), 特高频 (3 ~ 30GHz)

续表

缩 写	描 述
SI	Signal Integrity, 信号完整性
SIP	System-In-Package, 封装的系统
SMA	Subminiature connector version A, 亚迷你连接器, 版本 A
SMB	Subminiature connector version B (Smaller than A, up to 4GHz), 亚迷你连接器, 版本 B (比 A 更小, 高到 4GHz)
SMD	Surface mount device, 表面贴装器件
SOC	System-On-Chip, 片上系统
SOP	Small outline package, 小外观封装
SPICE	Analog Simulation software from Univ. of Berkeley, USA, 美国伯克利大学的模拟仿真软件
SRAM	Static Random Access Memory, 静态 RAM
SWR	Standing wave ratio, 驻波比
TC	Technical Group at IEC, IEC 的技术组
TDMA	Time Domain Multiple Access, 时分多址
TDR	Time Domain Reflectometry, 时域反射计
TEM	Transverse Electromagnetic Mode, 横电磁模
THF	Tremendously High Frequency (300 GHz ~ 3 THz), 至高频 (300 GHz ~ 3 THz)
TL	Transmission Line, 传输线
TLP	Transmission Line Pulse, 传输线脉冲
TM	Transverse Magnetic, 横磁
TQFP	Thin Quad Flat Package, 细的四相平坦封装
TTL	Transistor to Transistor Logic, 晶体管—晶体管逻辑
UBGA	Micro Ball gate array package, 微球栅阵列封装
UHF	Ultra High Frequency (300 MHz ~ 3 GHz), 超高频 (300 MHz ~ 3 GHz)
ULSI	Ultra Large Scale Integration, 超大规模集成
USB	Universal Serial Bus, 通用串行总线
UTE	Union technique de l'électricité et de la Communication (French), 法国电子通信技术联盟
VBW	Video Bandwidth. Used for spectrum analyzer filter. 频谱分析仪的视频带宽
VCC	Voltage at the Common Collector. Used to designate the positive supply voltage, 公共集电极的电压, 用于指定正的电压源
VDE	Verein Deutscher Elektroniker (German), 德国电技术委员会
VHDL	Very High Speed Integrated Circuit Hardware Description Language, 非常高速集成电路硬件描述语言
VHDL-AMS	Analog and Mixed-Signal extension of Very High Speed Integrated Circuit Hardware Description Language, VHDL 的模拟与混合信号扩展
VHF	Very high Frequency (30 ~ 300 MHz), 甚高频 (30 ~ 300 MHz)
VLSI	Very Large Scale Integration, 超大规模集成
VNA	Vector network analyzer, 矢量网络分析仪
VSWR	Voltage standing wave ratio, 电压驻波比
WBFC	Workbench Faraday Cage, 工作台法拉第笼
WG	Working Group of IEC, IEC 的工作组
XHF	Extremely High Frequency (30 ~ 300 GHz), 极高频 (30 ~ 300 GHz)

反侵权盗版声明

电子工业出版社依法对本作品享有专有出版权。任何未经权利人书面许可，复制、销售或通过信息网络传播本作品的行为；歪曲、篡改、剽窃本作品的行为，均违反《中华人民共和国著作权法》，其行为人应承担相应的民事责任和行政责任，构成犯罪的，将被依法追究刑事责任。

为了维护市场秩序，保护权利人的合法权益，我社将依法查处和打击侵权盗版的单位和个人。欢迎社会各界人士积极举报侵权盗版行为，本社将奖励举报有功人员，并保证举报人的信息不被泄露。

举报电话：(010) 88254396；(010) 88258888

传 真：(010) 88254397

E-mail: dbqq@phei.com.cn

通信地址：北京市万寿路 173 信箱

电子工业出版社总编办公室

邮 编：100036